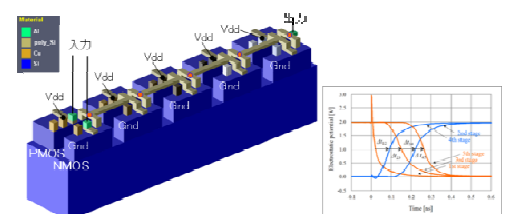


半導体デバイス3次元TCADシステム 発売のご紹介セミナー

2016年7月28日(木) 開催

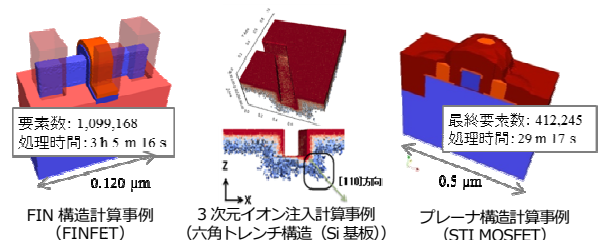
プログラム

13:30~13:35 (5分)	主催者あいさつ アドバンスソフト株式会社のご紹介	代表取締役会長 小池 秀耀
13:35~14:00 (25分)	国立研究開発法人科学技術振興機構 (JST) プロジェクト 「半導体デバイス 3次元 TCAD システム Advance/TCAD の開発」における成果	代表取締役会長 小池 秀耀
14:00~14:40 (40分)	招待講演 「高信頼性・低特性オン抵抗 30-50V デュアル RESURF LDMOS トランジスタ」 -アドバンスソフト社 3次元デバイス・シミュレータ Advance/DESSERT (β版) 使用事例- 群馬大学 松田 順一 客員教授	
14:40~15:00 (20分)	3次元 TCAD システム Advance/TCAD のご紹介 (その1) ~プロセスシミュレータについて~ ◆概要 ◆デポ・エッチング機能について ◆イオン注入機能について	主管研究員 大倉 康幸
15:00~15:10 (10分)	(休憩)	
15:10~15:30 (20分)	3次元 TCAD システム Advance/TCAD のご紹介 (その2) ~デバイスシミュレータについて~ ◆概要 ◆複数デバイスと回路の一体解析	研究主席 原田 昌紀
15:30~15:45 (15分)	3次元 TCAD システム Advance/TCAD のご紹介 (その3) ~並列計算機能について~	主任研究員 桑原 匠史
15:45~16:00 (15分)	3次元 TCAD システム Advance/TCAD のご紹介 (その4) ~事例紹介~	研究員 秋原 敦
16:00~16:15 (15分)	今後の開発計画 ◆外部回路解析 ◆熱過渡解析	研究主席 原田 昌紀
16:15~16:30 (15分)	発売価格のご案内、質疑応答	営業部 木部 俊良

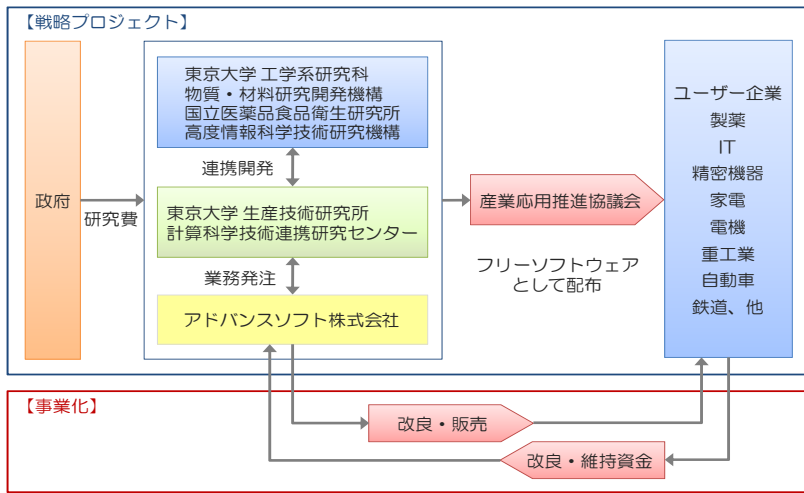


5段 CMOS インバータチェーン解析事例

memo

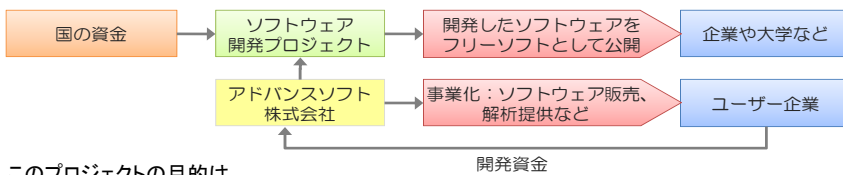


国家プロジェクトとアドバンスソフトの設立



文部科学省はわが国の計算科学技術の振興目的として戦略的基盤ソフトウェア開発プロジェクトと革新的シミュレーション・ソフトウェア開発プロジェクトを2002年～2007年の6年間実施しました。このプロジェクトは、総額約70億円のわが国最大のソフトウェア開発プロジェクトであり、東京大学生産技術研究所を中核とした「学」と「産」のアドバンスソフト(株)の強力な産学官連携により推進されました。

研究開発成果の事業化



このプロジェクトの目的は

- ①複雑・大規模な世界水準の戦略的基盤ソフトウェアを開発し公開する
- ②戦略ソフトを開発できるトップレベルの人材を世界最先端のソフトウェア開発を通じて育成する
- ③戦略的基盤ソフトウェア開発の大学と企業の連携による研究拠点の構築をする
- ④アドバンスソフトによる開発したソフトウェアの事業化と持続的な改良をする

アドバンスソフト(株)はこのプロジェクトを推進し、世界最高水準のソフトウェアを開発するとともに、その成果を事業化することを目的として設立されました。

2016/7/28

3

科学技術振興機構殿の研究成果最適展開支援プログラム(A-STEP)とは

- Advance/TCADの開発にあたって支援を受けたJSTのA-STEPについて説明する。A-STEPは大学・公的研究機関等(以下、「大学等」という。下記(注)参照)で生まれた国民経済上重要な科学技術に関する研究成果を基にした実用化を目指す研究開発フェーズを対象とした技術移転支援プログラムである。

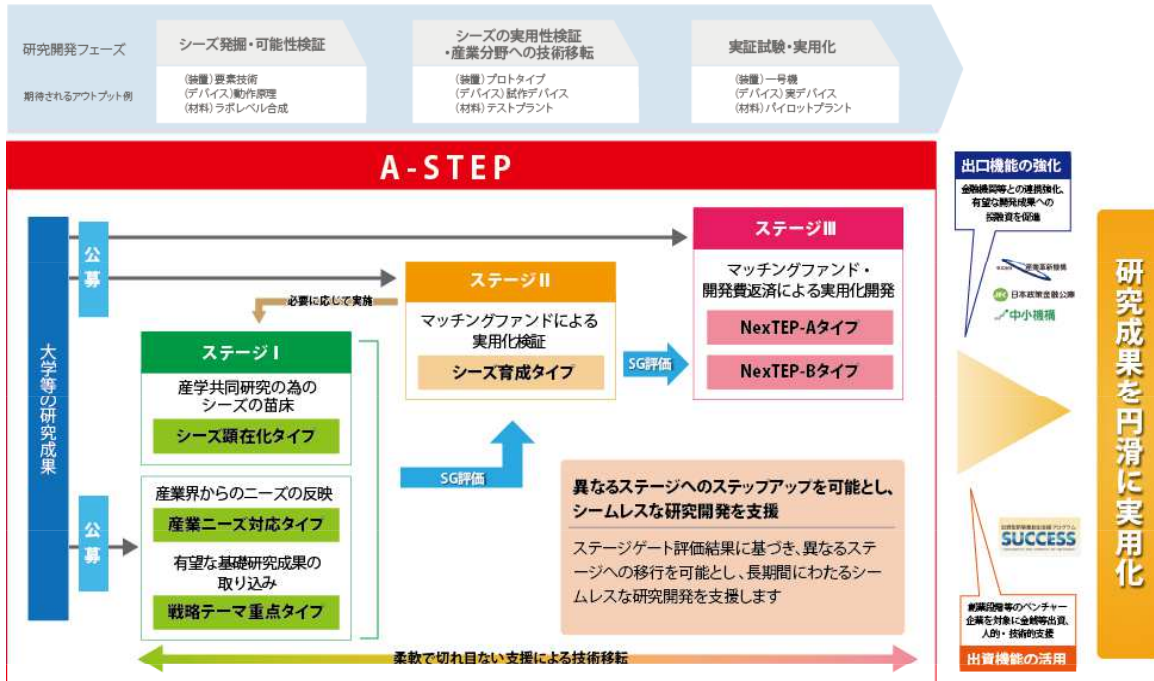
大学等の研究成果からシーズ候補を企業の視点から掘り起こして、シーズとしての可能性を検証して顕在化させるフェーズという実用化に向けた研究開発の初期段階から、顕在化したシーズの実用性を検証する中期のフェーズ、さらには製品化に向けて実証試験を行うために企業主体で企業化開発を実施する後期のフェーズまで、それぞれの研究開発フェーズの特性に応じた複数の支援タイプにより実施しており、ステージⅠ、ステージⅡ、ステージⅢの3つのステージから構成されている。

2016/7/28

4

A-STEPの概要

国立研究開発法人 科学技術振興機構 (<http://www.jst.go.jp/a-step/outline/index.html>) より引用



2016/7/28

Advance/TCAD

2016/7/28

開発の目標達成状況

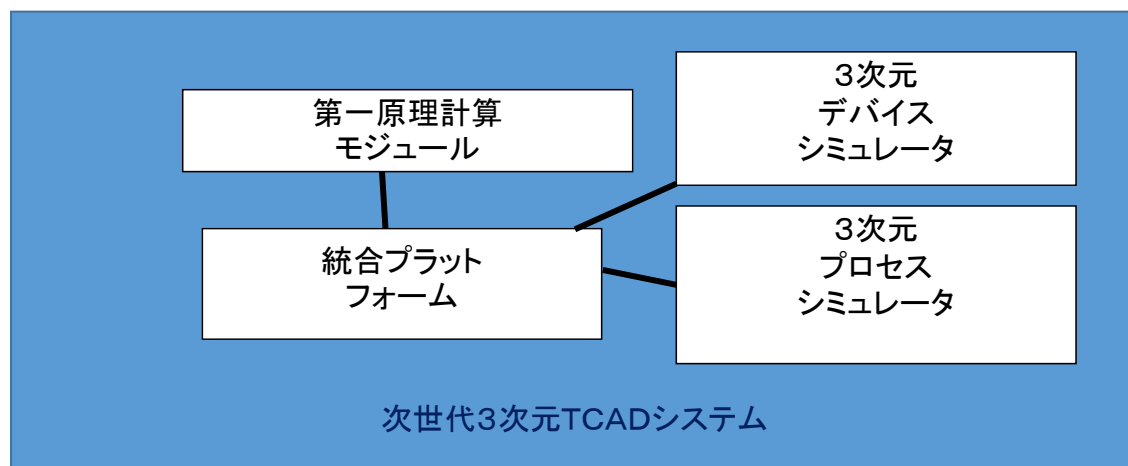
(1)開発の目的

- ◆LSIの開発、製造においてTCADシステムは必要不可欠のツールとなっているが、現在、TCADシステムは米国のシノプシス社とシルバコ社がほぼ独占している。しかし、両社の主力製品は2次元TCADシステムであり3次元解析が必須となる30ナノメートル以下の微細素子解析においてはその地位を確立していない。また、今後重要となるパワーデバイスの解析機能も市場のニーズにできていない。
- ◆製品：本研究では次世代TCADシステムを開発する。
Advance/TCADは半導体の微細化、高度化に伴い現状のTCADシステムでは対応できない課題を解決するシステムである。

2016/7/28

7

開発の目標達成状況



注1 第一原理計算モジュールは別プログラムのAdvance/Phaseです。

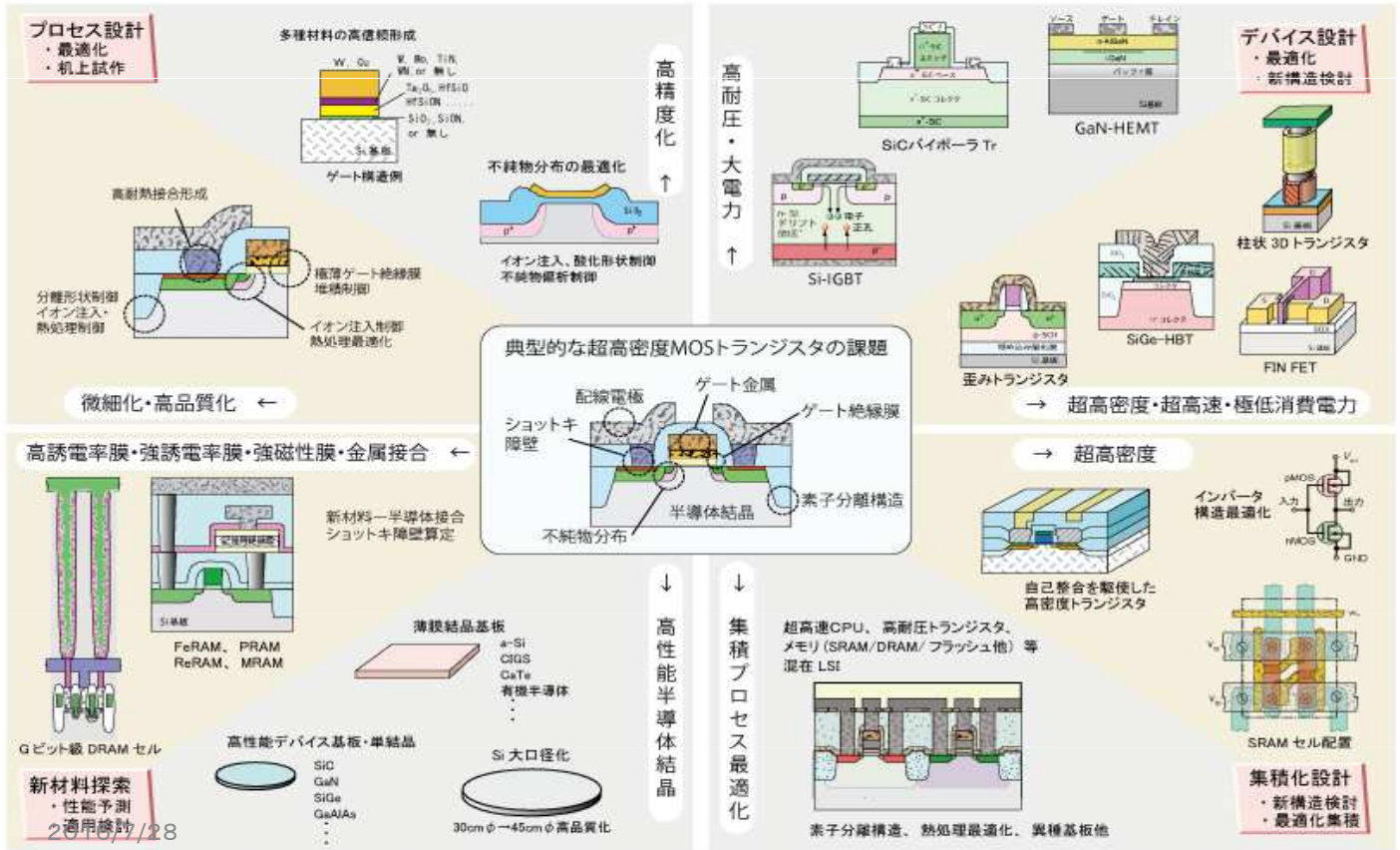
注2 3次元デバイスシミュレータと3次元プロセスシミュレータについては**別途説明**します。

2016/7/28

8

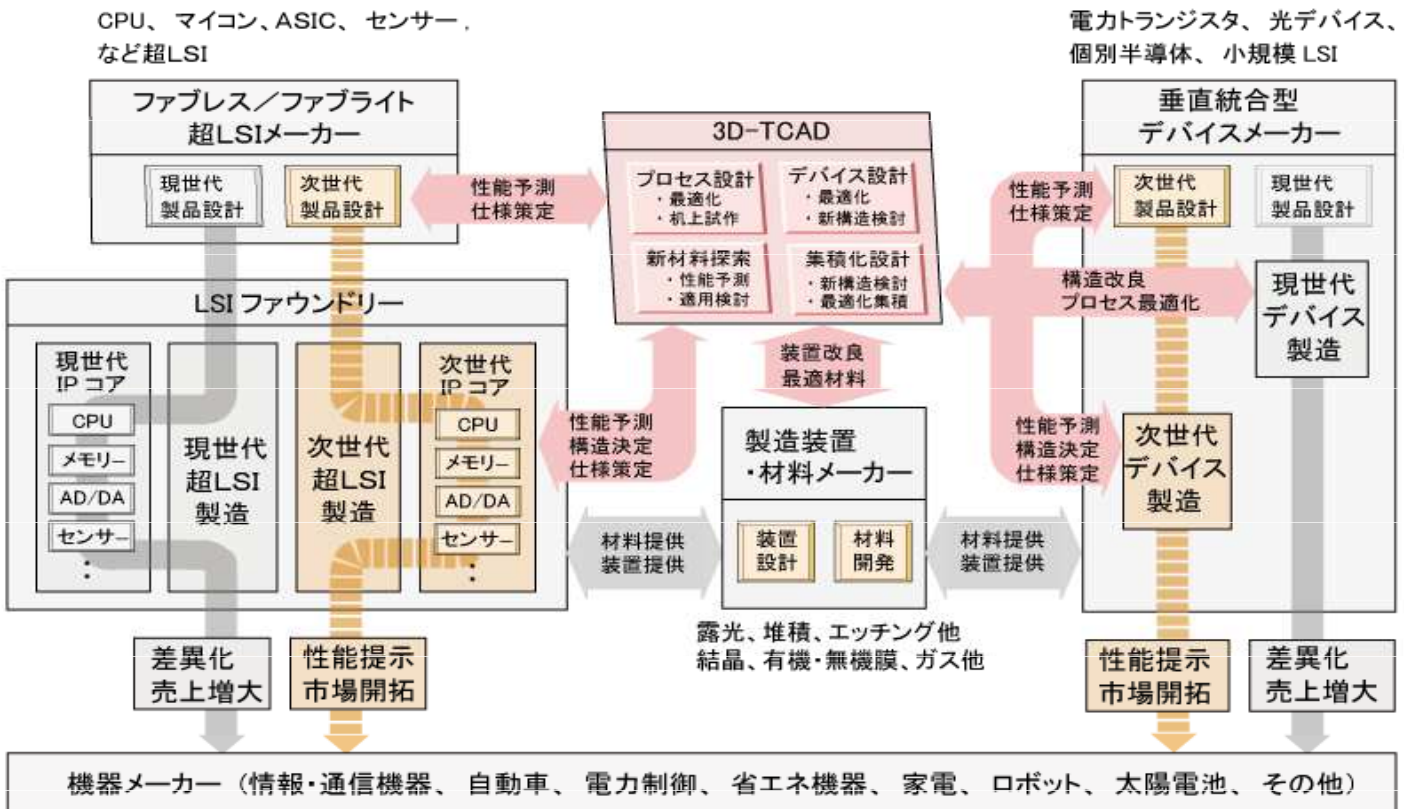
3D-TCAD 適用対象例（汎用である）

3D-TCAD 適用対象課題



9

3D-TCADのニーズ



総合ソフトウェアとして競合製品に対する優位性 その1

○:相対的に優れている。 △:相対的に劣っている。 ×:機能がないか、実用的とはいえない

対象素子	機能	本製品	競合製品	備考
既存のデジタルCMOS (メモリー、SOC)		△	○	2次元解析が主体 実績に差がある
微細素子(30ナノ以下)の解析機能	パリストリック輸送解析	○	△	計算速度に大きな差。3倍以上速い。
	CMOSインパータの一括解析	○	X	既存ソフトは解析不可
	3次元解析	○	△	ロバスト性、計算速度に差
	並列コンピュータへの対応	○	X	既存ソフトは分散並列に対応できない。大規模並列計算はできない。
	3次元形状追跡、3次元自動メッシュ	○	△	ロバスト性で差
	大規模計算の高速化	○	△	計算速度に大きな差
	第一原理計算との連携	○	X	既存ソフトには機能なし
	次世代素子対応:複雑な構造や複数トランジスタの一括解析	○	X	既存ソフトは対応できない
パワーデバイスへの対応	フローティング電極のロバスト解析	○	X	既存のソフトはSiCのようなワイドギャップ半導体に対する正しい計算はできない。
	デバイスの3次元形状近似の高度化	○	X	既存ソフトは複雑な形状は不可
その他 2016/7/28	使い勝手	○	△	3次元モデリング、3次元メッシュ作成で差

11

総合ソフトウェアとして競合製品に対する優位性 その2

○:相対的に優れている。 △:相対的に劣っている。 ×:機能がないか、実用的とはいえない

シミュレータ	機能	本製品	競合製品	備考
デバイスシミュレータ	パリストリック輸送解析	○	△	計算速度に大きな差。3倍以上速い。
	CMOSインパータの一括解析	○	X	既存ソフトは解析不可
	3次元解析	○	△	ロバスト性、計算速度に差
	並列コンピュータへの対応	○	X	既存ソフトは分散並列に対応できない。大規模並列計算はできない。
	3次元形状追跡、3次元自動メッシュ	○	△	ロバスト性で差
	大規模計算の高速化	○	△	並列化などのより計算速度に大きな差。10倍以上
	フローティング電極のロバスト解析	○	X	既存ソフトには機能なし
	次世代素子対応:複雑な構造や複数トランジスタの一括解析	○	X	既存ソフトは対応できない
プロセスシミュレータ	イオン注入	○	△	本製品のモンテカルロ計算は並列化されており、競合製品より数十倍以上高速
	不純物拡散	○	○	本製品には5変数モデルが実装されている。並列計算により高速
	酸化	○	△	競合製品の3次元の酸化計算(粘弾性)は実用的ではない。
	堆積・エッチング	○	X	本製品は3次元の複雑な形状の堆積・エッチングが解析できる。競合製品は複雑な形状に対して実用的でない。

2016/7/28

12/2

開発目標と達成状況

2016/7/28

13

(2) 開発目標と達成状況

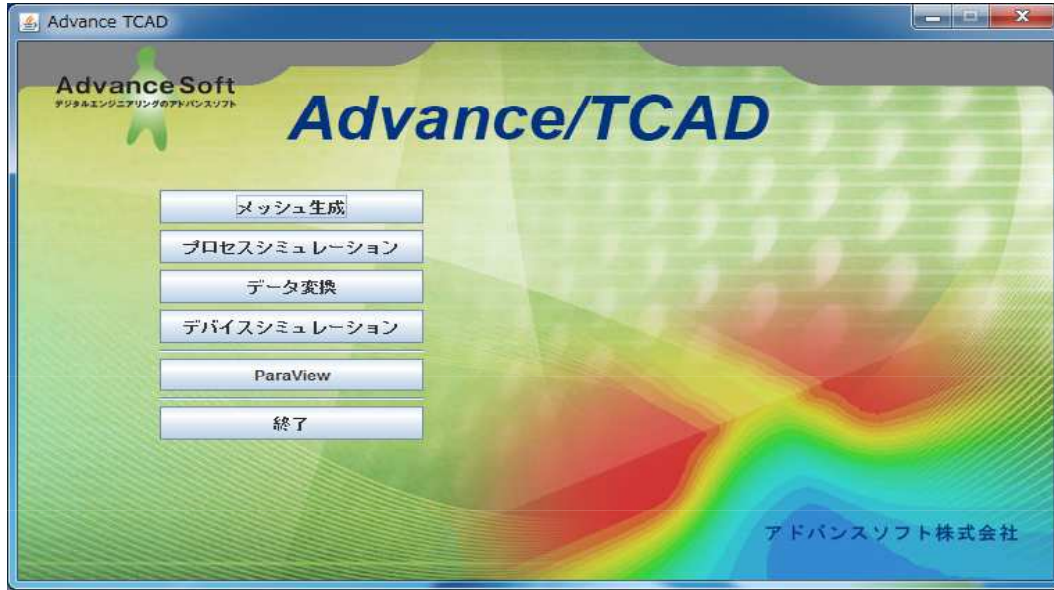
項目	目標水準	市場が要求している数値	達成状況
次世代3次元TCADシステム	プロセス、デバイス・シミュレーション、第一原理計算の統合システム	30ナノ以下の微小素子、パワーデバイスのシミュレーション	達成
CMOSインバータ並びに複数トランジスタの一括解析	～10トランジスタ規模シミュレーション	セルレベル(～10トランジスタ)の一括解析	達成
バリスティック輸送解析	DDモデルに比べ、計算時間の増大3倍以内	計算時間が実用レベル	達成
フローティング電極解析	500～1000V	1000V程度	達成
大規模計算	格子数1000万	格子数1000万	達成
並列計算	16CPUでプロセスシミュレータ5倍、デバイスシミュレータ8倍以上	16CPUでプロセスシミュレータ5倍、デバイスシミュレータ8倍以上	達成

2016/7/28

14

①次世代3次元TCADシステム

目標を達成した。当初計画した次世代3次元TCADシステムを完成



2016/7/28

15

SISPAD2014 P-12

A three-dimensional TCAD system focused on power and nano-scaled devices applications

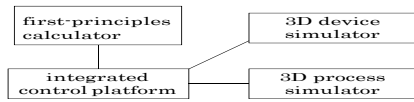


Yasuyuki Ookura, Nobuhiko Kato, Shin-ichiro Kobayashi, Takuhito Kuwabara, Masanori Harada, Ken Yamaguchi and Hideaki Koike
AdvanceSoft Co., Tokyo, Japan

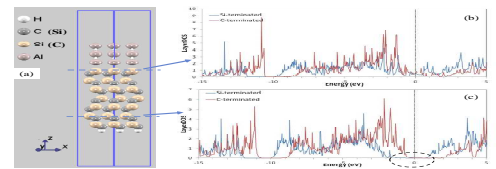
INTRODUCTION

A new 3-D TCAD system has been proposed aiming close coupling of first-principles calculator, process, and device simulators in response to requirements for ultra-small to high-power semiconductor devices of which crystals and materials have been diversified unlimitedly.

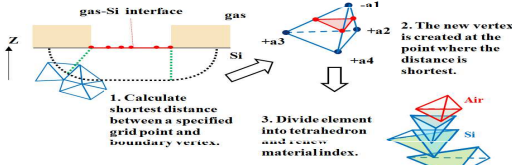
In this paper, topics of each program are demonstrated.



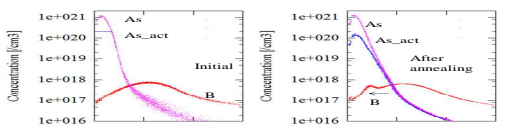
Advance/TCAD system.
Three parts are seamlessly operated by integrated control platform with flexible graphical user interface.



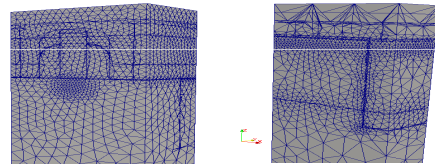
(a) Calculation model in the case of 4H-SiC(0001)-Al(111). LDOS at the interface (b) and bulk (c).



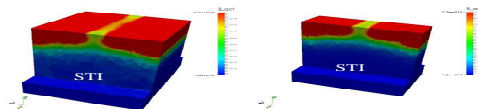
Proposed 3D form tracing algorithm.



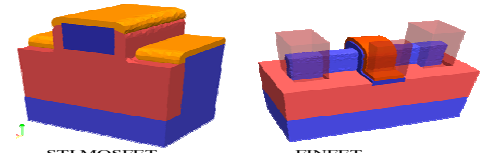
The distribution of As (total), B (total), As (active) (a) as implantation, (b) after annealing. The peak of B shifts toward the peak of As.



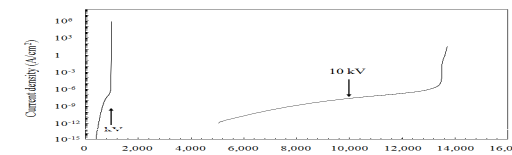
An example of STIMOSFET and IGBT structure using the proposed algorithm.



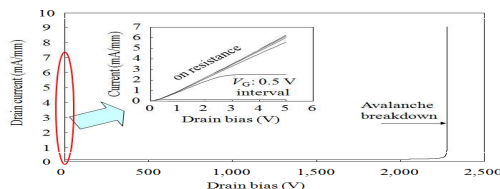
Change of boron profile by channel width due to the arsenic deactivation ($W_g = 250$ nm (left) / 80 nm (right) and $L_g = 50$ nm).



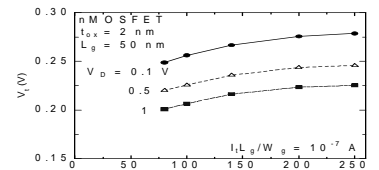
Examples of the final structures using a new algorithm.



Current-voltage characteristics of SiC diodes over 10 kV.



Current-voltage characteristics of SiC vertical MOSFET over 2 kV.



Appearance of narrow-channel effect of the threshold voltage of MOSFETs due to the change of boron profile by the deactivation of arsenic.

CONCLUSIONS

The derivation of Schottky-barrier height using first-principles calculator, a robust and high-speed topographical algorithm using the distance function for the process simulator, a 3-D narrow-channel effect of MOSFET due to arsenic deactivation, robust calculation for high-voltage breakdown characteristics of wide-gap devices has been demonstrated by a new 3-D TCAD system.

- ◆開発期間： 4.5年間
- ◆開発工数： 42.5人年 社内に特別プロジェクトを設置
- ◆ステップ数(プログラムの大きさ)：約15万ステップ
- ◆ユーザーとの共同開発
3次元TCAD検討会 我が国の半導体メーカー28社参加

2016/7/28

17

開発する次世代TCADシステムの概要

◆製品：本研究では次世代TCADシステムを開発する。「次世代3次元TCADシステム」とは半導体の微細化や高度化に伴い現状のTCADシステムでは十分対応できない課題を解決するシステムである。従来のTCADに加えて、新技術は以下のとおりである。

①微細素子の解析機能の強化

- ・ バリスティック輸送解析
- ・ CMOSインバータの一括解析と複雑構造や複数トランジスタの一括解析(10トランジスタ程度)
- ・ 3次元解析(微細素子、パワーデバイスでは不可欠)

②パワーデバイスへの対応

- ・ フローティング電極, 高耐圧のロバスト解析
- ・ デバイスの3次元形状近似の高度化

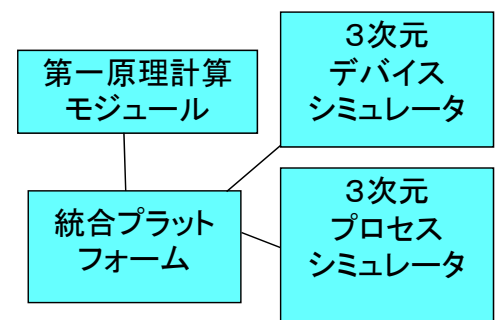
③第一原理計算との活用(材料探索など)

- ・ ITRSの課題への挑戦

④計算技術

- ・ 並列コンピュータへの対応(MPIによる分散並列)
- ・ プロセスの3次元形状追跡、3次元自動メッシュ
- ・ 大規模計算の高速化

高速でロバストな3次元シミュレータ



2016/7/28

18

デバイスシミュレータのおもな特徴

特徴	3次元高速解析(並列コンピュータ対応) マスク利用により立体構造を容易に作成 3次元メッシュの自動生成 不純物のばらつき解析 パワーデバイスのフローティング電極のロバスト解析 CMOSラッチアップの直接解析 複数トランジスタの一括解析(10トランジスタ程度)
物理モデル	再結合モデル(SRH、オージェ、深い順位、界面順位) キャリア生成モデル(衝突電離、雪崩増倍、GIDLモデル) 電解依存移動度モデル、バリスティック伝導モデル、絶縁体中の移動度モデル、量子効果(トンネル効果)、量子補正、ヘテロ接合

2016/7/28

19


プロセスシミュレータの特徴

物理モデル

- イオン注入工程 (モンテカル法)
- 拡散工程
- 酸化工程 (粘弾性モデル)
- エッチング工程
- 堆積
- エピタキシャル成長

数値計算法

- 拡散方程式は有限体積法により離散化する
- 計算格子は非構造格子(基本は四面体)
- MPIを用いた分散並列処理(高速、大規模メモリー)
- 高速線形ソルバー
- 移動境界の解析は距離関数法 (ロバストな方法)
非構造格子



高速でロ
バストな3
次元シミュ
レータ

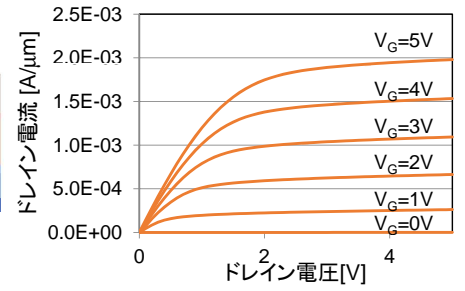
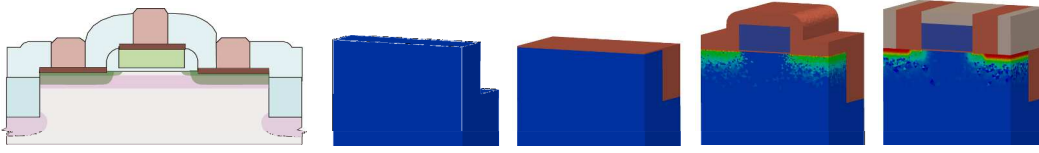
2016/7/28

20

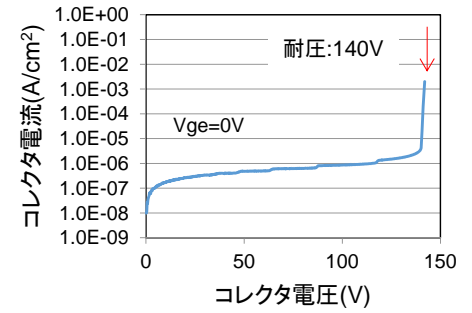
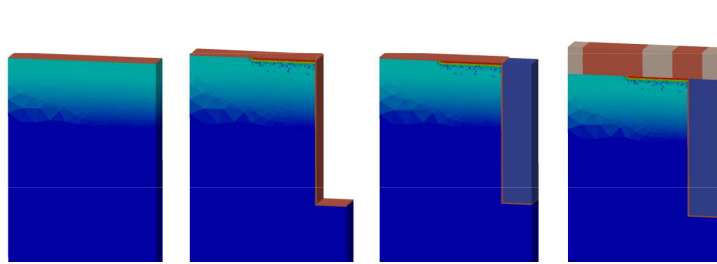
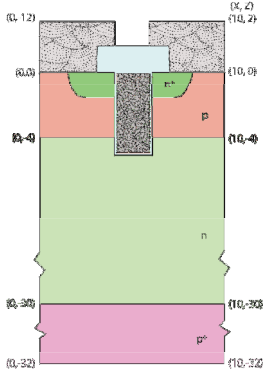
◆解析事例

-----詳しくは別途説明します

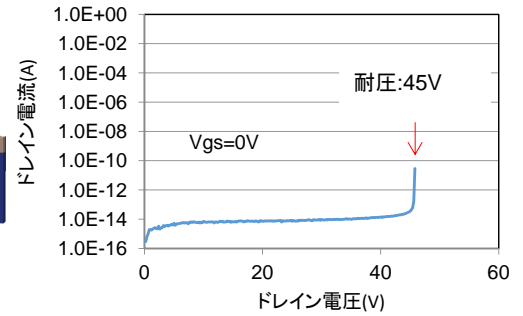
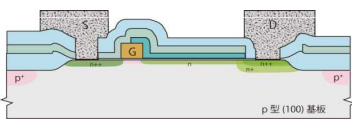
微細MOSFET



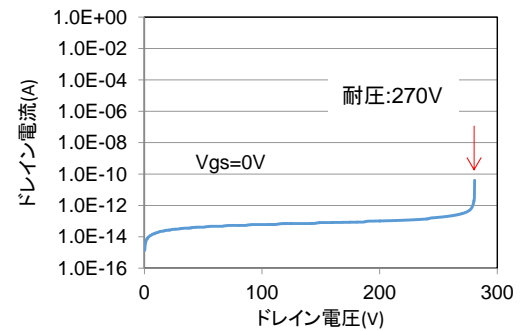
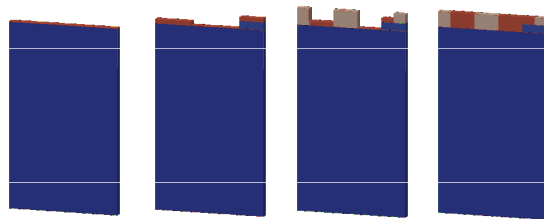
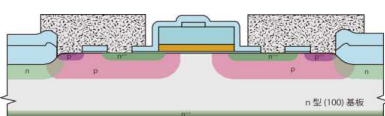
IGBT



横型パワーMOSFET



縦型パワーMOSFET

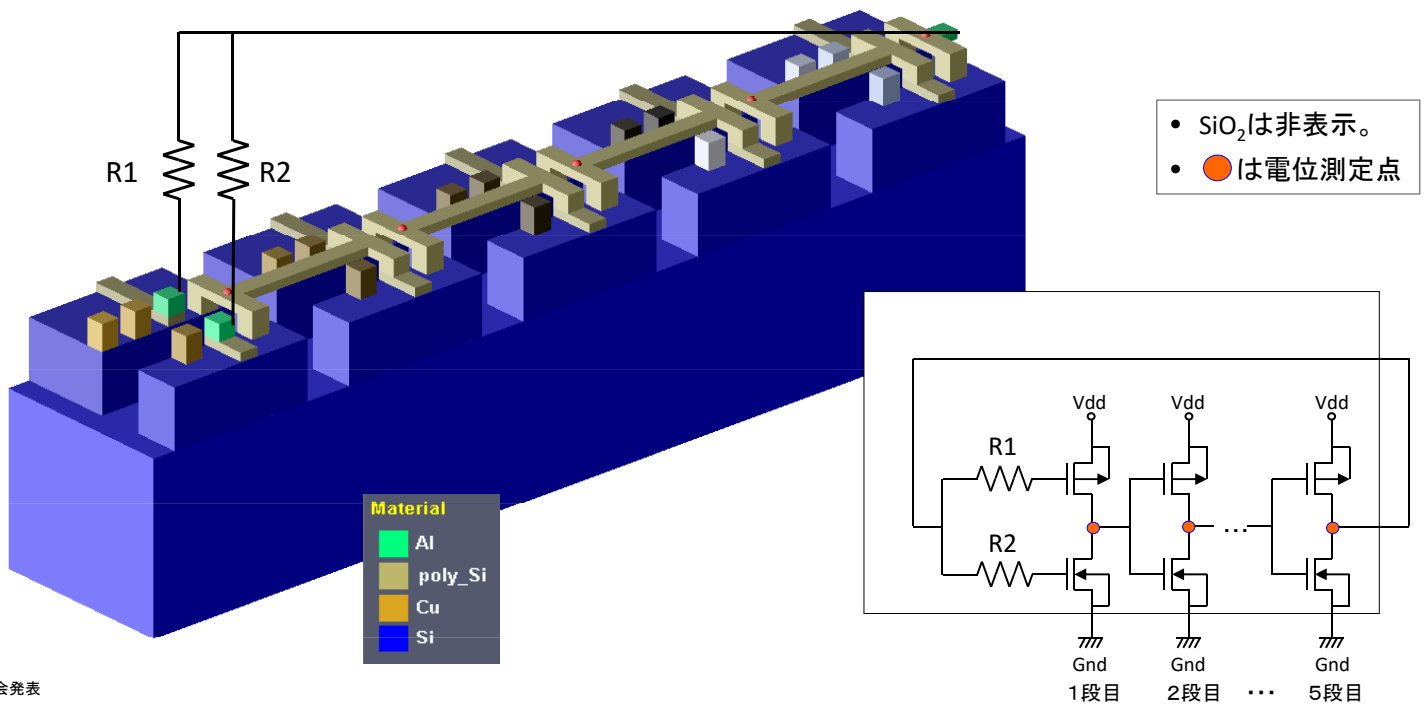


②CMOSインバータ並びに複数トランジスタの一括解析

- 目標を達成。CMOSインバータ5段(nMOS:5個、pMOS:5個、計10トランジスタ)の同時解析を達成。インバータチェーンによる遅延時間解析を可能とした。

5段CMOSリングオシレータ解析

【構造俯瞰図と回路図】



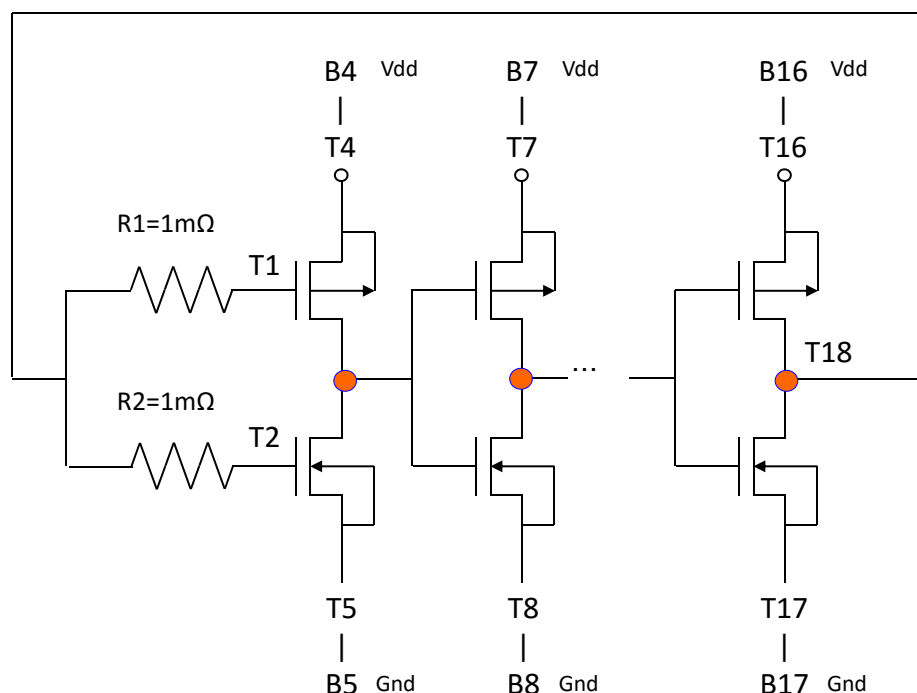
学会発表

- 第63回応用物理学関係連合講演会 2016年(平成28年)春季

23

5段CMOSリングオシレータ解析

【回路定義ファイル、R1=R2=1mΩの例】



本解析の回路定義ファイル

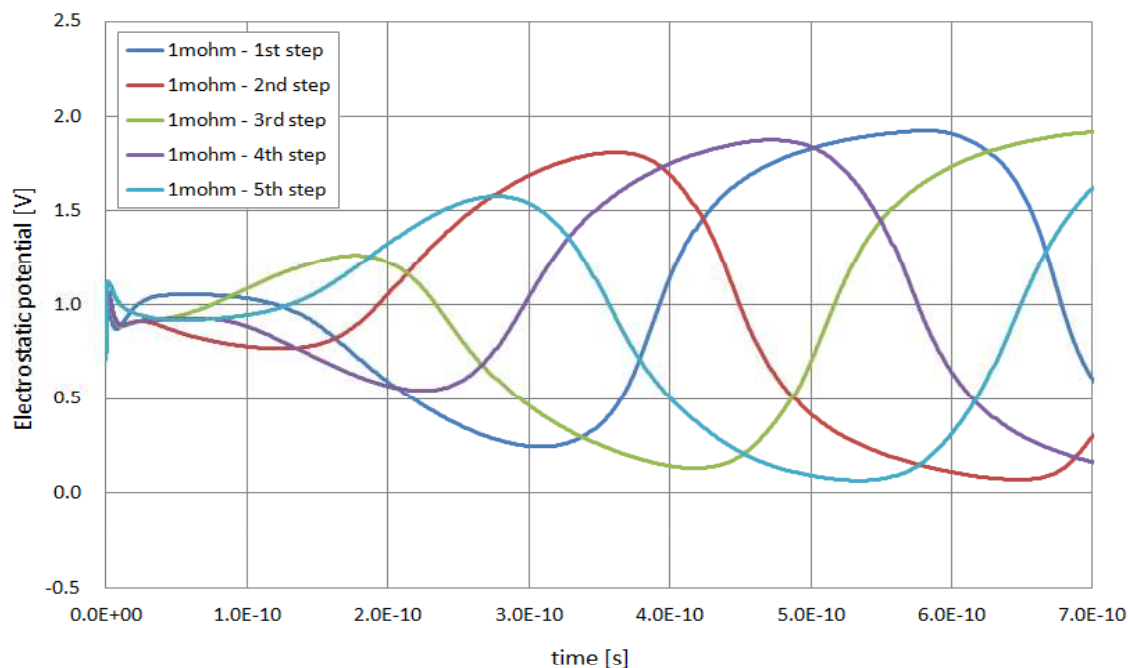
```
#-----
# コメント行
#-----
#
18
B3 T3 R 0
B4 T4 R 0
B5 T5 R 0
B6 T6 R 0
B7 T7 R 0
B8 T8 R 0
B9 T9 R 0
B10 T10 R 0
B11 T11 R 0
B12 T12 R 0
B13 T13 R 0
B14 T14 R 0
B15 T15 R 0
B16 T16 R 0
B17 T17 R 0
T18 T1 R 1E-3
T18 T2 R 1E-3
B19 T19 R 0
```

T: 端子
B: 入力
P: 回路の交点を意味する。

複数デバイスと回路の一括解析事例

5段CMOSリングオシレータ解析

時刻t=0でVdd=2Vに印加後の過渡解析



※静電ポテンシャルは0バイアス時の値からの相対値

③バリスティック輸送解析

モンテカルロ法を用いた計算によってエネルギー緩和係数と反転層内の運動量緩和係数を得た後で、得られた解を基に近似式を作成しそれをシミュレーションコードに組み込むことを行う。これにより、致命的に計算時間を要するモンテカルロ計算を行うことなくバリスティック輸送解析を行うことが可能となる。

運動量バランス式(ベクトル量)を解く替りに、電子(または正孔)のエネルギーの関数として移動度を表現する非局所性モデルが有効となる。

電子エネルギー(w)についてはボルツマン方程式から導出されるエネルギーバランス式(EBと略記)を数値解析し、緩和係数をエネルギーの関数として表現する。

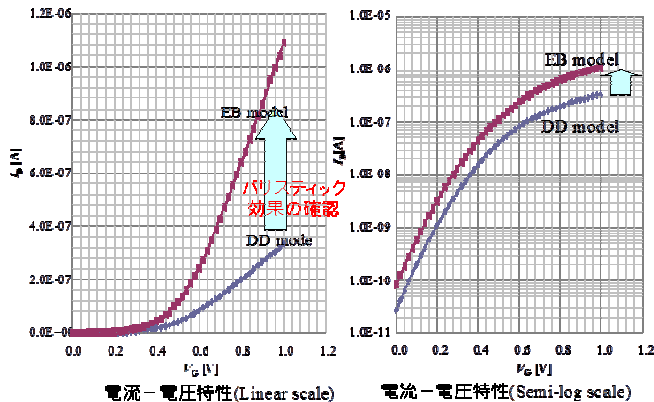
$$\mathbf{J}_n = -n\mathbf{v}_{de} = \mu_n(w)n\mathbf{E} + D_n(w)\nabla n + \mu_n(w)n\nabla\left(\frac{k_B T_e}{q}\right)$$

$$\mu_n(w) = \frac{q\tau_{me}(w)}{m_e} \quad D_n(w) = \frac{k_B T_e}{q} \mu(w)$$

③バリスティック輸送解析

目標を達成。

- 1) 反復計算1回当たりの計算増: 1.4倍
- 2) 1バイアス当たりの計算増: 1.8倍
- 3) 電流－電圧特性計算当たりの計算増: 2.7倍



評価用MOSFETにおける電流－電圧特性

- 学会発表
- 第56回応用物理学関係連合講演会、講演予行集第 No. 0 p. 17、講演番号 30p-D-5、2009年(平成21年)3月30日、筑波大学
- 第60回応用物理学学会春季学術講演会、講演番号28p-G7-4、2013年3月28日 神奈川工科大学、2013年(平成25年)春季

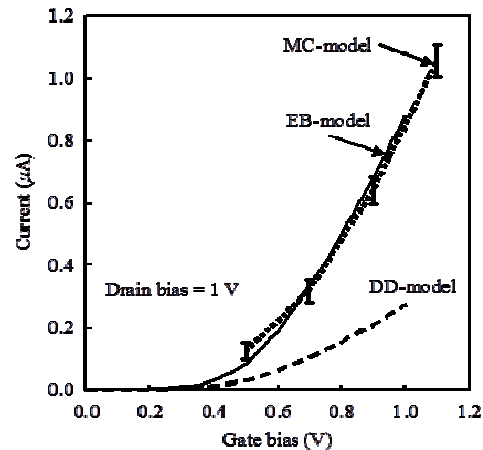
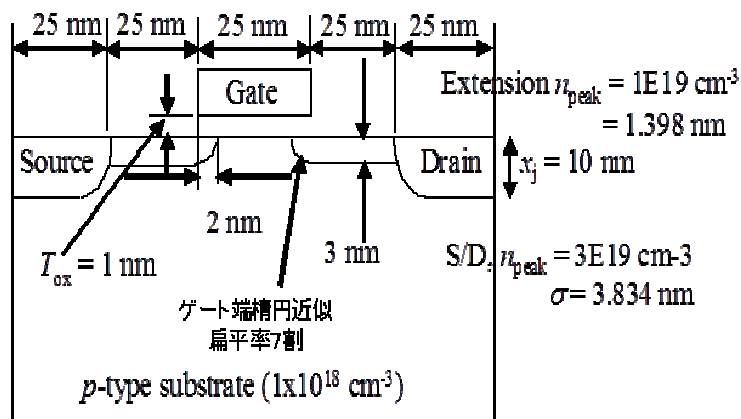


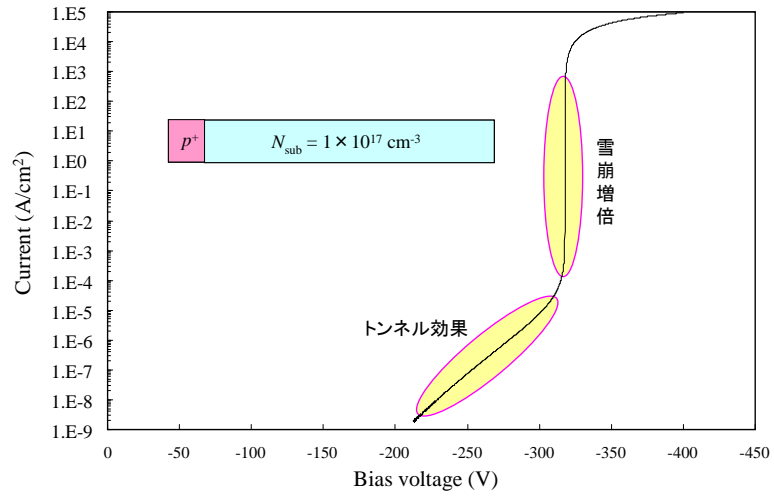
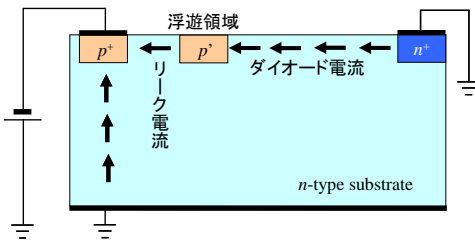
図 微細MOSFETの電流－電圧特性

評価用MOSFET構造図



④フローティング電極解析

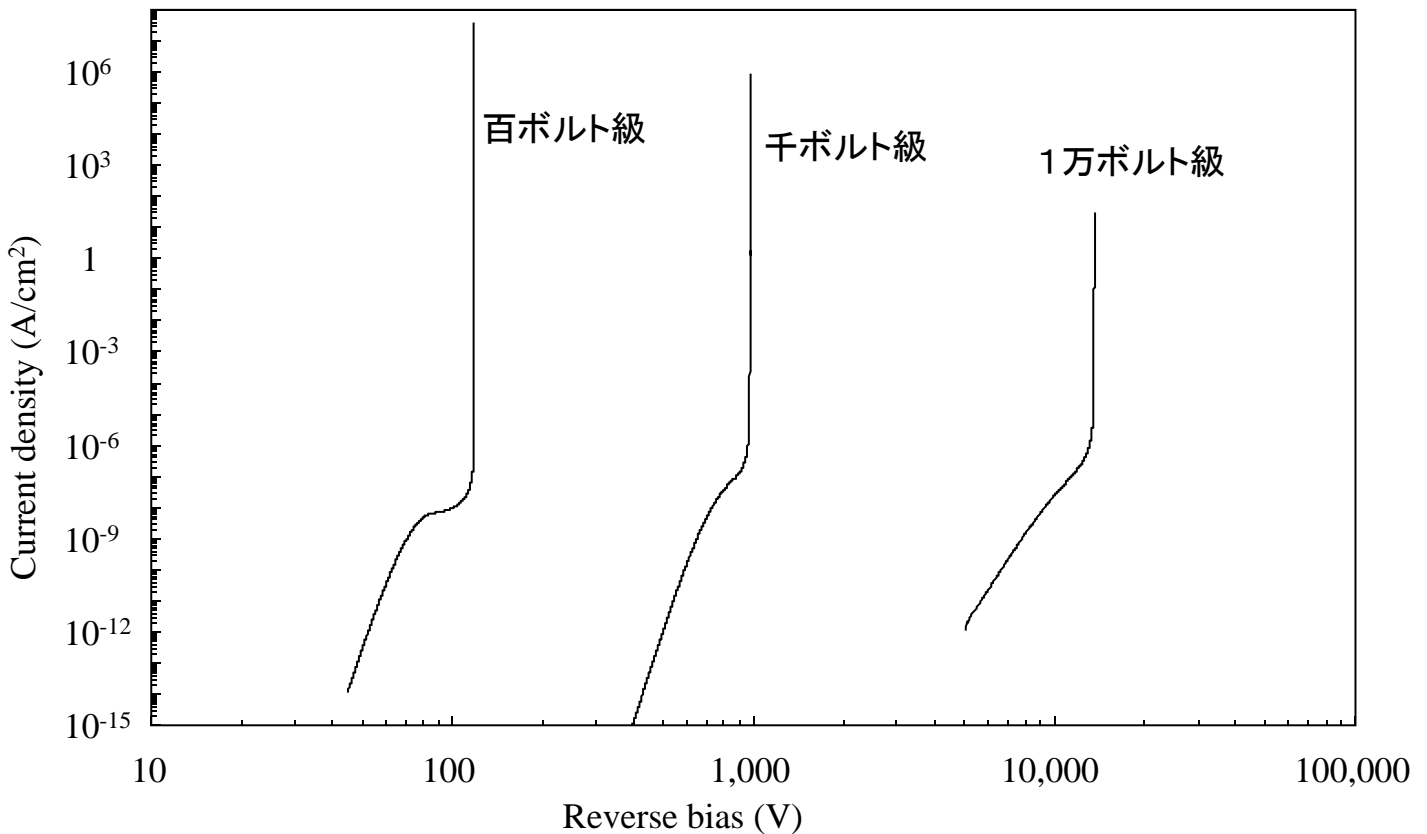
フローティング付きSiCダイオードで降伏電圧720Vを達成



- 発表論文: J. Appl. Phys, 113, 104506 (2013), published online 14 March 2013

2016/7/28

高耐圧ダイオードの解析例



⑤大規模並列計算

1000万格子を確認。

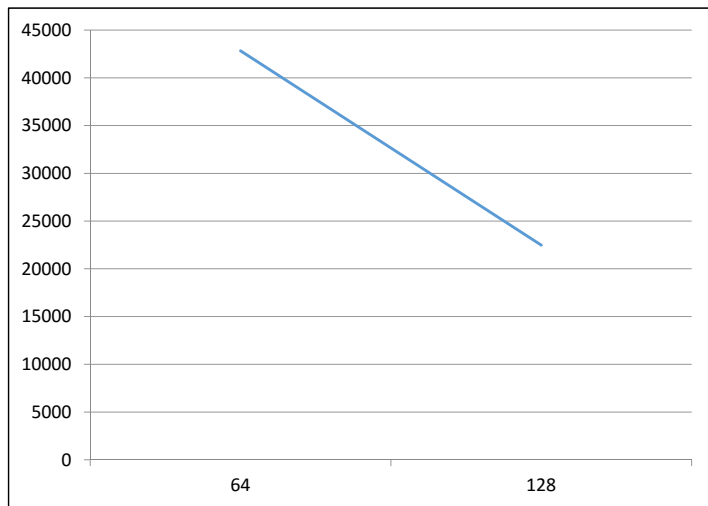
128コア

Gummel_scheme	Poisson		Elec_continuity		Hole_continuity		
	Iter.	Variance	Iter.	Residue	Iter.	Residue	
1	3.2510E+00	180	8.5932E-17	1514	9.7060E-21	1982	8.4757E-21
2	2.0000E+00	198	9.0545E-17	1556	8.4593E-21	2060	3.7648E-21
3	2.0000E+00	202	8.9030E-17	1454	9.3644E-21	1884	7.8539E-21
4	2.0000E+00	193	9.0485E-17	1236	2.2482E-21	1996	7.9176E-21
5	1.4214E+00	207	6.1573E-17	1658	9.8613E-21	1968	9.1451E-21
6	4.9579E-01	192	9.6994E-17	1600	9.8952E-21	1852	5.0425E-21
7	2.5046E-01	191	6.3475E-17	1988	7.8848E-21	1852	5.0399E-21
8	1.2577E-01	187	7.3493E-17	1352	6.9013E-22	1756	6.4650E-21
9	6.2980E-02	189	5.3850E-17	3516	8.6712E-22	1838	8.7255E-21
10	3.1509E-02	186	8.0647E-17	1516	9.8485E-21	1982	2.2908E-22
11	1.5759E-02	181	9.8131E-17	1738	9.8074E-21	1984	3.0990E-21
12	7.8804E-03	163	9.3682E-17	1428	5.6255E-21	1920	7.1339E-21
13	3.9405E-03	171	7.0361E-17	1334	6.0594E-21	1950	5.4918E-21
14	1.9703E-03	172	7.8395E-17	1806	9.3893E-21	1768	5.2351E-21
<<< Extrapolation has been achieved. >>>							
15	9.8515E-04	145	9.2349E-17	2558	8.6646E-21	1884	9.6151E-21
16	2.3889E-09	79	9.9986E-17	848	5.6381E-21	1602	9.2970E-21

Converged after 16 steps

1000万格子モデル

+ Number of nodes..... 11168928
 + Number of elements..... 10929600
 + Number of control volumes... 11224192
 + Volume of mesh..... 1.034375E-20 [m3]

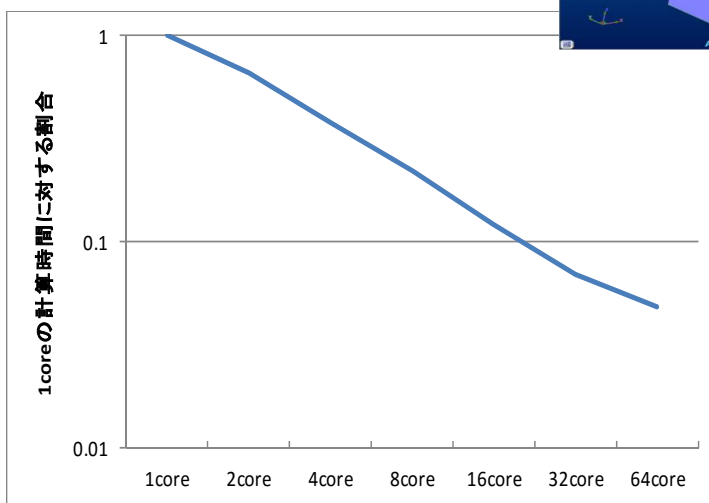
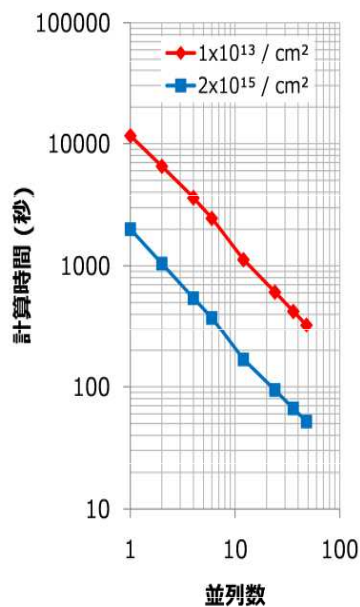
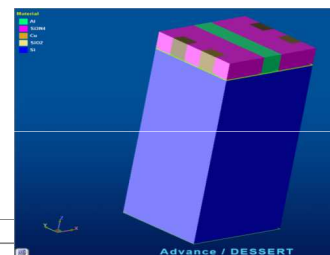


2016/7/28

31

⑥並列計算

- 目標を達成。
- プロセスシミュレータで16CPUで8.5倍を達成。
- デバイスシミュレータで16CPUで9倍を達成。



1CPUコアによる計算時間に対する使用CPUコア数を増加させていった場合の計算時間の割合(両対数グラフ):UV2000におけるデータ (デバイスシミュレータ) 100万格子

イオン注入
48並列で39倍の高速化

「アドバンスシミュレーションVol.21」当社のホームページから見れる。

32

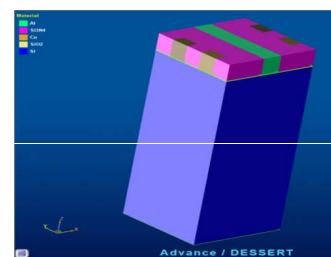
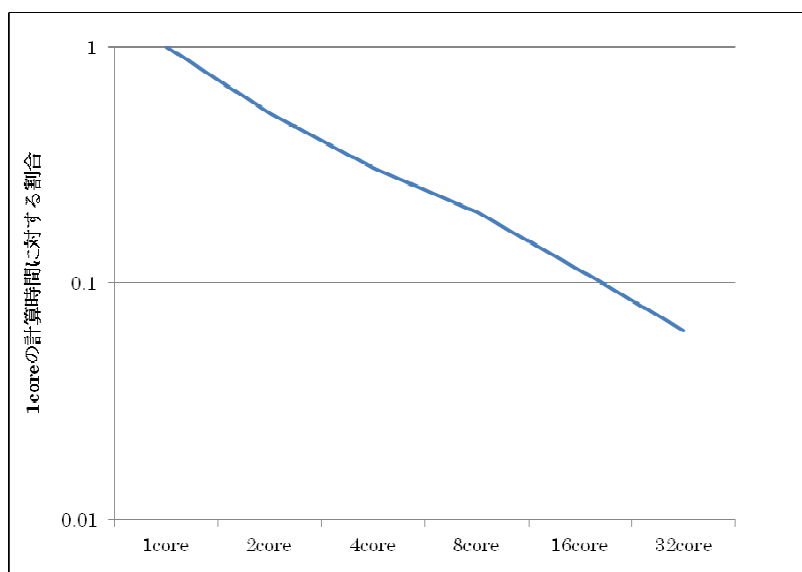


図 1CPUコアによる計算時間に対する使用CPUコア数を増加させていった場合の計算時間の割合(両対数グラフ):UV2000におけるデータ(プロセスシミュレータ) 160万格子

2016/7/28

33

今後の事業化計画

◆商品化

9月にバージョン1.0をリリース

継続的に保守、改良を行っていく(今後の開発計画を参照)

◆利用サポート

セミナー、説明会の開催

2016/7/28

34

高信頼性・低特性オン抵抗30-50Vデュアル
RESURF LDMOSTランジスタ
—アドバンスソフト社3次元デバイス・シミュレータ
Advance/DESSERT(β版)使用事例—

松田 順一
群馬大学

2016年7月28日(木)
トスラブ山王(山王健保会館)

1

概要 1

- はじめに
 - 高信頼性・低特性オン抵抗LDMOSの必要性
- **30-50VデュアルRESURF LDMOS(1)(高信頼性基本構造)**
(電気学会 電子デバイス・半導体電力変換合同研究会, EDD-15-066, SPC-15-148, (2015年10月) で発表)
- 従来型と高信頼性型LDMOSの構造
- シミュレーション結果
 - 従来型と高信頼性型で電気特性比較 ($I_{DS}-V_{GS}$ 、 $I_{DS}-V_{DS}$ 、 $R_{on}A$ 、 BV_{DS})
- 解析
 - 真性MOSFETのドレイン電圧 ($V_{DS,int}$) とLDMOSのドレイン電圧 (V_{DS}) の関係
 - 横(x)方向の最大電子速度の V_{DS} 依存性 (at $V_{GS}=3V$ and $5V$)
 - 正孔電流密度と電界の形状 (at $V_{GS}=3V$ and $5V$)
 - ブレークダウン発生箇所
- まとめ

2

概要2

- **30-50VデュアルRESURF LDMOS(2) (高信頼性・低特性オン抵抗化)**
 - (第63回応用物理学会春季学術講演会, 20a-S422-11 (2016)で発表)
 - (電気学会 東京支部 群馬・栃木支所合同研究発表会, ETT-16-42 (2016)で発表)
- 従来型、高信頼性型、高信頼性・低特性オン抵抗型 LDMOS構造
- シミュレーション結果
 - 電気特性比較 ($I_{DS}-V_{DS}$ 、 $I_{DS}-V_{GS}$ 、 $R_{on}A$ 、 BV_{DS})
- 解析
 - 正孔電流密度と電界形状
 - オン抵抗解析 (累積オン抵抗とオン抵抗成分)
 - ブレークダウン発生箇所
 - 特性オン抵抗-耐圧特性
 - スイッチング損失と全パワー損失密度
- まとめ

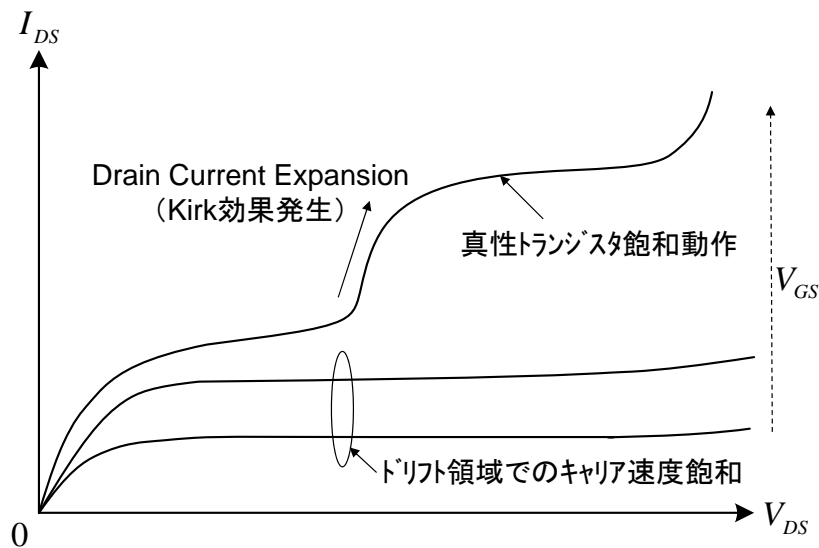
3

高信頼性・低特性オン抵抗LDMOSの必要性

- **高信頼性LDMOSの必要性**
 - 信頼性: 民生用LDMOS < 車載用LDMOS
 - 車載用では民生用よりホットキャリア耐性とESD耐性を強化
- 高信頼性LDMOSの考え方
 - **ホットキャリア耐性の強化**
 - 真性MOSFETのドレイン近傍でのインパクト・イオン化の抑制
 - Kirk効果によるドレイン電流増大 (Drain Current Expansion) の抑制
 - **ESD 耐性の強化** (LDMOSをESD素子として兼用する場合)
 - バルク・ブレークダウンの発生
- **低特性オン抵抗LDMOSの必要性**
 - 低消費電力化
 - コストダウン
- 高信頼性を維持して低特性オン抵抗化
 - ドリフト領域の低抵抗化
 - ソース領域の低抵抗化

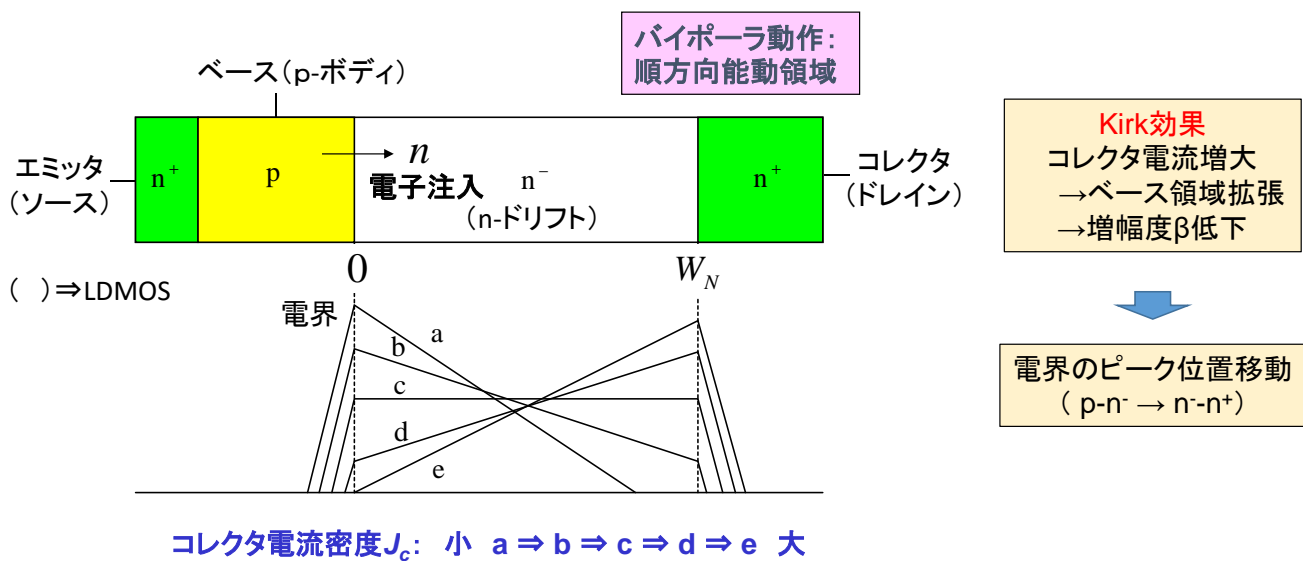
4

LDMOSの異常 $I_{DS}-V_{DS}$ 特性: Kirk効果によるドレイン電流増大(Drain Current Expansion)



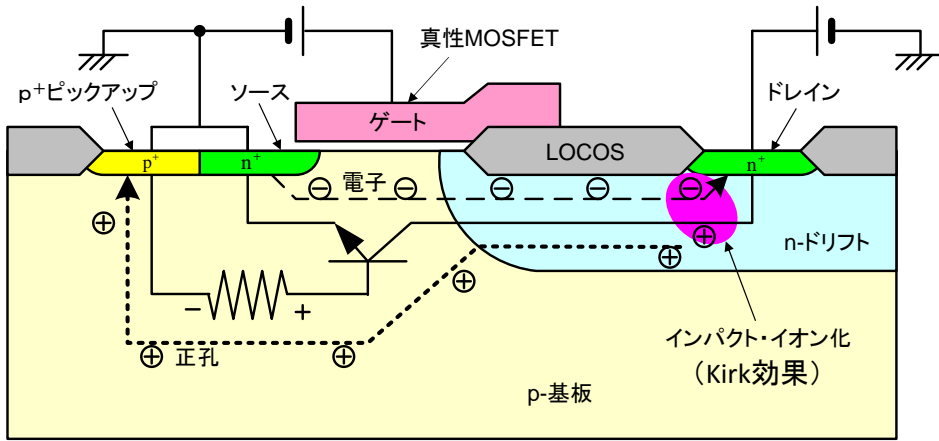
5

コレクタ電流増大による電界分布の変化



6

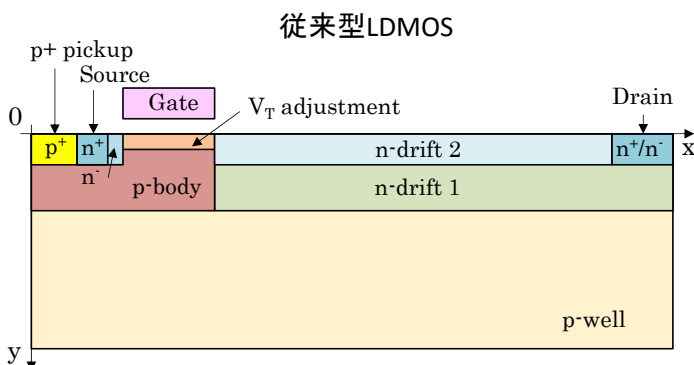
LDMOSドリフト層内でのインパクト・イオン化による電子・正孔対発生と寄生バイポーラ・トランジスタ形成



(1)→(7) 電流増加

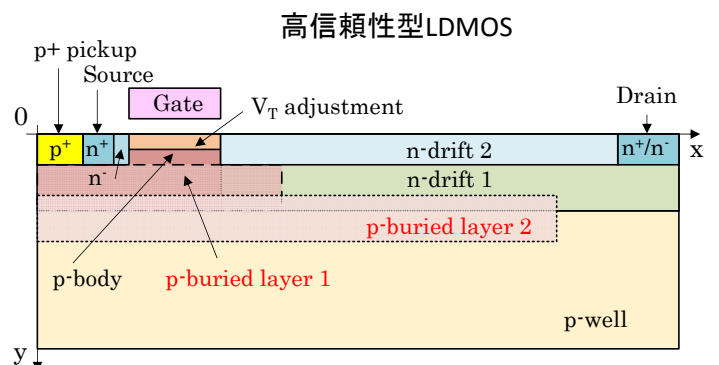
- (1) ドレイン近傍でのインパクト・イオン化(Kirk効果)による電子・正孔対発生
- (2) ドリフト層の電導度変調(抵抗低下)
- (3) 真性MOSFETのドレイン電圧上昇⇒Current Expansion
- (4) 真性MOSFET飽和
- (5) 真性MOSFETドレインでのインパクト・イオン化増大
- (6) 寄生バイポーラ・トランジスタ形成
- (7) 寄生バイポーラ・トランジスタの電流増大によりブレークダウン(寄生バイポーラ・トランジスタのエミッタ電圧>0.8V)

デュアルRESURF LDMOS(1) (高信頼性基本構造)



従来型LDMOSは以下の効果を持つ。

- (1) 高ドーパp-body ⇒ ドリフト端周りでのRESURFと電流増大の抑制
- (2) p-well ⇒ ドリフト領域に沿ったRESURFと適度な BVds
- (3) V_T adjustment ⇒ V_T 調整と電流増大の抑制
- (4) n-drift 2 ⇒ 低 R_{onA} と電流増大の抑制

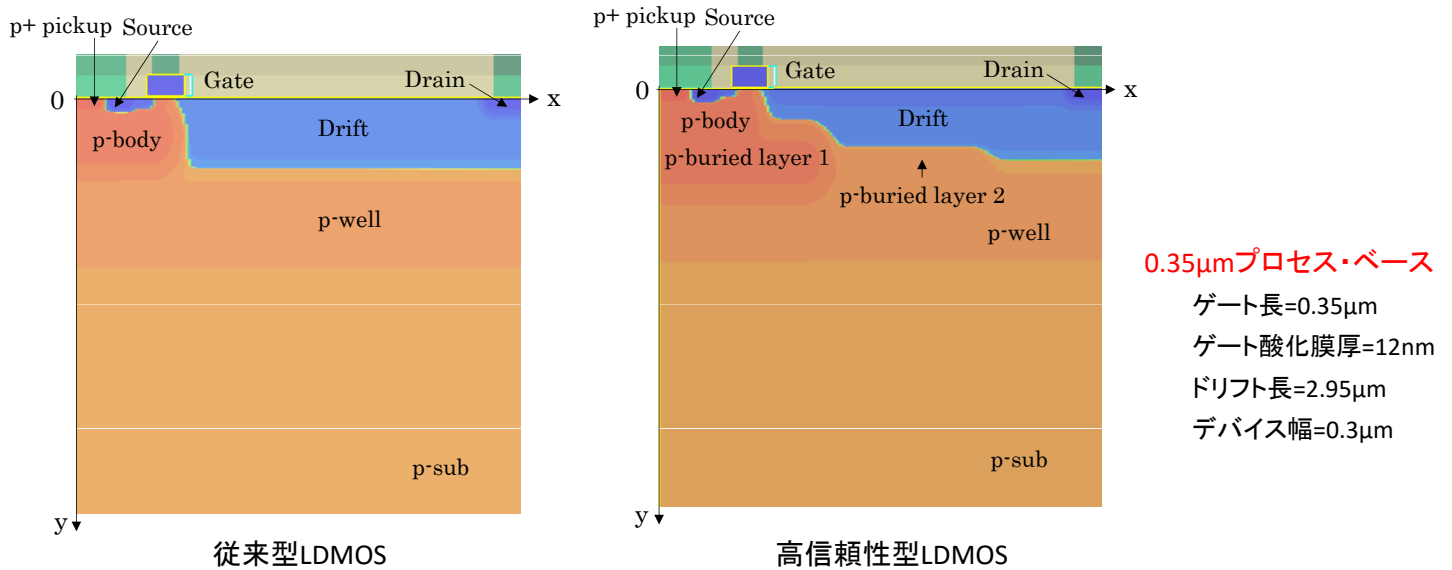


高信頼性型LDMOSは従来型に対して以下の効果を追加する。

- (5) p-buried layer 1 ⇒ ドリフト端周りでのRESURFと電流増大の抑制の強化
- (6) p-buried layer 2 ⇒ ドリフト領域に沿ったRESURFの強化
- (7) ドレイン n^+ 下のp-buried layer 2の開口 ⇒ 電流増大の抑制と適度なBVdsの維持

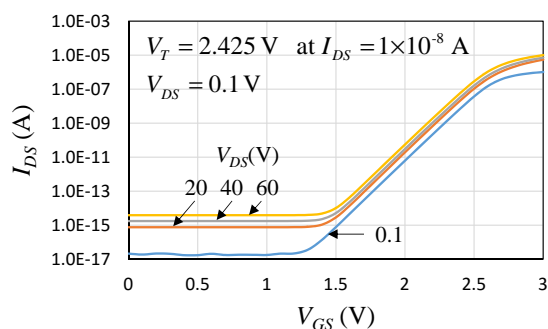
P-buried layer 1 と 2 ⇒ デュアルRESURF構造形成

シミュレーションによるLDMOSの構造



(注)アドバンスソフト社の3次元デバイス・シミュレータ Advance/DESSERT (β版)を2次元で使用

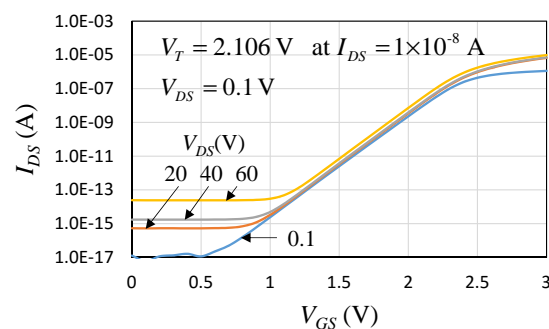
従来型と高信頼性型LDMOSの $I_{DS}-V_{GS}$ 特性の比較



従来型LDMOS

$$V_T = 2.300 \text{ V} \text{ at } I_{DS} = 1 \times 10^{-8} \text{ A}, V_{DS} = 60 \text{ V}$$

$$V_T(V_{DS} = 60 \text{ V}) - V_T(V_{DS} = 0.1 \text{ V}) = 0.125 \text{ V}$$



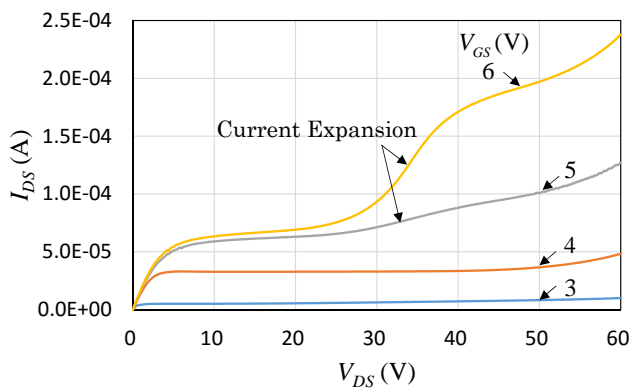
高信頼性型LDMOS

$$V_T = 2.021 \text{ V} \text{ at } I_{DS} = 1 \times 10^{-8} \text{ A}, V_{DS} = 60 \text{ V}$$

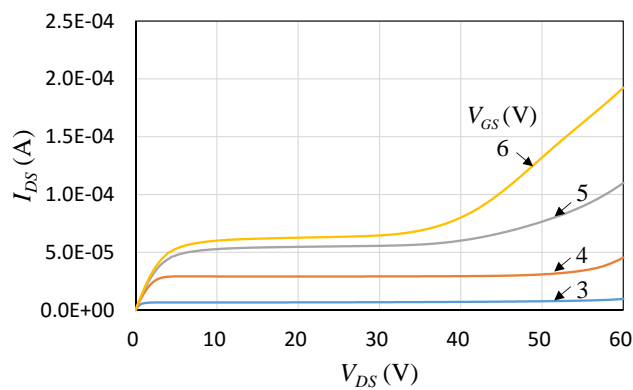
$$V_T(V_{DS} = 60 \text{ V}) - V_T(V_{DS} = 0.1 \text{ V}) = 0.085 \text{ V}$$

DIBL(Drain Induced Barrier Lowering): 従来型LDMOS > 高信頼性型LDMOS

従来型と高信頼性型LDMOSの $I_{DS}-V_{DS}$ 特性の比較



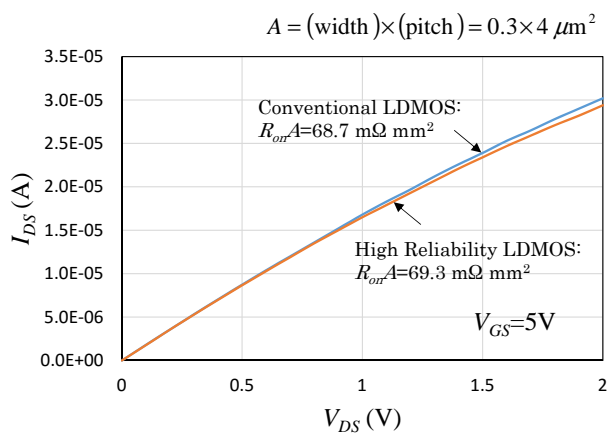
従来型 LDMOS



高信頼性型LDMOS

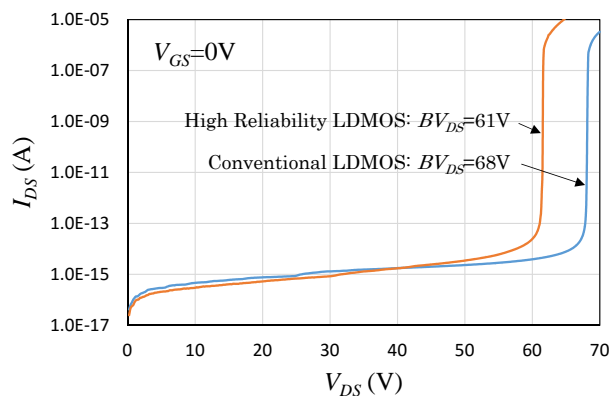
従来型LDMOSで Current Expansion 発生、高信頼性型LDMOSではその発生は無し

従来型と高信頼性型LDMOSの $R_{on}A$ and BV_{DS} の比較



$I_{DS}-V_{DS}$ 特性 (at $V_{GS}=5V$): $R_{on}A$

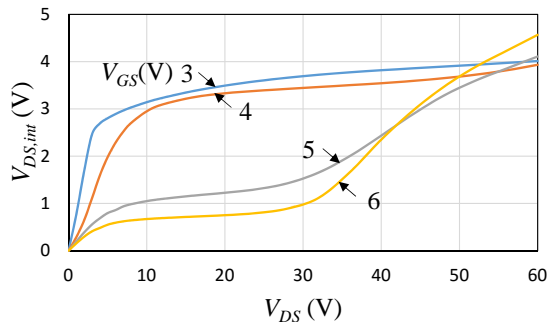
$R_{on}A$: 従来型LDMOS ≒ 高信頼性型LDMOS



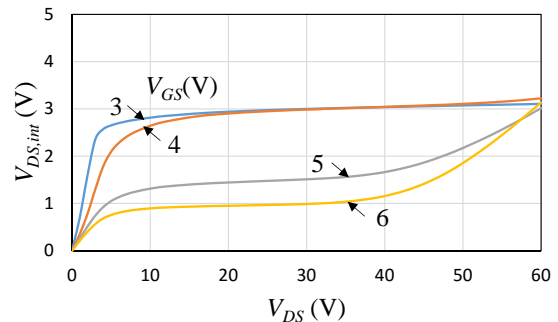
$I_{DS}-V_{DS}$ 特性 (at $V_{GS}=0V$): BV_{DS}

BV_{DS} : 従来型LDMOS > 高信頼性型LDMOS

真性MOSFETのドレイン電圧($V_{DS,int}$) vs. LDMOSのドレイン電圧(V_{DS})



従来型LDMOS



高信頼性型LDMOS

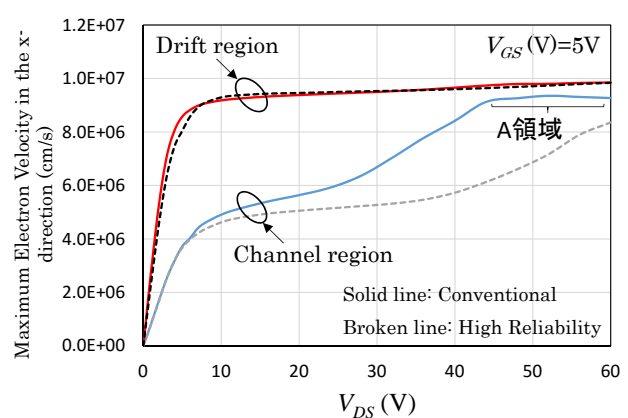
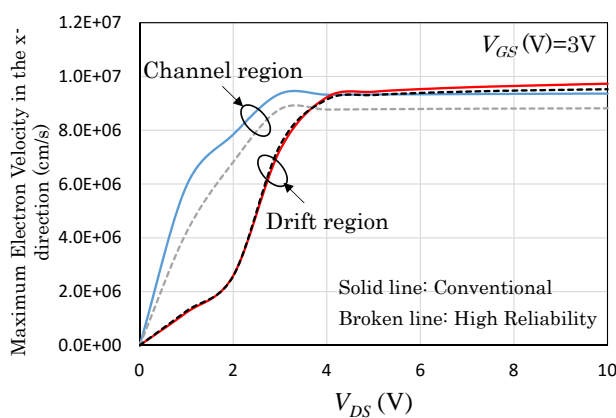
$V_{DS,int}$: ドレイン側ゲート端表面での電子の擬フェルミ電位で定義

(1) $V_{GS}=3, 4V$ と $V_{GS}=5, 6V$ で異なる特性

(2) $V_{DS,int}$ の飽和特性がDIBLIに影響

従来型と高信頼性型LDMOSの表面に沿った(x方向)最大電子速度の比較

at $V_{GS}=3$ and $5V$



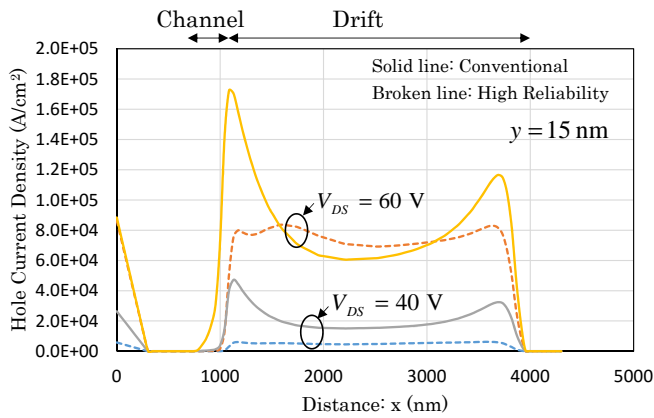
I_{DS} - V_{DS} の飽和特性 ($V_{GS}=3V$) \Rightarrow 従来型も高信頼性型もチャネル領域の飽和特性に依存 ($V_{DS,int}$ が高いことに対応)

I_{DS} - V_{DS} の飽和特性 ($V_{GS}=5V$) \Rightarrow 従来型も高信頼性型もドリフト領域の飽和特性に依存 ($V_{DS,int}$ が低いことに対応)

(従来型のA領域: current expansion 後の飽和特性に寄与 \Rightarrow 真性MOSFETのインパクトイオン化増加)

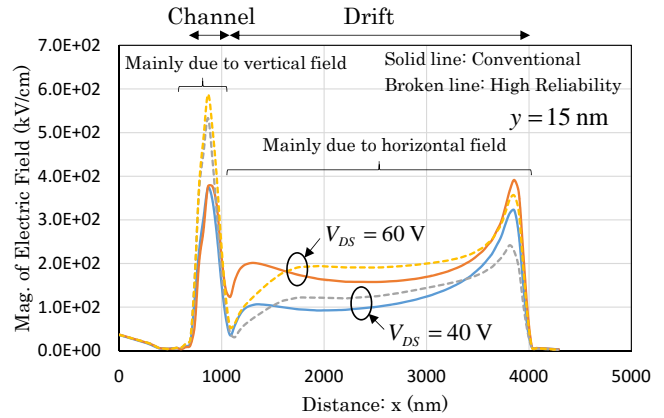
従来型と高信頼性型LDMOSの正孔電流密度と電界形状の比較

at $V_{GS}=5V$



正孔電流密度形状

ドリフト両端近傍での正孔電流密度:
従来型LDMOS > 高信頼性型LDMOS



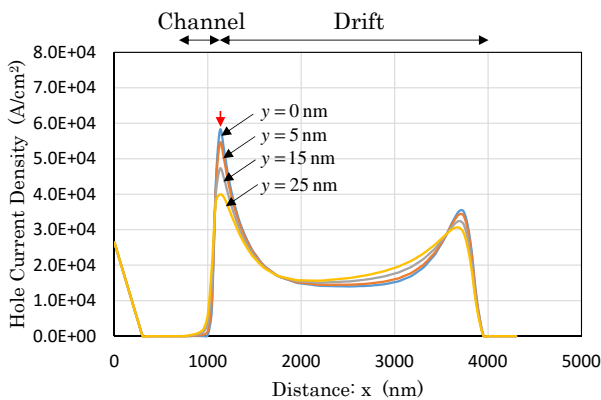
電界形状

ドリフト両端近傍での電界:
従来型LDMOS > 高信頼性型LDMOS

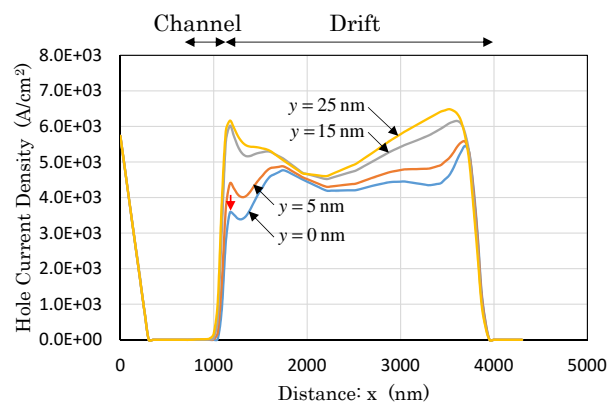
(p-埋め込み層1と2の効果)

従来型と高信頼性型LDMOSの正孔電流密度形状の深さ(y)依存性の比較

at $V_{DS}=40V$ and $V_{GS}=5V$



従来型LDMOS

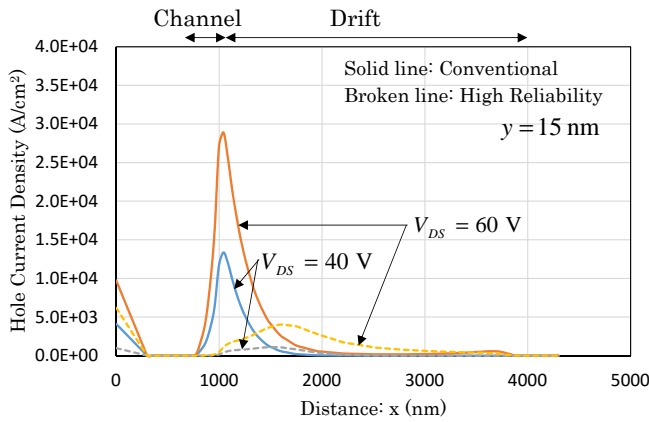


高信頼性型LDMOS

チャネル側ドリフト端近傍での $y=0nm$ における正孔電流密度 (矢印箇所) \Rightarrow 高信頼性型/従来型LDMOS = 1/16

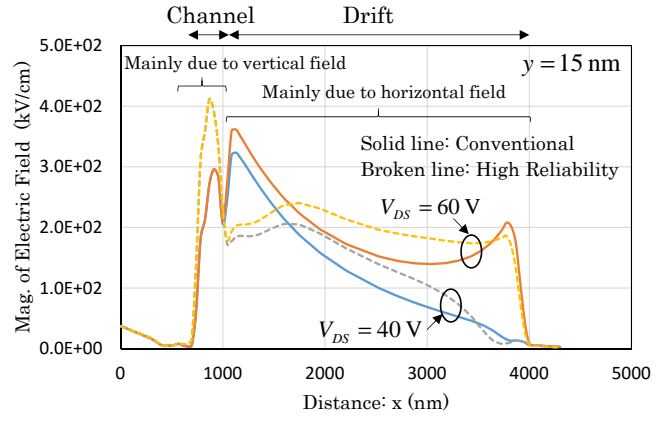
従来型と高信頼性型LDMOSの正孔電流密度と電界形状の比較

at $V_{GS}=3V$



正孔電流密度形状

チャンネル側ドリフト端近傍の正孔電流密度:
従来型LDMOS > 高信頼性型LDMOS



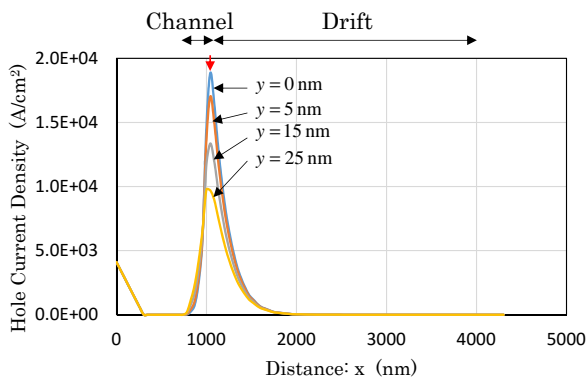
電界形状

チャンネル側ドリフト端近傍の電界:
従来型LDMOS > 高信頼性型LDMOS
(p-埋め込み層1の効果)

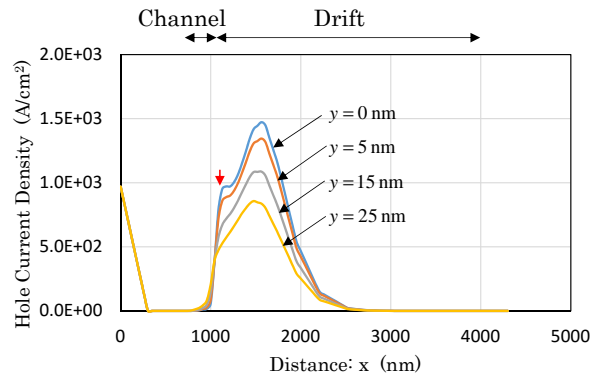
17

従来型と高信頼性型LDMOSの正孔電流密度形状の深さ(y)依存性の比較

at $V_{DS}=40V$ and $V_{GS}=3V$



従来型LDMOS

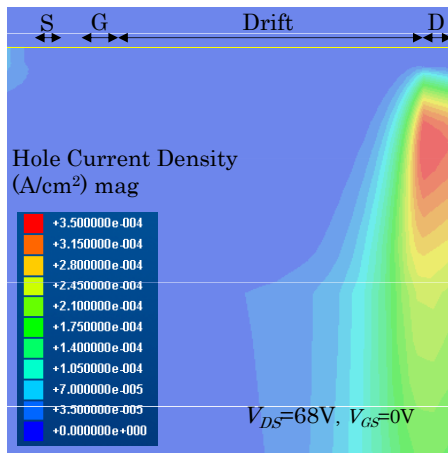


高信頼性型LDMOS

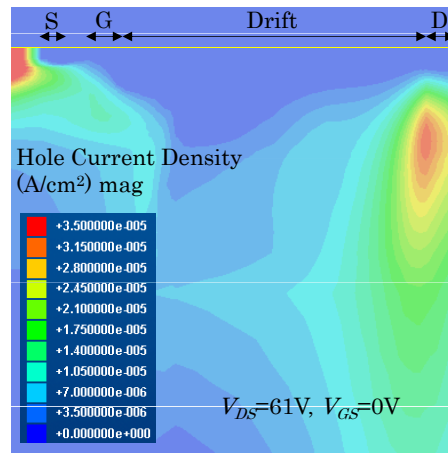
チャンネル側ドリフト端近傍での $y=0nm$ における正孔電流密度 (矢印箇所) \Rightarrow 高信頼性型/従来型LDMOS = 1/19

18

ブレイクダウン発生時の正孔電流密度分布の比較



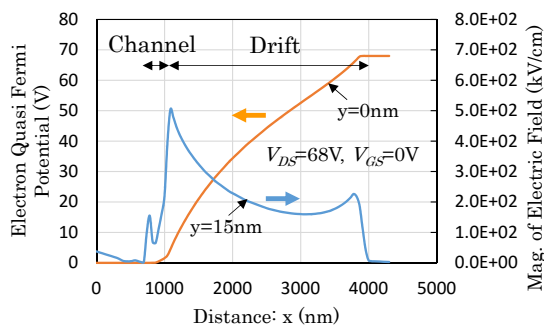
従来型LDMOS



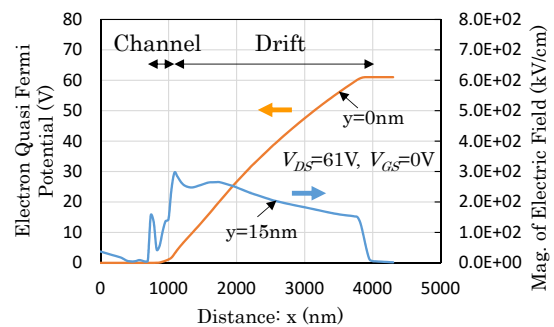
高信頼性型LDMOS

従来型も高信頼性型LDMOSもバルク・ブレイクダウンを発生

従来型と高信頼性型LDMOSのブレイクダウン時における電子の擬フェルミ電位と電界形状の比較



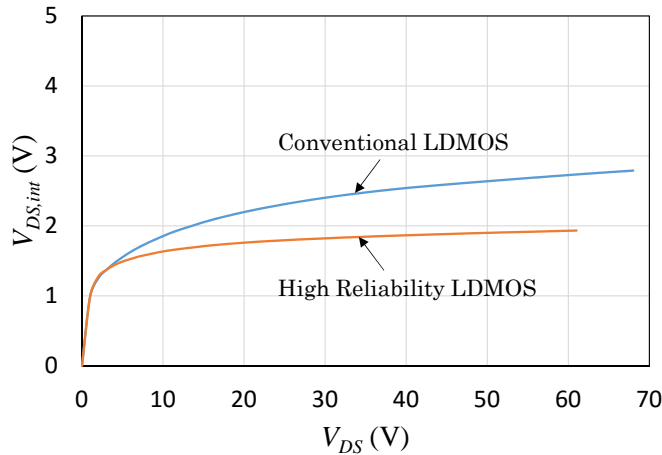
従来型LDMOS



高信頼性型LDMOS

RESURFのレベル: 従来型LDMOS < 高信頼性型LDMOS

従来型と高信頼性型LDMOSで $V_{DS,int} - V_{DS}$ の比較 at $V_{GS}=0V$



ブレイクダウン時

従来型LDMOS

$$V_{DS,int}=2.79V \text{ at } BV_{DS}=68V$$

高信頼性型LDMOS

$$V_{DS,int}=1.93V \text{ at } BV_{DS}=61V$$

ブレイクダウン時にゲート酸化膜(12nm)に掛かる電界:

2.3MV/cm(従来型LDMOS)、1.6MV/cm(高信頼性型LDMOS) ≪ 酸化膜破壊電界(約10MV/cm)

21

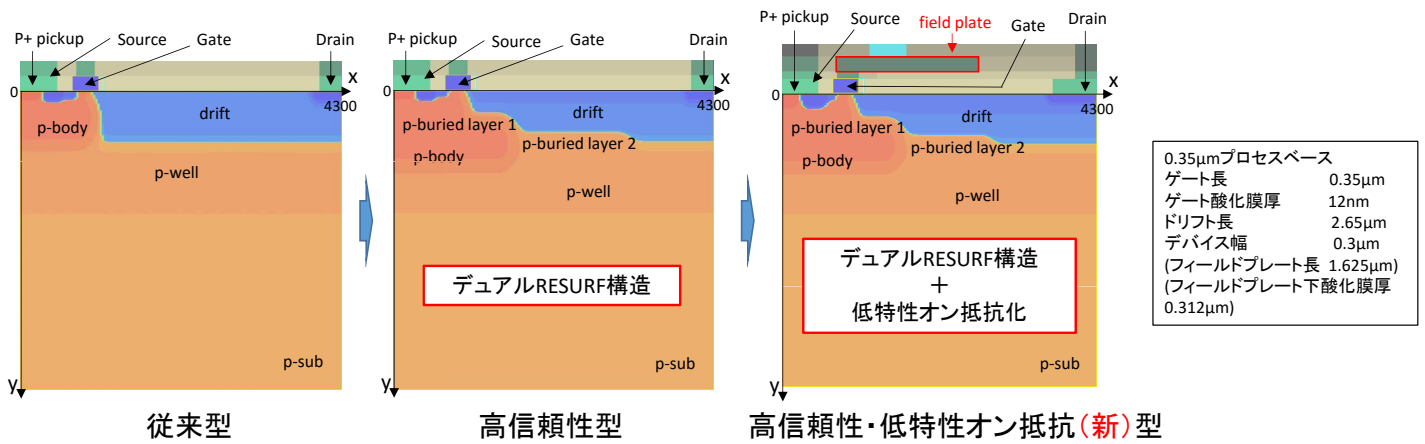
従来型と高信頼性型LDMOS特性のまとめ

項目	従来型	高信頼性型
真性MOSFETドレイン側ゲート端近傍におけるインパクト・イオン化による正孔電流密度	高	低
真性MOSFETのドレイン端近傍におけるドリフト領域内の電界の大きさ	高	低
ブレイクダウンの箇所	バルク	バルク
ドレイン電流増大 (Current Expansion)	有り	無し
$V_{DS,int}$ (V) at BV_{DS}	2.79	1.93
BV_{DS} (V)	68	61
R_{onA} (mΩ mm ²)	68.7	69.3
V_T (V) at $I_{DS}=1 \times 10^{-8}$ A	2.4	2.1

- (1) 信頼性(ホットキャリア耐性): 高信頼性型LDMOS ≫ 従来型LDMOS
- (2) ESD耐性: 高信頼性型LDMOS ≒ 従来型LDMOS(良い)
- (3) 特性オン抵抗: 高信頼性型LDMOS ≒ 従来型LDMOS(高い)

22

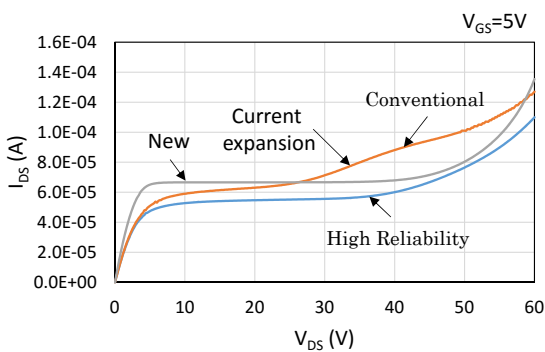
デュアルRESURF LDMOS(2) (高信頼性・低特性オン抵抗化)



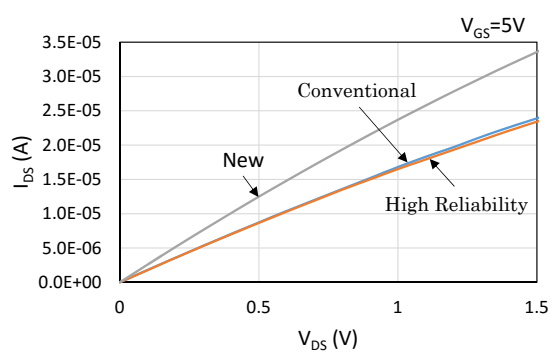
低特性オン抵抗化

- ・ドリフト領域の低抵抗化
 - ⇒ ドリフト領域縮小(ドリフト抵抗低下+セルピッチ短縮)
 - ⇒ フィールド・プレート追加(ドリフト領域のドーズ量増加)
- ・ソース領域の低抵抗化
 - ⇒ ソースのドーズ量増加

$I_{DS}-V_{DS}$ 特性の比較



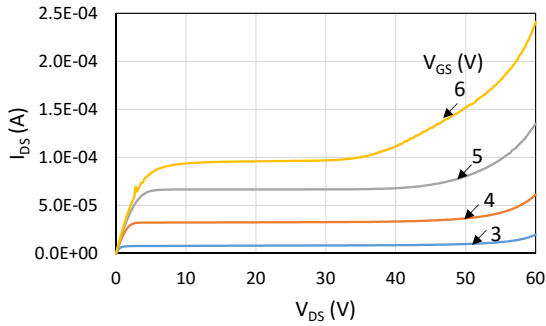
$I_{DS}-V_{DS}$ 特性の比較(飽和領域)



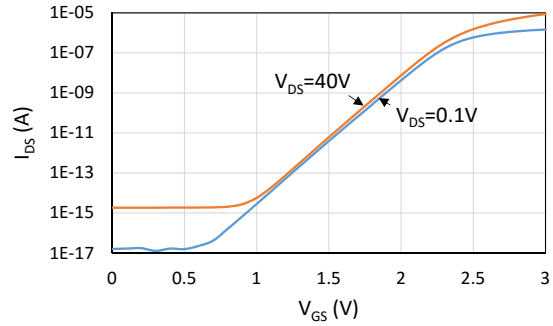
$I_{DS}-V_{DS}$ 特性の比較(線形領域)

- (1) 従来型でのみ電流増大(Current Expansion)が発生
- (2) R_{onA} ($m\Omega \text{ mm}^2$) = 68.7(従来型), 69.3(高信頼性型), and 44.8(新型)

新型LDMOSの $I_{DS}-V_{DS}$ and $I_{DS}-V_{GS}$ 特性



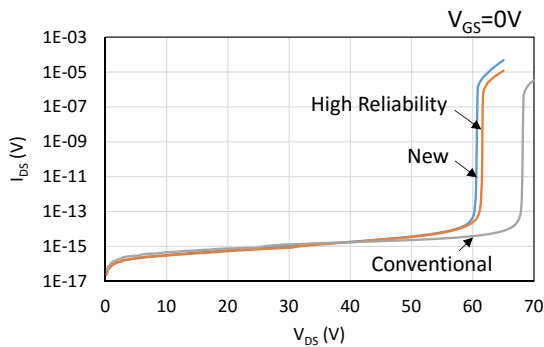
新型LDMOSの $I_{DS}-V_{DS}$ 特性



新型LDMOSの $I_{DS}-V_{GS}$ 特性

- (1) 新型LDMOS $\Rightarrow V_{GS}=6V$ でもCurrent Expansionの発生なし
- (2) V_t (at $I_{DS}=1 \times 10^{-8}A$, $V_{DS}=0.1V$) = 2.08V (新型LDMOS), cf. 2.11V (高信頼性型LDMOS)
- (3) V_t (at $I_{DS}=1 \times 10^{-8}A$, $V_{DS}=40V$) = 2.02V (新型LDMOS) \Rightarrow 新型LDMOSの DIBL は小さい

ブレークダウン特性の比較



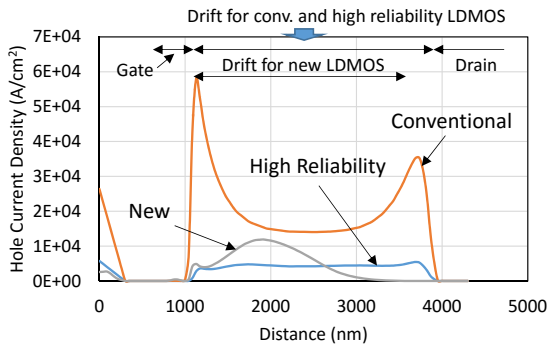
ブレークダウン特性

- $BV_{DS}=67.9V$ (従来型 LDMOS)
- $BV_{DS}=61.2V$ (高信頼性型LDMOS)
- $BV_{DS}=60.3V$ (新型LDMOS)

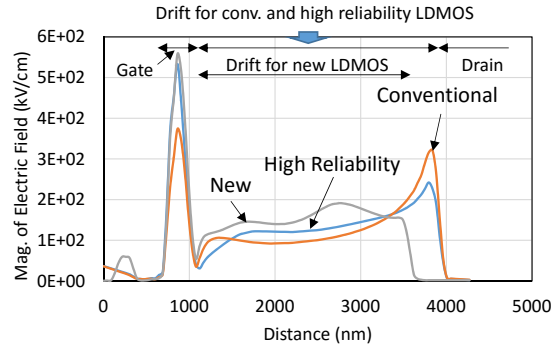
BV_{DS} : V_{DS} at $I_{DS}=1 \times 10^{-13}A$ under $V_{GS}=0V$.

BV_{DS} は新型LDMOSで最も低いですが、50V動作には十分

正孔電流密度と電界形状の比較



正孔電流密度の比較 $V_{DS}=40V, V_{GS}=5V$ at $y=0$ nm

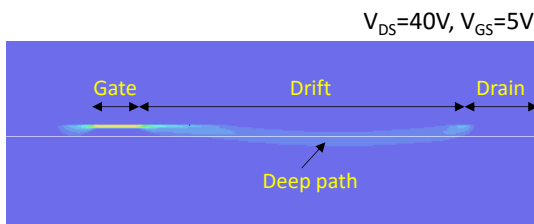


電界形状の比較 $V_{DS}=40V, V_{GS}=5V$ at $y=15$ nm

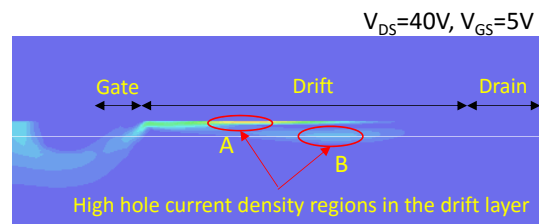
- (1) 正孔電流密度: **新型、高信頼性型LDMOS** ≪ 従来型LDMOS(ドリフト層端)
- (2) 正孔電流密度: 新型LDMOSは $x=1900$ nmでピークを持つが、ゲート側ドリフト端では高信頼性型LDMOSと同程度
- (3) 電界の大きさ: 従来型と高信頼性型LDMOSは、ドレイン側ドリフト端でピークを持つが、新型LDMOSはそれを持たない

27

新型LDMOSの電子電流密度と正孔電流密度分布



電子電流密度分布



正孔電流密度分布

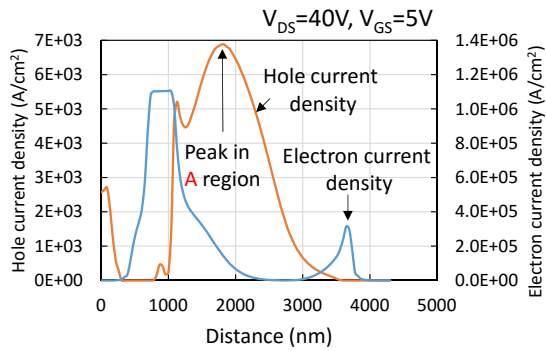
- (1) 電子電流はドリフト領域内の深い領域を流れる
- (2) 正孔電流密度の高い領域が2箇所(AとB)ある

$$\text{インパクトイオン化による正孔電流} \propto \text{電子電流} \times \text{電界} \times \exp(-a/\text{電界})$$

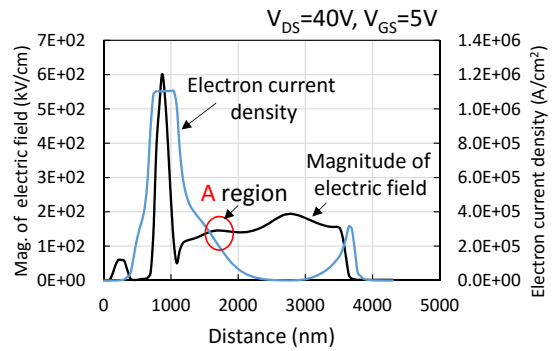
a: 定数

28

新型LDMOSの正孔電流密度、電子電流密度、電界形状 ($y=10\text{nm}$ におけるx方向カットライン)



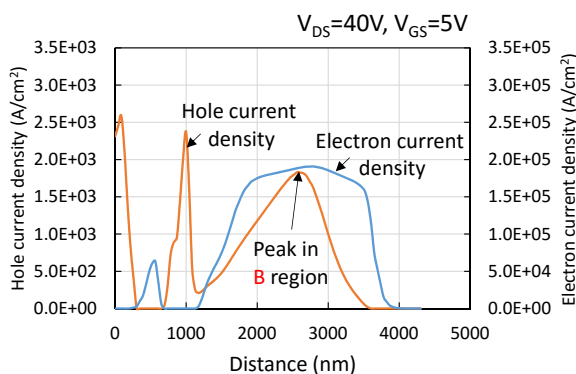
正孔電流密度と電子電流密度形状



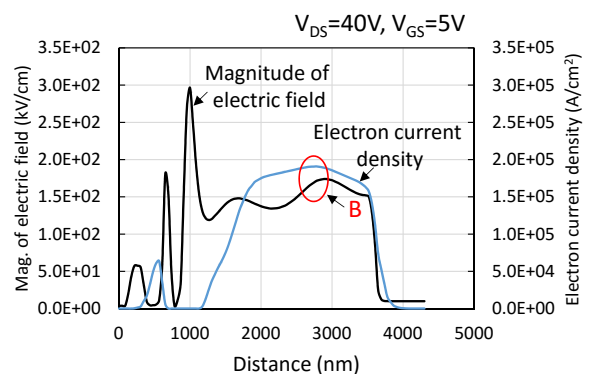
電子電流密度と電界形状

A領域の高い電界と電子電流密度が正孔電流密度のピークを発生させる

新型LDMOSの正孔電流密度、電子電流密度、電界形状 ($y=100\text{nm}$ におけるx方向カットライン)



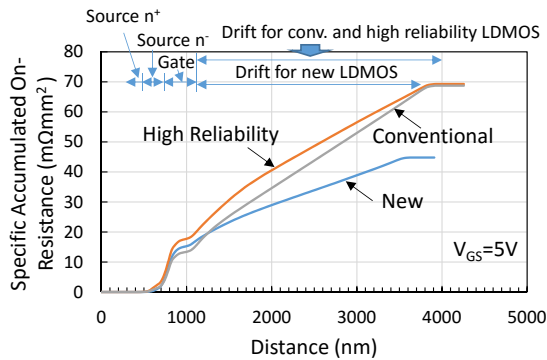
正孔電流密度と電子電流密度形状



電子電流密度と電界形状

B領域の高い電界と電子電流密度が正孔電流密度のピークを発生させる

オン抵抗分析



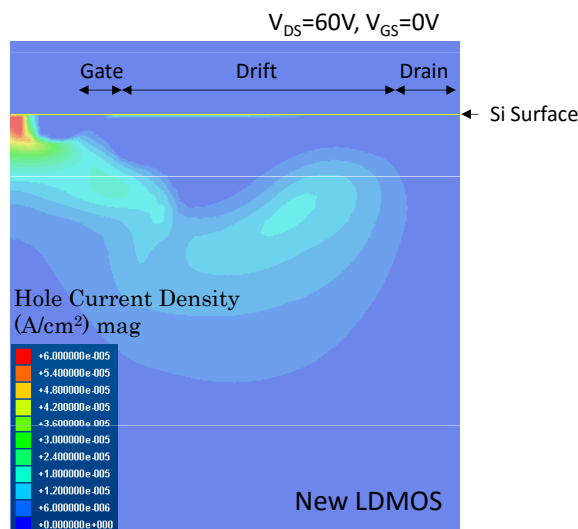
特性累積オン抵抗の比較

特性オン抵抗成分

領域	従来型 LDMOS	高信頼性型 LDMOS	新型 LDMOS			
ソース n- (Ω)	1,640	3%	2,761	5%	1,661	4%
チャンネル (Ω)	8,214	14%	10,366	18%	10,397	26%
ドリフト (Ω)	47,420	83%	44,610	77%	28,015	70%
計(Ω)	57,274	100%	57,737	100%	40,074	100%

新型LDMOSのドリフト抵抗は最も低い

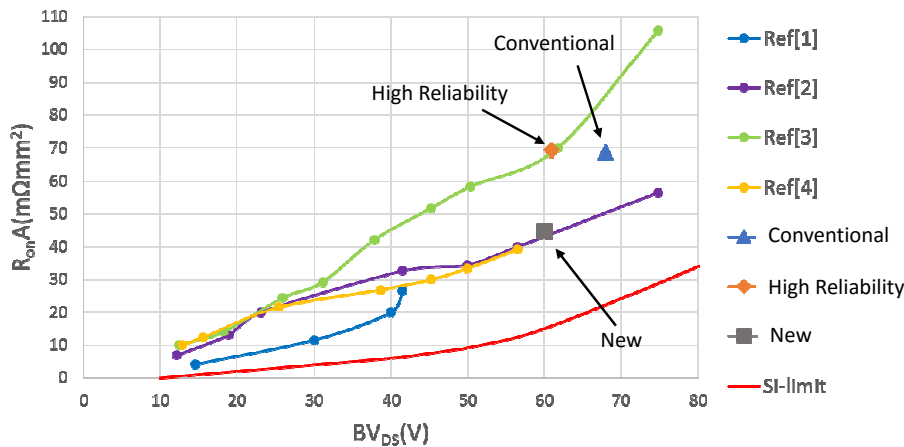
ブレイクダウン発生時の正孔電流密度分布(新型LDMOS)



バルク・ブレイクダウン発生

ブレイクダウン発生時の正孔電流密度分布

特性オン抵抗-耐圧特性



新型LDMOSの
特性オン抵抗-耐圧特性
⇒ 最先端レベル

- Ref[1]: S. Pendharkar "7 to 30V state-of-art power device implementation in 0.25μm LBC7 BiCMOS-DMOS process technology" Proc. Of ISPSD, p419-422, 2004. (Texas Instruments (米))
 Ref[2]: R. Zhu, "Implementation of high-side, "high-voltage RESURF LDMOS in a sub-half micron smart power technology" ,ISPSD, p403-406, 2001. (Motorola (米))
 Ref[3.4]: Choul-Joo Ko, et al., "Implementation of Fully Isolated Low Vgs nLDMOS with Low Specific On-resistance," ISPSD, pp. 24-27 (2011). (Dongbu Hitek (韓国))

ターンオン過渡解析回路と全パワー損失

全パワー損失

$$P_{D,total} = (W_{GD} + W_{SW,turn-on} + W_{SW,turn-off})f + DP_{ON}$$

$$\approx (W_{GD} + 2W_{SW,turn-on})f + DP_{ON}$$

f : 周波数 D : デューティ比

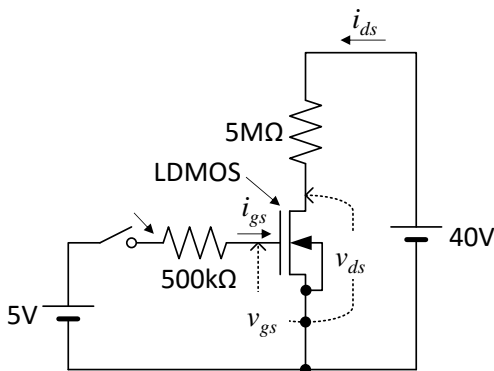
W_{GD} : 1周期当たりのゲート駆動損失 ⇒ $W_{GD} = 2 \left(\int_{turn-on\ period} v_{gs} i_{gs} dt \right)$

$W_{SW,turn-on}$: ターンオン期間のスイッチング損失 ⇒ $W_{SW,turn-on} = \int_{turn-on\ period} v_{ds} i_{ds} dt$

$W_{SW,turn-off}$: ターンオフ期間のスイッチング損失 ⇒ $W_{SW,turn-off} = \int_{turn-off\ period} v_{ds} i_{ds} dt$

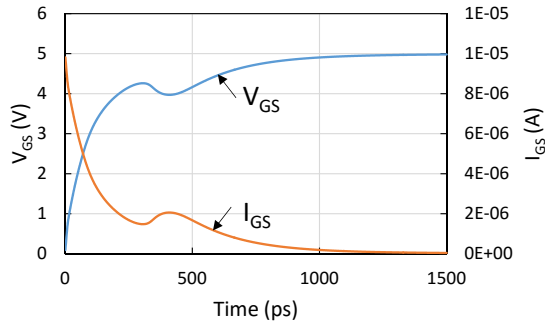
P_{ON} : 導通時のパワー損失 ⇒ $P_{ON} = I_{DS} V_{DS}$

I_{DS}, V_{DS} : DC component

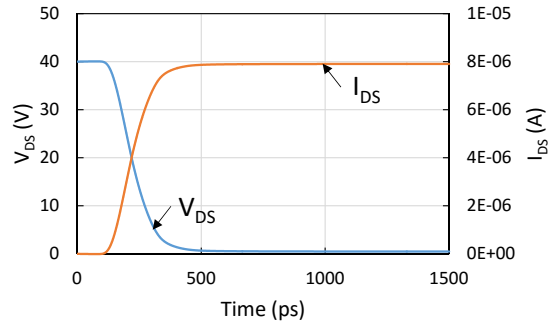


ターンオン過渡解析回路

高信頼性型LDMOSのターンオン特性

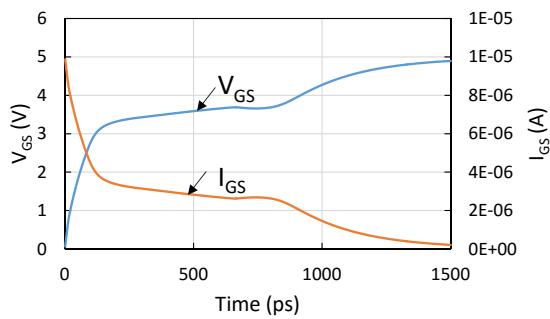


V_{GS} -time と I_{GS} -time 特性

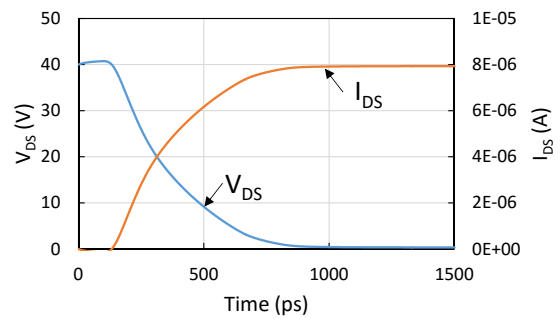


V_{DS} -time と I_{DS} -time 特性

新型LDMOSのターンオン特性

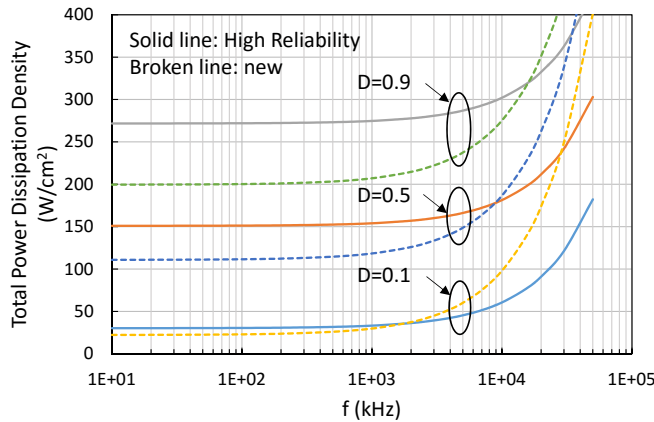


V_{GS} -time と I_{GS} -time 特性



V_{DS} -time と I_{DS} -time 特性

全パワー損失密度の比較



全パワー損失密度の周波数依存性

$I_{DS}(on-state)=7.1 \text{ A/mm}^2$ 新型LDMOS

$I_{DS}(on-state)=6.6 \text{ A/mm}^2$ 高信頼性型LDMOS

スイッチング損失のFOM ($R_{on} \cdot Q_g$)

$R_{on} \cdot Q_g=141 \text{ m}\Omega \cdot \text{nC}$ 新型LDMOS

$R_{on} \cdot Q_g=104 \text{ m}\Omega \cdot \text{nC}$ 高信頼性型LDMOS

全パワー損失密度

D=0.1

f<1.5MHz ⇒ 新型LDMOS<高信頼性型LDMOS

D≥0.5

f<9MHz ⇒ 新型LDMOS<高信頼性型LDMOS



全パワー損失密度 ⇒ 新型LDMOS<高信頼性型LDMOS
(DC-DCコンバータの実用的なスイッチング周波数範囲)

まとめ

項目	従来型	高信頼性型	新型
ドレイン電流増大 (Current Expansion)	有り	無し	無し
$R_{on}A$ (mΩmm ²)	68.7	69.3	44.8
BV_{DS} (V)	68	61	60
ブレイクダウンの箇所	バルク	バルク	バルク
真性MOSFETのドレイン側ゲート端周りでインパクト・イオン化による正孔電流密度	高	低	低
真性MOSFETのドレイン端周りのドリフト領域内の電界の大きさ	中	低	高 <small>(インパクトイオン化への影響小)</small>
FOM(= $R_{ON}Q_g$) (mΩnC)		104	141
全パワー損失密度		実用スイッチング周波数範囲で大きい	実用スイッチング周波数範囲で小さい

新型LDMOSの特性

⇒ 高信頼性(高ホットキャリア耐性)、低特性オン抵抗(最先端レベル)、高ESD耐性(バルク・ブレイクダウン)、低全パワー損失密度(DC-DCコンバータの実用スイッチング周波数範囲)

謝辞

本研究を進めるにあたり、3D TCADを貸して頂いたアドバンスソフト株式会社に深く感謝を申し上げます。

この3D TCADは、国立研究開発法人科学技術振興機構A-STEPプログラムの助成を受けてアドバンスソフト株式会社様で開発されました。

プロセスシミュレータについて

第1事業部 大倉 康幸

半導体デバイス 3次元TCADシステム発売のご紹介セミナー
2016年7月28日（木）
アドバンスソフト株式会社

概要

Advance/TCADのプロセスシミュレータは、

- ・デバイスの形状を計算する
堆積／エッチング、酸化
- ・デバイス中の不純物分布を計算する
イオン注入、不純物拡散
- ・形状が変化したとき及び熱工程に伴う応力を計算するという機能を持つ。

今回、デポ・エッチング機能及びイオン注入機能を中心に報告する。

3次元形状処理モデル

形状処理モデルの対応関係

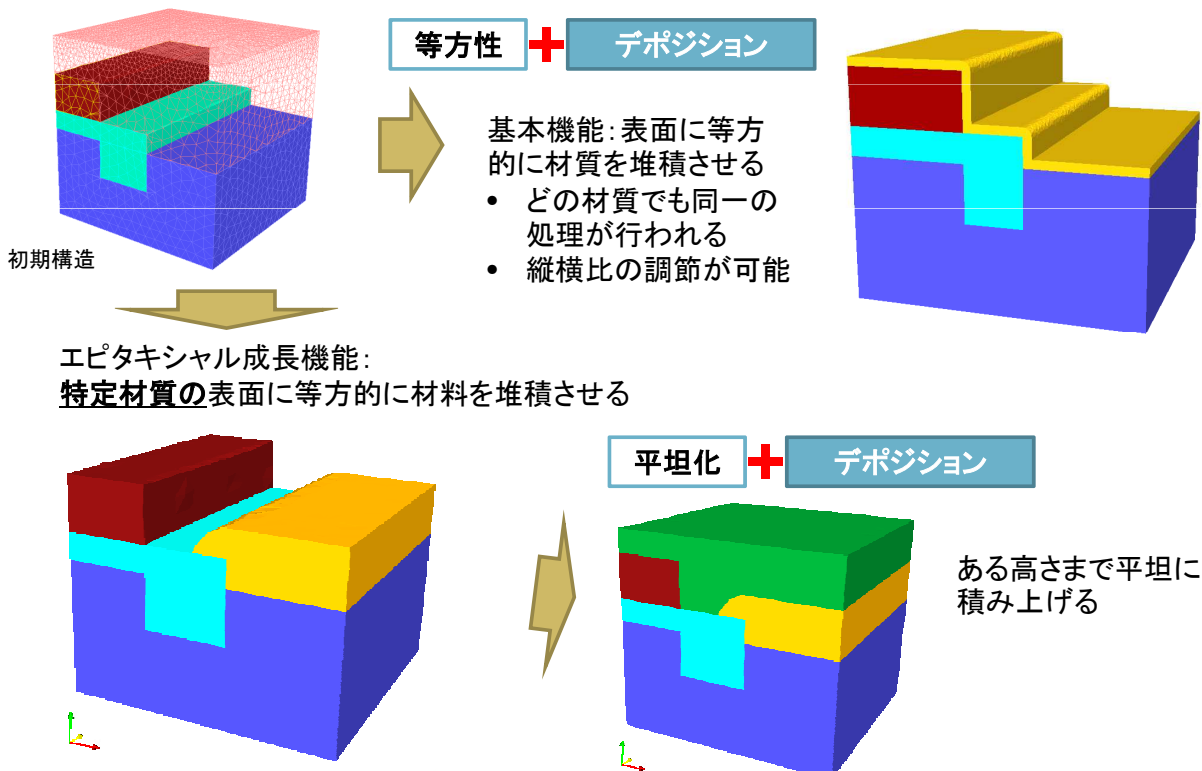
	物理モデル ^[1-2]	幾何学モデル
デポジション	エピタキシャル成長	平坦化デポジション、(等方性デポジション)
	PVD、CVD	等方性デポジション、平坦化デポジション
	プラズマエッチング	異方性エッチング、等方性エッチング
エッチング	反応性イオンエッチング(RIE)	異方性エッチング、(等方性エッチング)
	溶液エッチング	等方性エッチング
	化学的機械的研磨(CMP)	平坦化エッチング



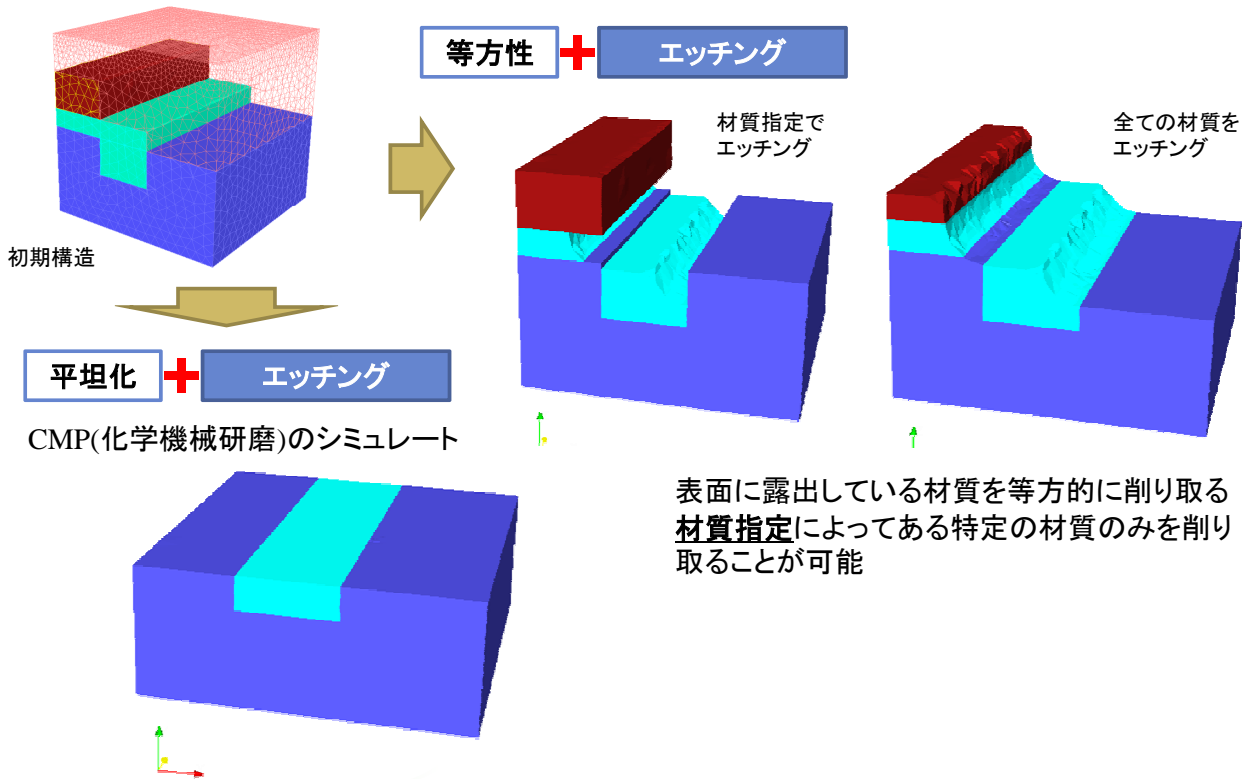
処理後の形状がコントロールしやすい(理想的な形状を再現)
 高速に処理が出来る
 形状表現に適した非構造四面体メッシュに対応

[1] リアライズ社, 最新/半導体プロセス・デバイスシミュレーション技術, 1990
 [2] 角南英夫 著, VLSI工学製造プロセス編, 電子情報通信学会編, 2006, コロナ社

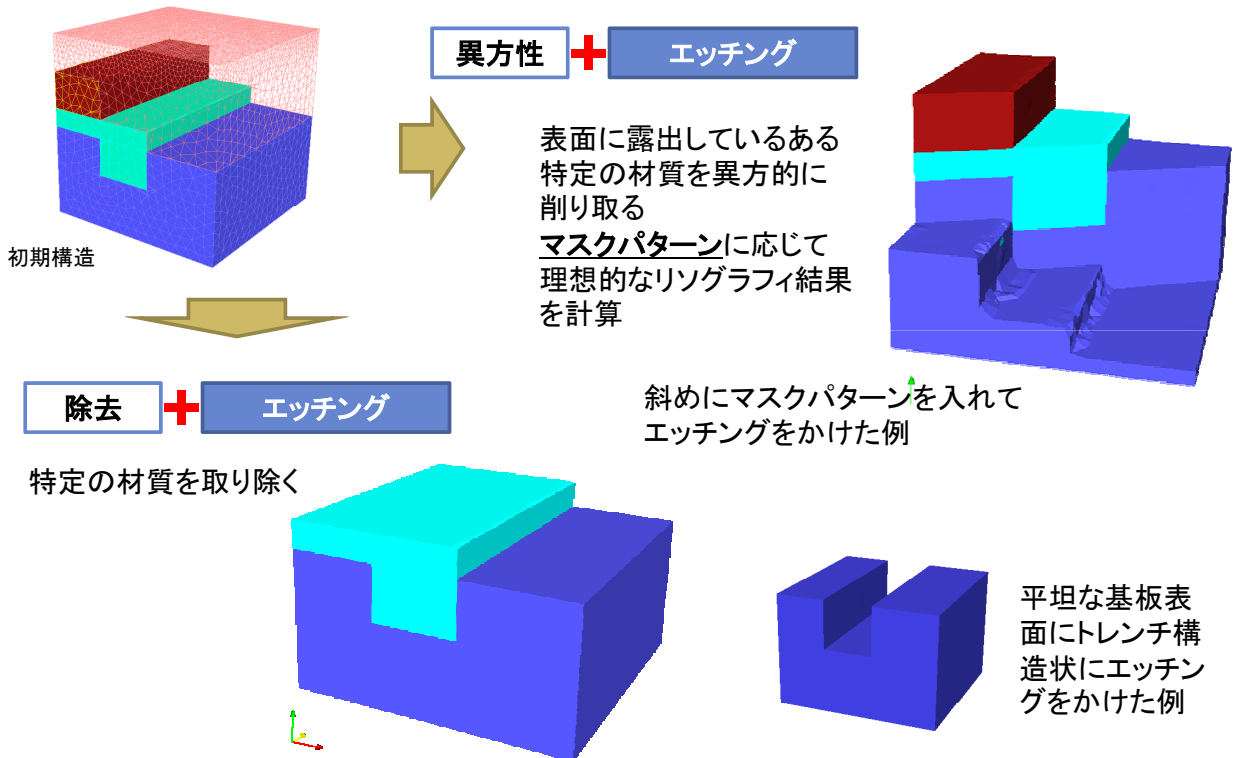
3次元形状処理《デポジション》



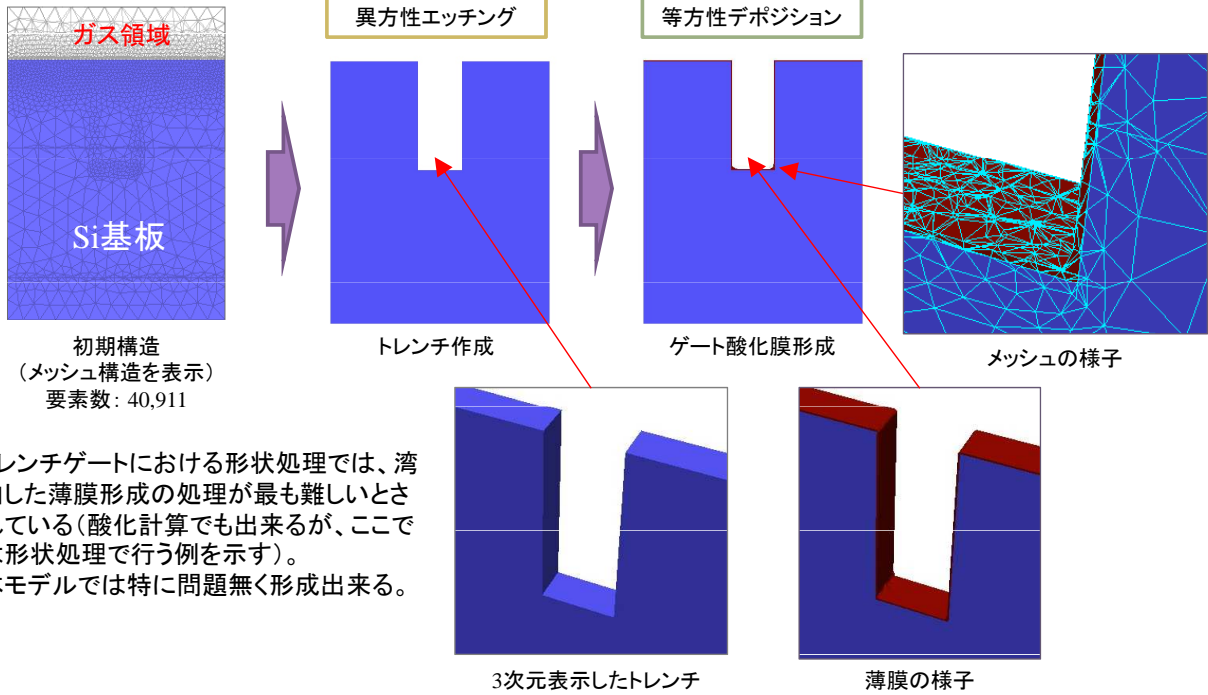
3次元形状処理《エッチング》



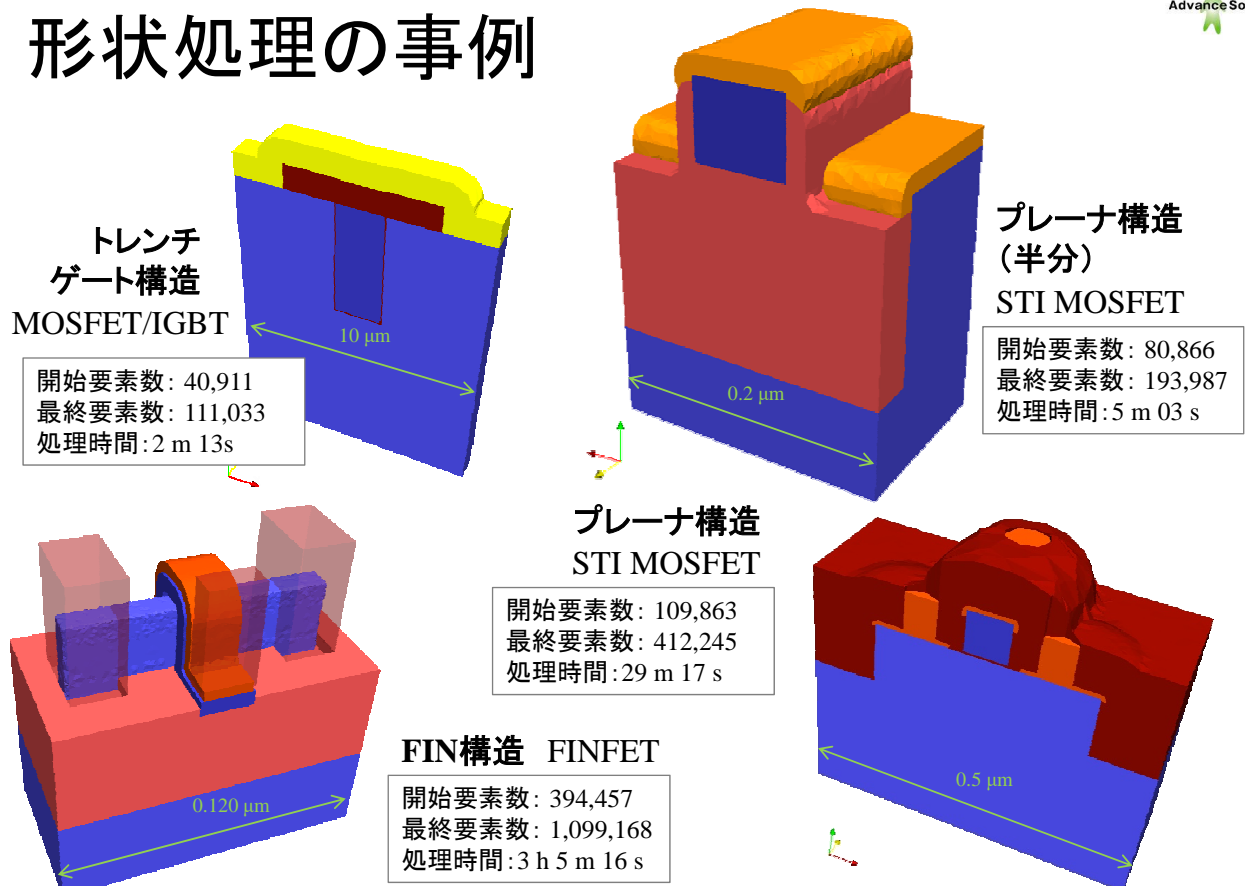
3次元形状処理《エッチング》



形状処理の事例(トレンチゲート)



形状処理の事例



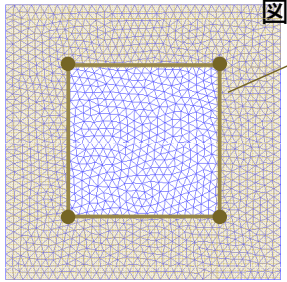
マスクパターン設定

マスクファイルによる指定

```
!MASK, NAME="MODEL01", FILE="model01.msk"
!MASK, NAME="MODEL02"
0.3, 0.3
0.3, 0.5
0.5, 0.5
0.5, 0.3
```

入力制御ファイルに直接指定する方法

Si-ガス界面を上から(Z軸方向)から見た



マスクパターン

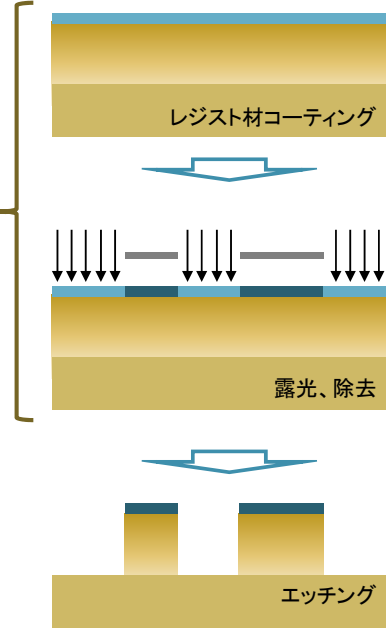
この領域内部(ポジの場合)にデポジションまたはエッチング処理が施されません。

幾何学モデルでは省略される



ポイント

幾何学モデルにおけるマスクパターンは、実際のプロセス工程におけるリソグラフィのフォトエッチング工程の中間過程を省略し、理想的な処理(高解像度)を再現
GDS IIからのマスクデータ取り出し対応。
複数の図形からなるマスクも対応。



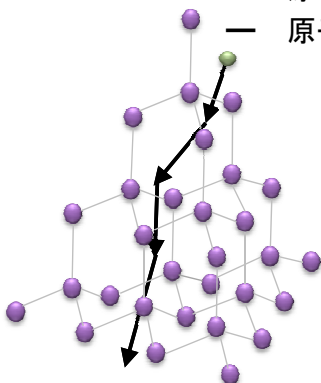
エッチング模式図

イオン注入機能について

理論枠組み

モンテカルロ法

- 注入イオンと材質構成原子との散乱を直接取り扱う
- 3次元の多様な構造に対しシミュレーション可能
- 対応固体材料
 - ◆ アモルファス材質 : 平均自由行程モデル
 - ◆ 結晶材質 : 周期的に並べた単位胞内で衝突原子を探索
 - 結晶破壊モデル : Kinchin-Peace モデル
 - 熱振動モデル : Debyeモデルによる熱振動振幅
- 2体衝突近似
 - 原子間相互作用 : ZBL ポテンシャル
 - 原子・電子間相互作用 : LSS, Firsov モデル ← アモルファス材質
 VIENNA モデル ← 結晶材質



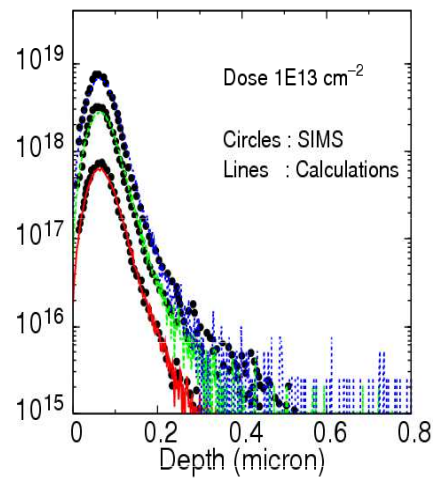
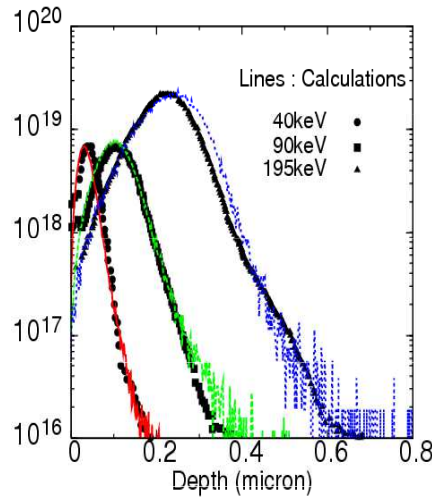
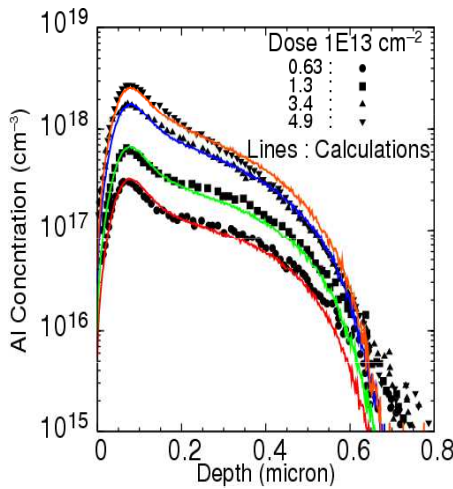
・結晶構造を正確に反映した2体散乱を取り扱う
 ・対応可能結晶系: **立方晶(Si, 3C-SiC),**
六方晶(4H-SiC, 6H-SiC, GaN)

実験値との比較 (4H-SiC基板)

Al into (0001) 4H-SiC
Energy=60keV Tilt=0° Rotation=0°
Dose=0.63, 1.3, 3.4, 4.9 × 10¹³ cm⁻² [1]

Al into (0001) 4H-SiC
Tilt=7.5° Rotation=0°
Energy (keV)/ Dose(10¹³cm⁻²)
= 40/3.0, 90/7.9, 195/38 [1]

Al into (0001) 4H-SiC
Energy=60keV, Tilt=9° , Rotation=0°
Dose=0.48, 2.1, 5.1 × 10¹³cm⁻² [2]



同一パラメータ値において、
結晶方位へのチャネリング・Tilt角・ドーズ量依存性を再現

Experimental data:

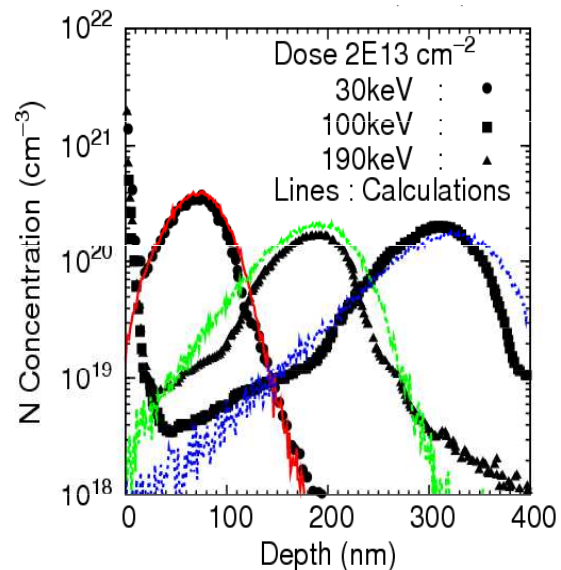
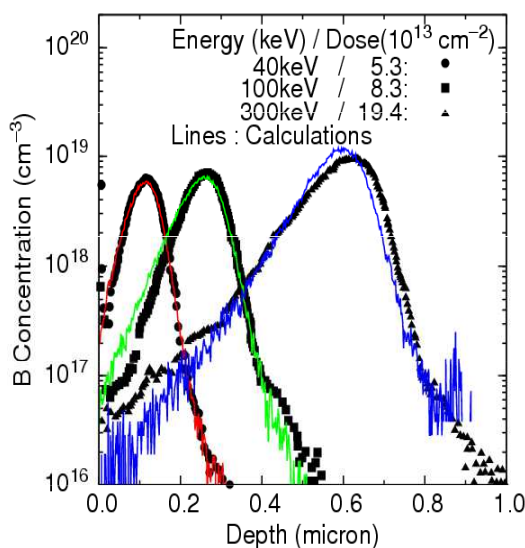
[1] *J. Wong-Leung et al., Journal of Applied Physics 93, 8914 (2003)*

[2] *Sang-Sun Lee et al., Journal of the Korean Physical Society, 41, 5, 591*

実験値との比較 (4H-SiC基板)

Boron, into (0001) 4H-SiC Tilt=7.5° ,
Energy(keV)/Dose(10¹³cm⁻²)=
40/5.3, 100/8.3, 300/19.4 [2]

Nitrogen into (0001) 4H-SiC Tilt=7.5° ,
Dose=2 × 10¹³ cm⁻², Energy= 30, 100, 190 keV [2]



多様なイオンに対してパラメータチューニング済み

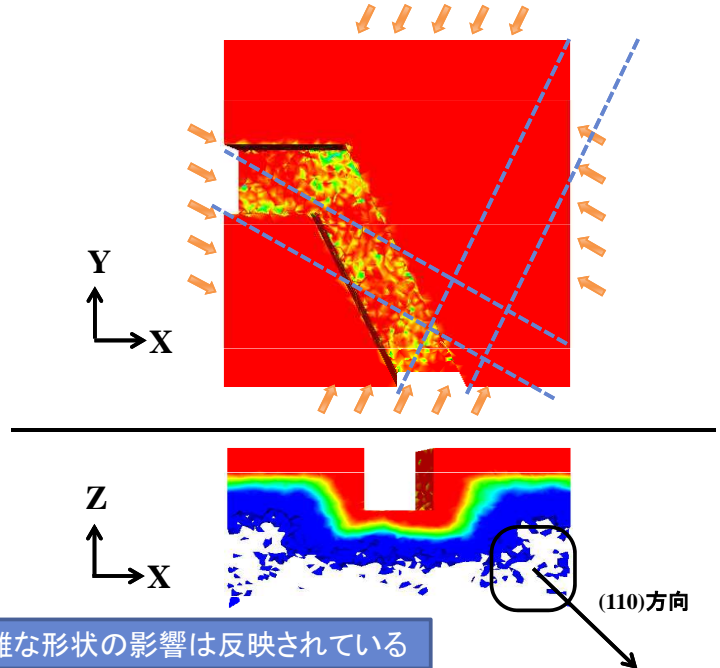
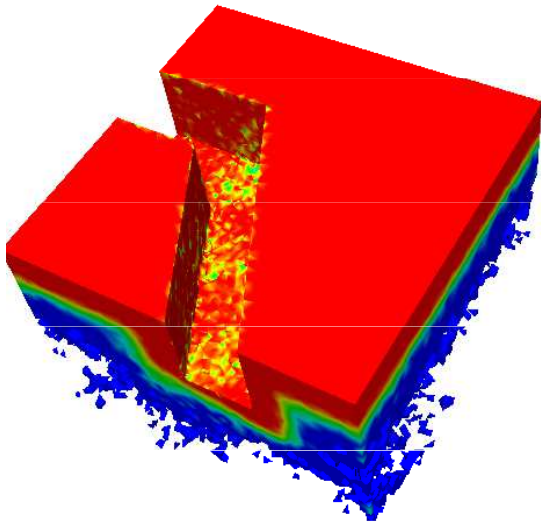
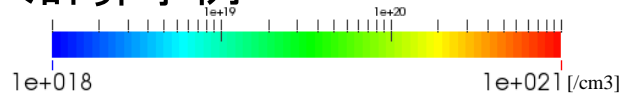
Experimental data:

[2] *Sang-Sun Lee et al., Journal of the Korean Physical Society, 41, 5, 591*

3次元構造へのイオン注入計算事例

六角レンチ構造(Si基板)

Boron, 5keV, $1 \times 10^{15} \text{ cm}^{-2}$ into (100)-Silicon, Tilt 50° ,
Rotation $60^\circ, 150^\circ, 240^\circ, 330^\circ$ (右図矢印方向)
計算粒子数: 400万個, 計算時間: 6205s (Intel(R) Xenon(R) 2.80GHz 1core)

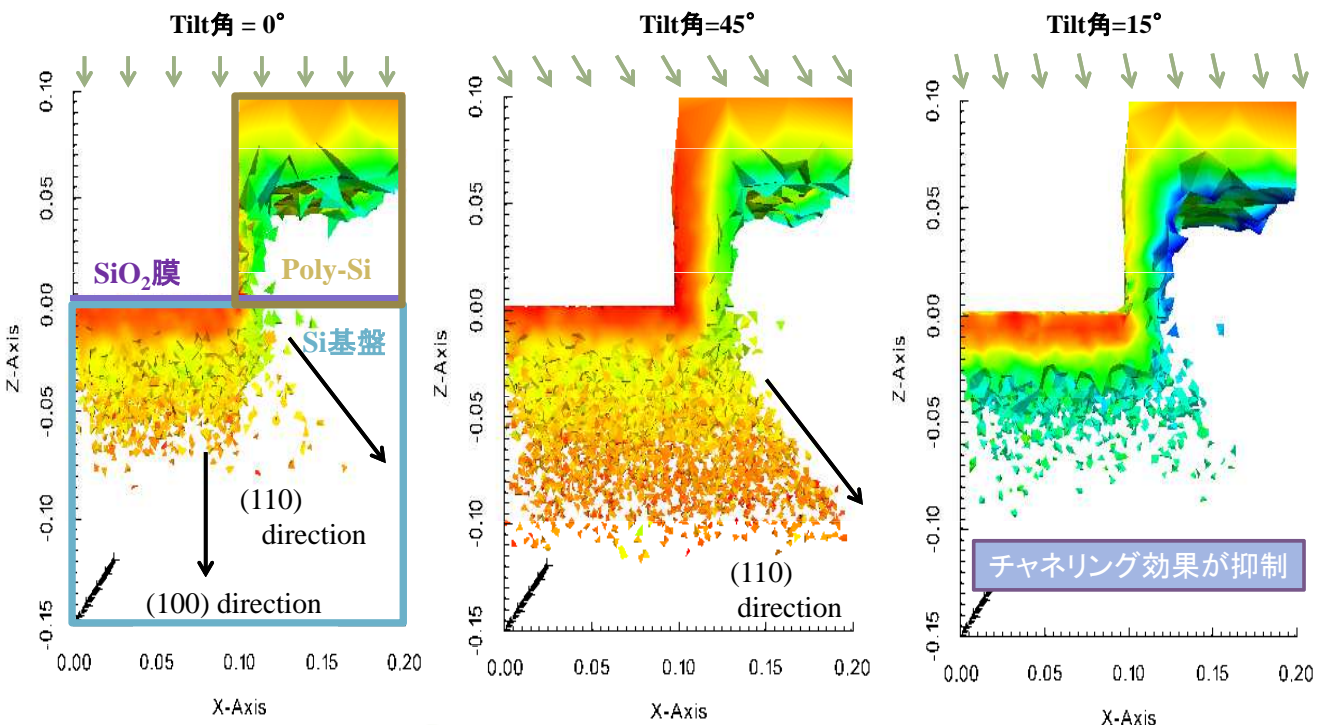
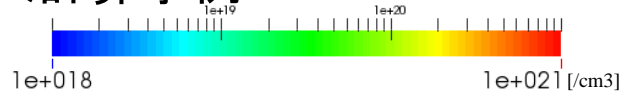


Tilt角・Rotation角, あらゆる複雑な形状の影響は反映されている

3次元構造へのイオン注入計算事例

Si MOSFET extension注入

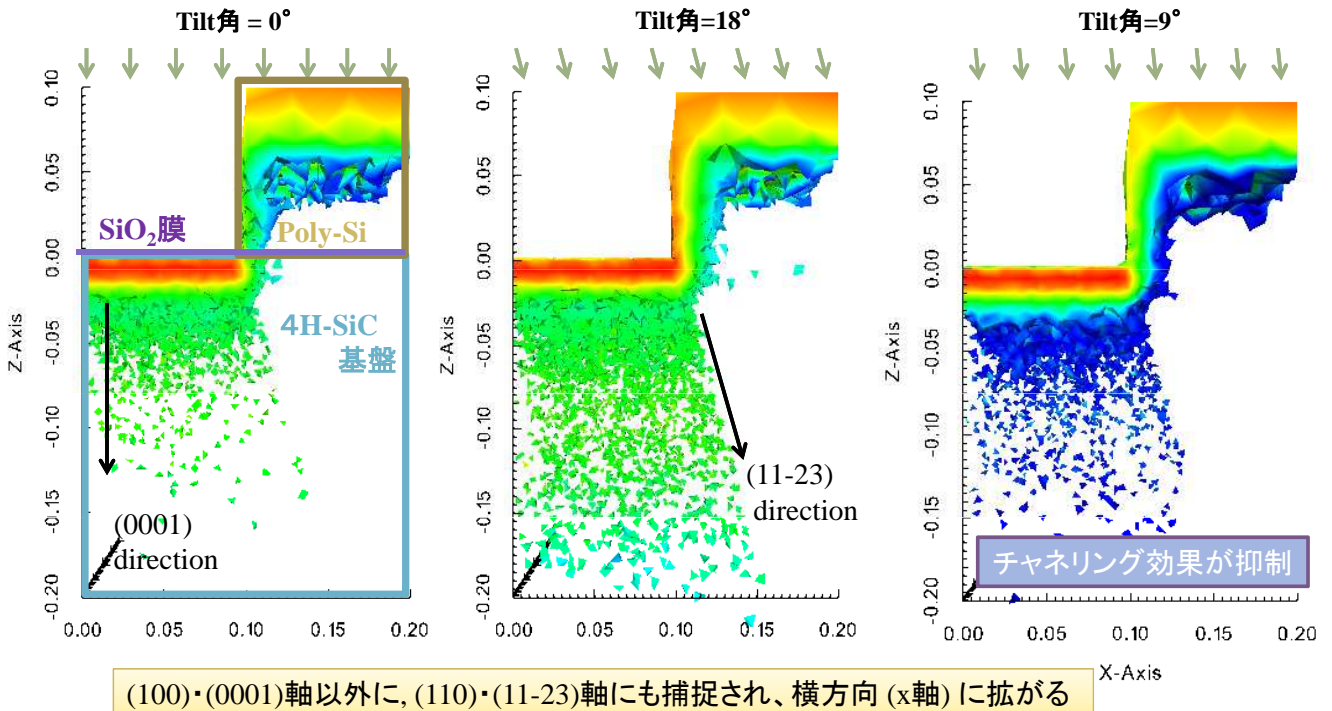
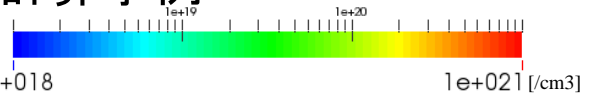
Boron, 2keV, $1 \times 10^{15} \text{ cm}^{-2}$, into (100)-Silicon



3次元構造へのイオン注入計算事例

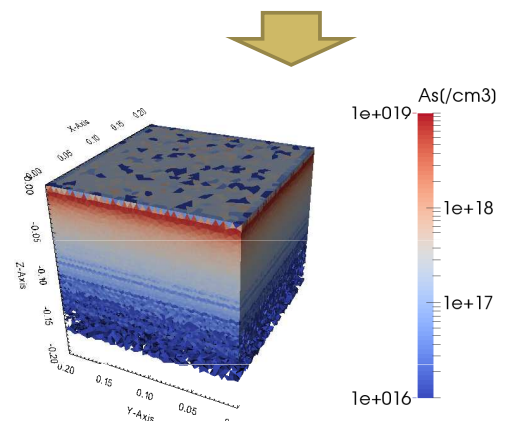
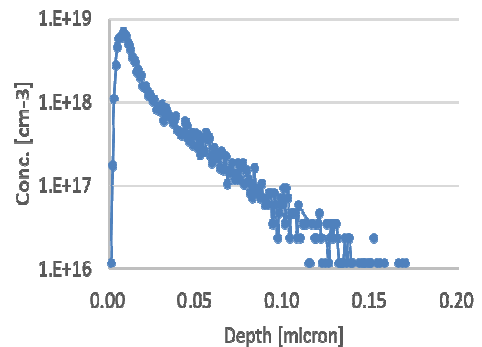
4H-SiC MOSFET extension注入

Aluminum, 5.0keV, $1 \times 10^{15} \text{ cm}^{-2}$, into (0001) 4H-SiC



簡易不純物設定機能

- 実験もしくはシミュレーションにより得られた1次元不純物分布データをプロセスシミュレーションのメッシュデータにマッピングする
- シミュレーションしている構造に適用可能な1次元不純物データを保有していない場合、プロセスシミュレーション内部でデータを作成。
- 3次元分布に拡張する際に、畳み込み積分法を採用
- 機能名の通り、簡易的な不純物設定を行う為、モンテカルロ計算のような3次元効果を反映した計算精度は得られない。
- 現状、垂直打ち込みにのみ対応可能



イオン注入畳み込み積分法

畳み込み：関数fを平行移動しながら関数gを重ね合わせること。

ある代表点 (x_0, y_0, z_0) でイオン分布を計算し、各要素へは重み付け関数を重ね合わせてマッピング。

$$C(x_i, y_i, z_i) = f * g(x_i, y_i, z_i) = \int f(x, y, z_i) g(x - x_i, y - y_i) dx dy$$

深さ方向1次元分布

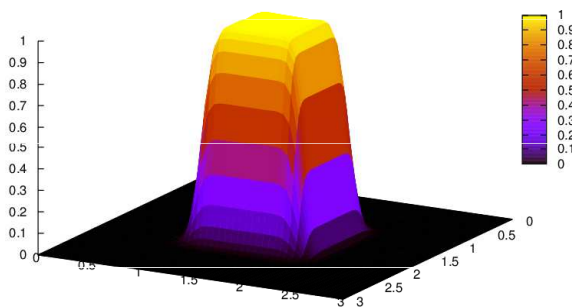
ガウス分布関数

$$\begin{aligned} C(x_i, y_i, z_i) &= f(z_i) \int g(x - x_i, y - y_i) dx dy \\ &= f(z_i) \int g(x - x_i) dx \int g(y - y_i) dy \\ &= f(z_i) \frac{1}{\sqrt{2\pi\sigma}} \int \exp\left(-\frac{(x - x_i)^2}{2\pi\sigma}\right) dx \int \exp\left(-\frac{(y - y_i)^2}{2\pi\sigma}\right) dy \\ &= f(z_i) \frac{1}{4} \left[\operatorname{erf}\left(-\frac{x_i - x_R}{\sqrt{2\pi\sigma}}\right) - \operatorname{erf}\left(-\frac{x_i - x_L}{\sqrt{2\pi\sigma}}\right) \right] \left[\operatorname{erf}\left(-\frac{y_i - y_R}{\sqrt{2\pi\sigma}}\right) - \operatorname{erf}\left(-\frac{y_i - y_L}{\sqrt{2\pi\sigma}}\right) \right] \end{aligned}$$

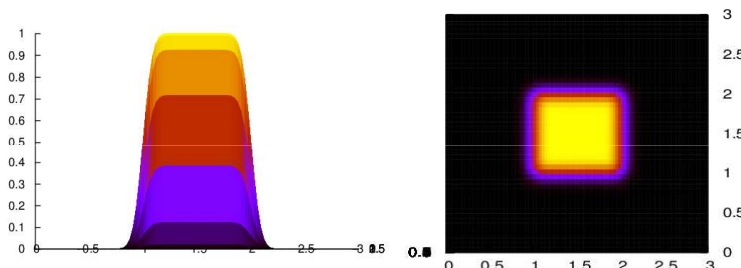
x_L, x_R, y_L, y_R : マスク領域の境界位置

各要素への重み付け関数

$$\frac{1}{4} \left[\operatorname{erf}\left(-\frac{x_i - x_R}{\sqrt{2\pi\sigma}}\right) - \operatorname{erf}\left(-\frac{x_i - x_L}{\sqrt{2\pi\sigma}}\right) \right] \left[\operatorname{erf}\left(-\frac{y_i - y_R}{\sqrt{2\pi\sigma}}\right) - \operatorname{erf}\left(-\frac{y_i - y_L}{\sqrt{2\pi\sigma}}\right) \right]$$

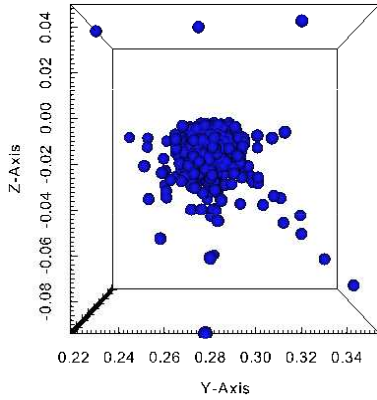


マスク領域内部	: 1
境界部分	: 0.5
それ以外	: 0

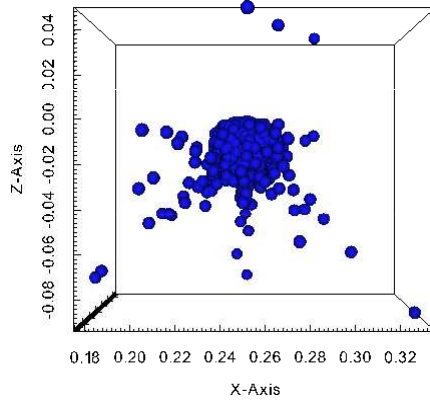


イオン停止位置

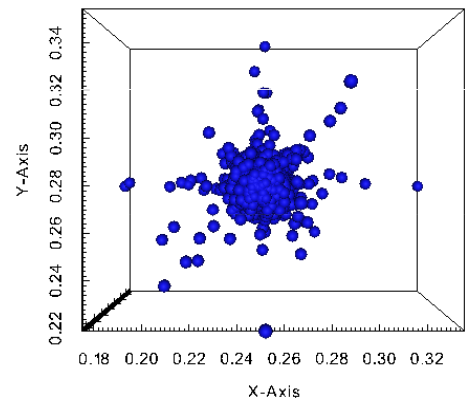
YZ上面からの俯瞰図



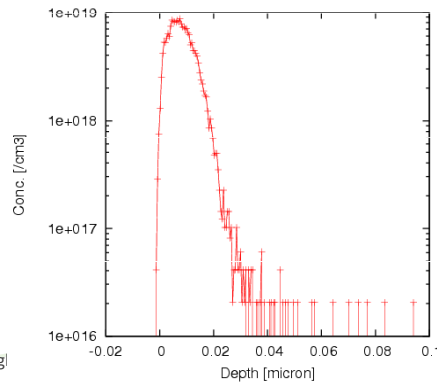
ZX上面からの俯瞰図



XY上面からの俯瞰図



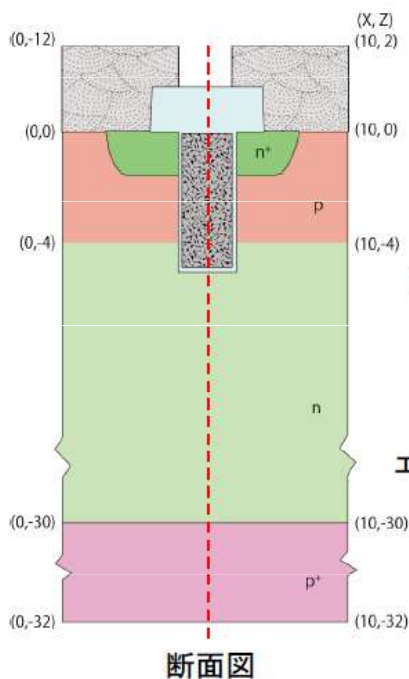
1次元不純物分布の作成



横広がリパラメータσの算出

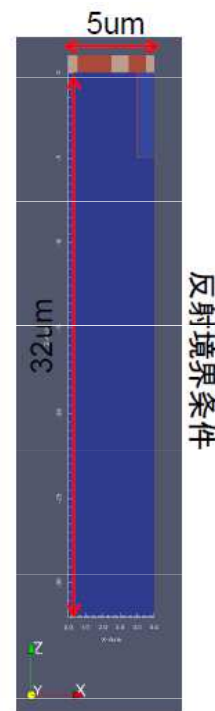
ベンチマークテスト事例への適用

AdvanceTCADチュートリアルより抜粋



左右対称なので、半分の構造で計算する。

エミッタ電極はp型、n型の部分に分離する。



IGBT プロセスシーケンス

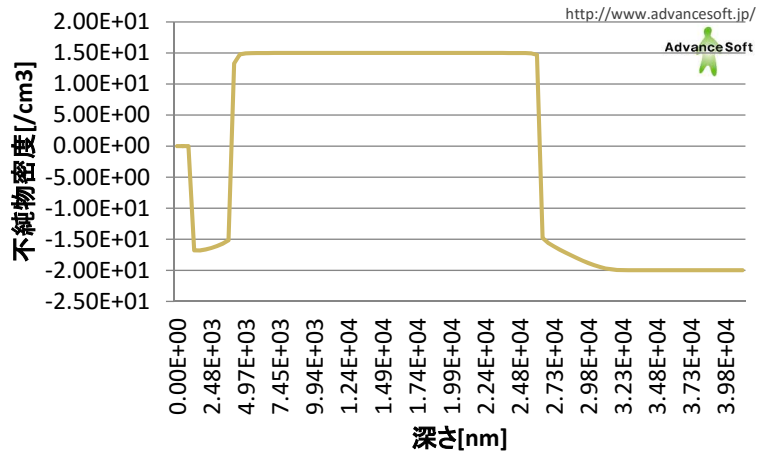
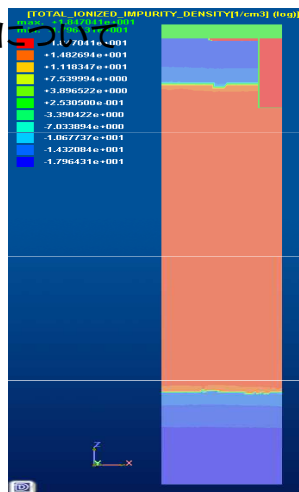
初期設定		Si(100), B:1e20[cm ⁻³]
1	エピ層作成準備	平坦化エッチ 30um
2	エピ層作成 n型	平坦化デポ Si:30um, P:1e15[cm ⁻³]
3	犠牲酸化膜堆積	平坦化デポ SiO2:10nm
4	ベース形成イオン注入	B, 100keV, 5e13[cm ⁻²]
5	拡散	N2, 1200°C, 1時間
6	エミッタ形成マスクデポ	マスク指定、Si3N4、厚さ1um
7	エミッタ形成イオン注入	As, 100keV, 5e15[cm ⁻²]
8	拡散	N2, 1000°C, 10分
9	マスク除去	REMOVEエッチ
10	犠牲酸化膜除去	REMOVEエッチ
11	トレンチエッチ	マスク指定、異方性エッチ、5um
12	ゲート酸化膜形成	等方性デポ、SiO2:50nm
13	ゲートポリSi埋め込み	平坦化デポ、高さ座標指定(初期界面Z=0まで)
14	残存ゲート酸化膜除去	平坦化エッチ、高さ座標指定(初期界面Z=0まで)
15	エミッタ電極形成	マスク指定、等方性デポ、厚さ1um
16	形状整形	平坦化デポ、SiO2
17	形状整形	平坦化エッチ

赤枠部分を簡易不純物設定機能に置き変えて計算

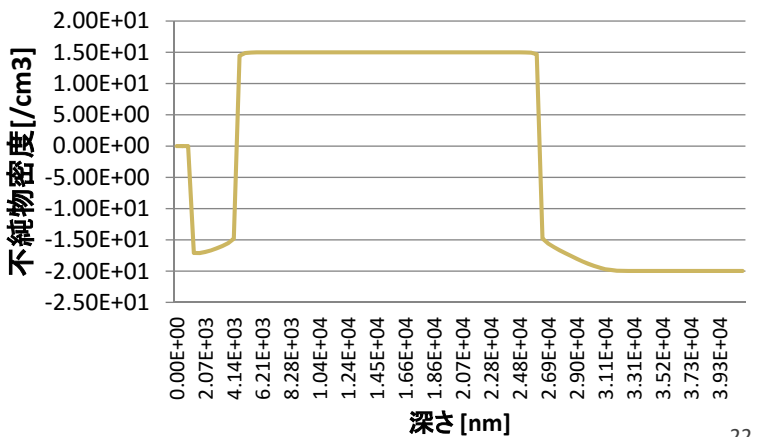
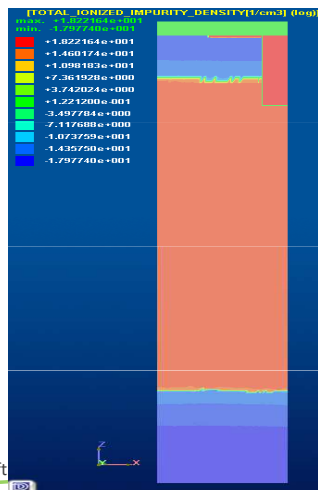


イオン注入機能について

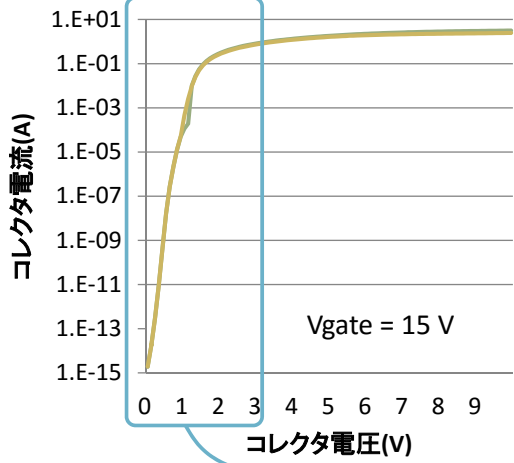
ORIGINAL



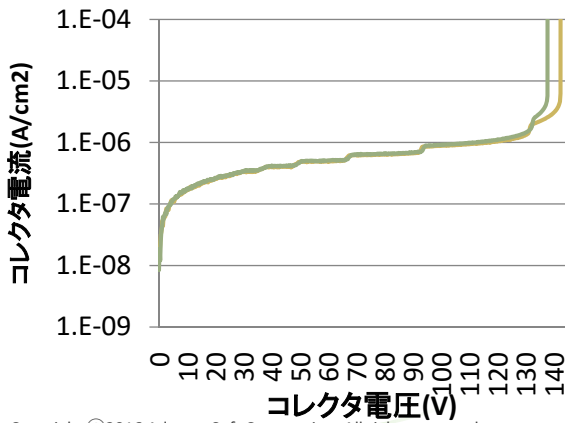
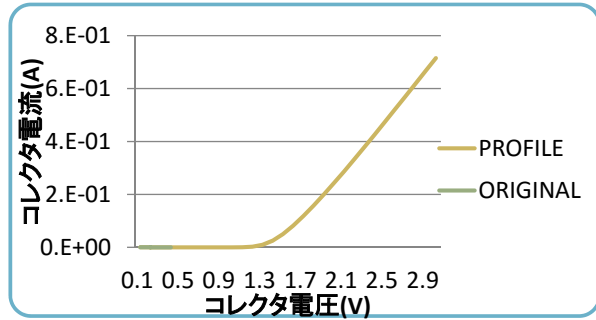
USE PROFILE



イオン注入機能について



オン特性はぴったりと一致。

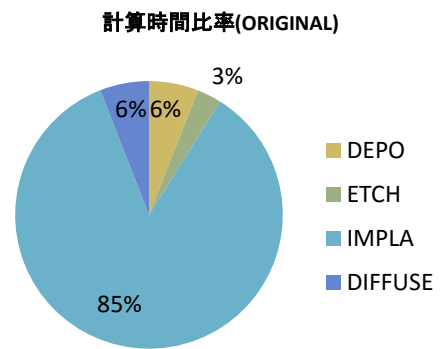


耐圧: MC計算使用 139.6V
 PROFILE使用 142.2V

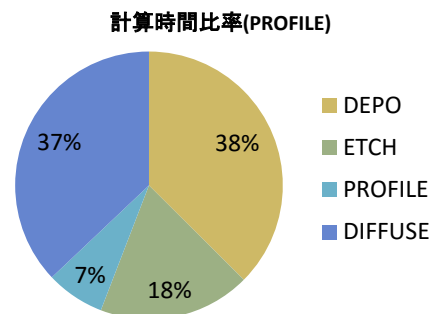
MC計算では粒子ばらつきがあるので耐圧が少し変わることはある。

イオン注入機能について 計算時間比較

計算時間 [秒]	DEPO	ETCH	IMPLA	DIFFUSE	総合計
	14.4	31.4	9,413.7	739.7	
	181.6	69.4	6,584.7	372.9	
	530.8	53.7			
	168.1	31.3			
	71.5	197.5			
	89.9	89.8			
	68.6	79			
計	1124.9	552.1	15,998.4	1,112.6	18,788



計算時間 [秒]	DEPO	ETCH	PROFILE	DIFFUSE	総合計
	14.4	31.4	180	739.7	
	181.6	69.4	32.4	372.9	
	530.8	53.7			
	168.1	31.3			
	71.5	197.5			
	89.9	89.8			
	68.6	79			
計	1124.9	552.1	212.4	1,112.6	3,002



不純物設定部分のみでは1/75, 全体では1/6に計算時間を短縮

拡散シミュレーションの概要

- ① 要素中心コントロールボリューム法を利用
- ② ニュートン法による非線形解析
- ③ 行列ソルバは汎用ライブラリLIS_[1] を利用
- ④ 拡散モデル は非平衡反応拡散モデル及び平衡拡散モデル (フェルミモデル)
 - 点欠陥、不純物反応
 - 点欠陥クラスタ反応
 - 不純物不活性化反応
- ⑤ 半導体プロセスで用いられる熱処理条件
 - 高温長時間 1200°C 数時間
 - 高温短時間 RTA, Spike, Flush (急激な温度変化)
 - 低温長時間 600°C 数時間



パラメータ記述で
多様なモデルに対応可能

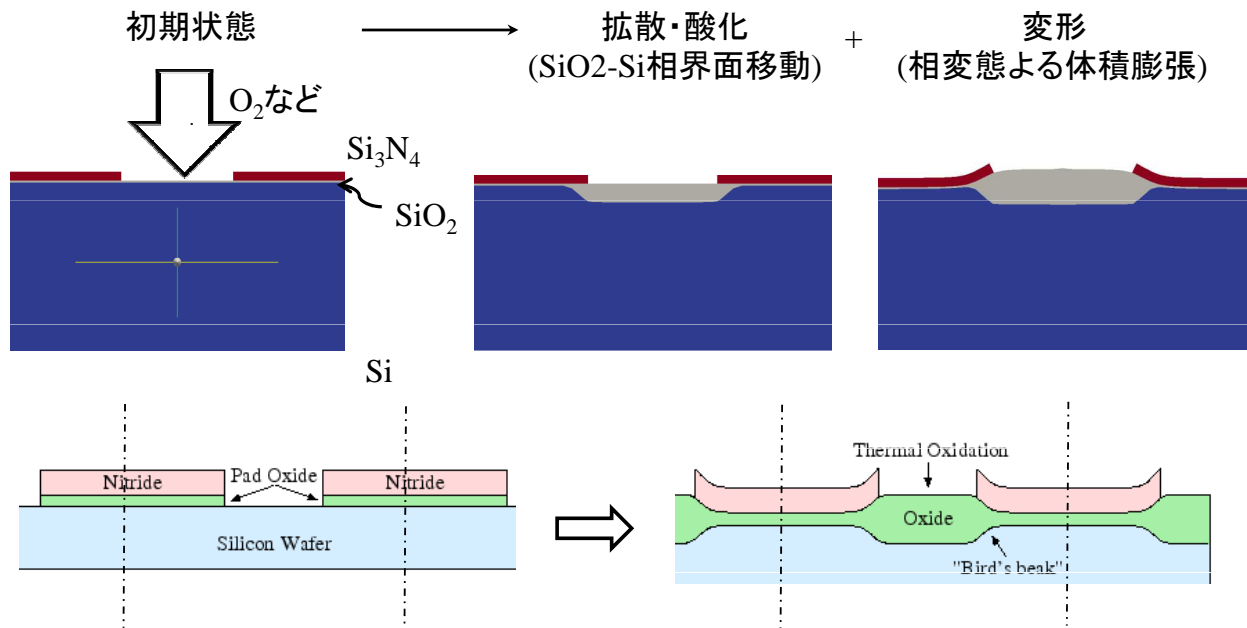
[1]<http://www.ssisc.org/lis/index.ja.html>

キャリブレーションの現状

- 非平衡拡散モデル
As/B/Pの非平衡拡散(長時間アニール時の平衡含む拡散)
- フェルミ(平衡)モデル
As/B/P/Sbの平衡拡散(Fairの論文suprem4準拠)

粘弾性モデルによる三次元酸化解析機能概要

酸素拡散--> 相界面移動--> 相変態による体積変化--> 変形を考慮したシミュレーション機能



三次元酸化モデル

(case1)

基板: 4.5 μ m \times 4.5 μ m \times 2.0 μ m

SiO₂膜厚: 0.02 μ m

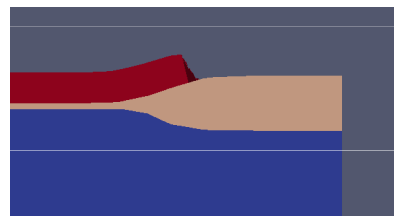
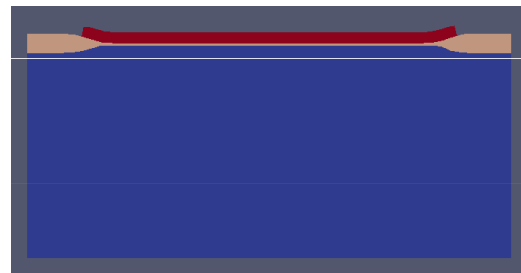
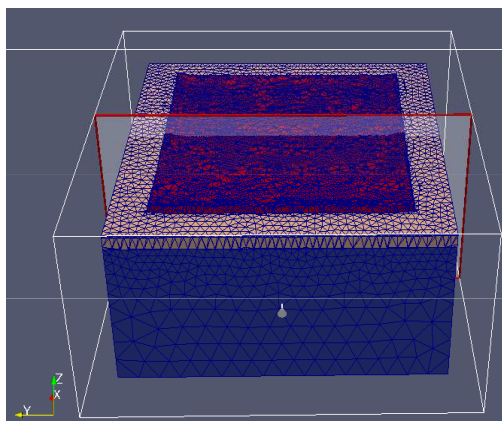
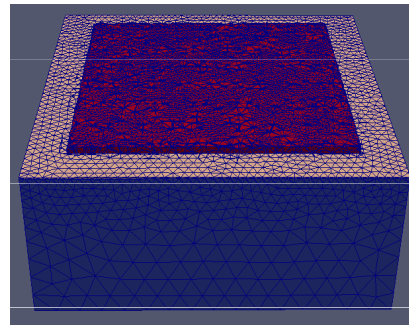
窒化膜厚: 0.1 μ m

マスク: X(0.5 μ m~4.0 μ m)

: Y(0.5 μ m~4.0 μ m)

酸化時間: Dry430分

酸化温度: 1000 $^{\circ}$ C



(case2)

基板:

2.25 μm \times 2.25 μm \times 2.0 μm

SiO₂膜厚:0.02 μm

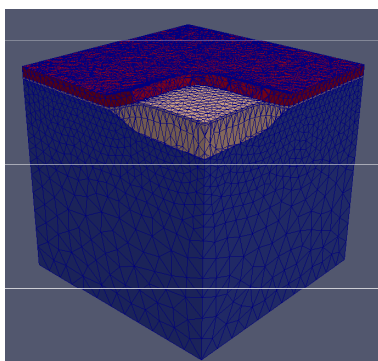
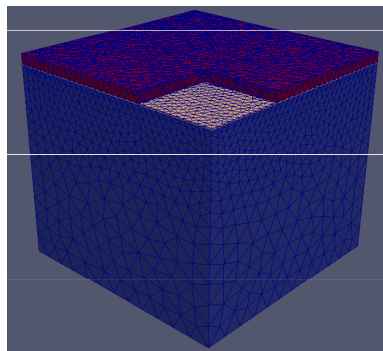
窒化膜厚:0.1 μm

マスク: X(1.5 μm ~2.25 μm)

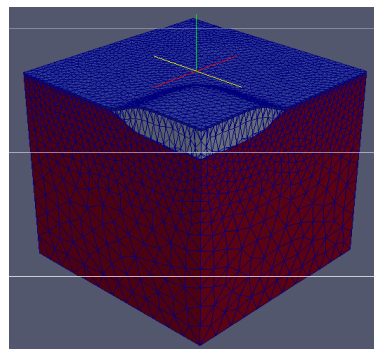
: Y(1.1 μm ~2.25 μm)

酸化時間: Dry960分

酸化温度 1000 $^{\circ}\text{C}$



6時間後SiO₂厚さ352nm
(z_max=214nm, z_min=-138nm)



16時間後ボロン濃度分布
(酸化されて体積が増えた分だけ薄まっている)

Thank you for listening!

Advance/TCADのご紹介(2) ～デバイスシミュレータについて～

第1事業部 原田 昌紀

半導体デバイス 3次元TCADシステム発売のご紹介セミナー
2016年7月28日 (木)
アドバンスソフト株式会社

Advance/TCADデバイスシミュレータの特徴

- 高速3次元解析
- 幅広いデバイスに対応
- 頑健（ロバスト）な計算手法
- 大規模解析

Advance/TCADデバイスシミュレータの特徴

- **高速3次元解析**
- 幅広いデバイスに対応
- 頑健（ロバスト）な計算手法
- 大規模解析

高速3次元解析

Advance/TCADデバイスシミュレータは2次元解析の拡張としてではなく、**3次元解析を前提**として開発されています。

- 任意形状の3次元モデル作成機能。
- 独自の高速・安定収束化技術を開発。
- 自社開発による実装レベルでの高速化。

高速3次元解析

任意形状の3次元モデル作成機能

- 簡易形状作成やメッシュ粗密制御。
- 円形やトラック形状に対応した円形メッシュ機能を搭載。

独自の高速・安定収束化技術を開発

- 高速高電圧解析のためのバイアス粗密調整機能。
- ガードリング(浮遊電位解析)のための仮想ライフタイム法。

高速3次元解析

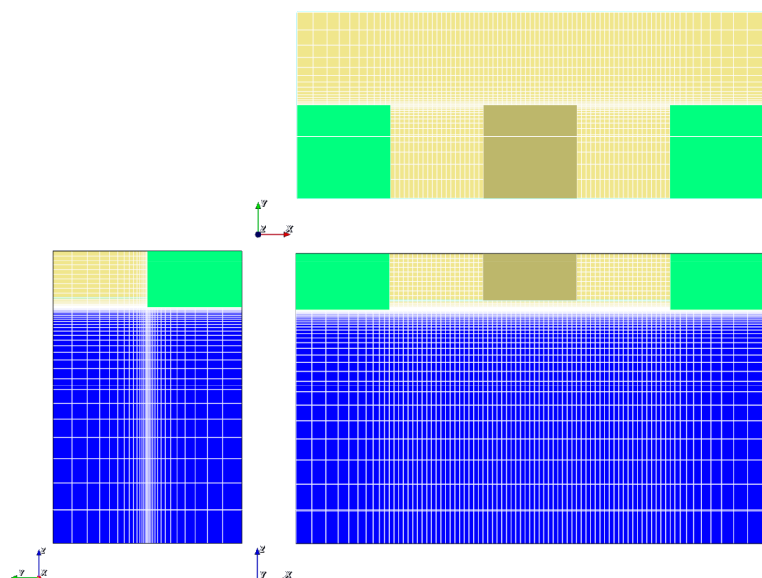
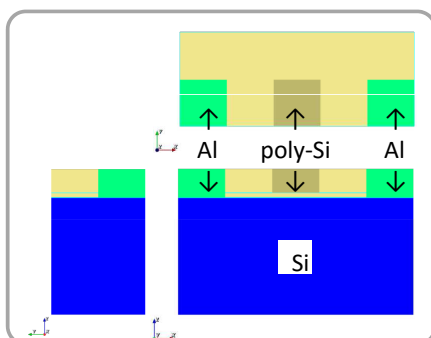
3次元メッシュ粗密制御機能

6面体メッシュを初期メッシュとし、精度を必要としない領域のメッシュを粗くする。

初期直交メッシュ

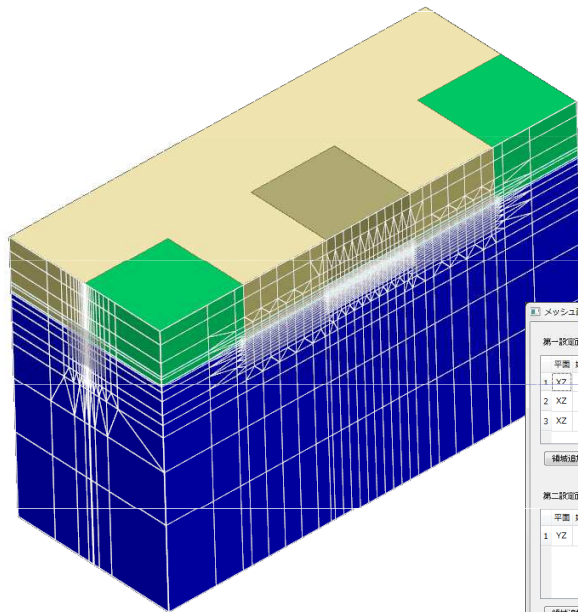
セル数: $80 \times 30 \times 50 = 120000$

節点数: $81 \times 31 \times 51 = 128061$



高速3次元解析

3次元メッシュ粗密制御機能



- 任意の密領域を設定可能。
- 粗にする割合を領域毎に調整可能。
- 二面まで設定可能。
- GUIにより領域の位置、サイズ、粗化レベルを微調整可能。

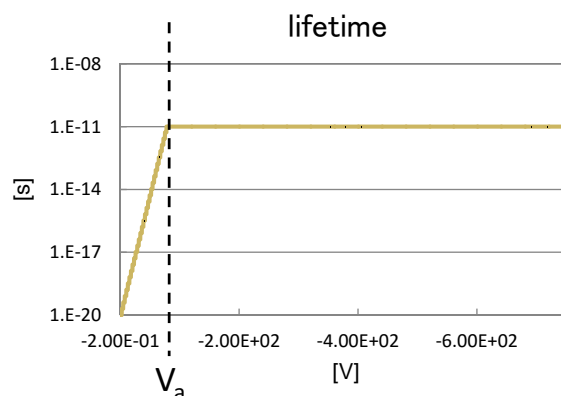


高速3次元解析

～仮想ライフタイム法(独自の高速・安定収束化技術)～

計算初期における、電圧昇圧時の計算収束性を向上させるため、設定電圧に至るまでの電圧に応じて電子と正孔のライフタイムを変化させます。

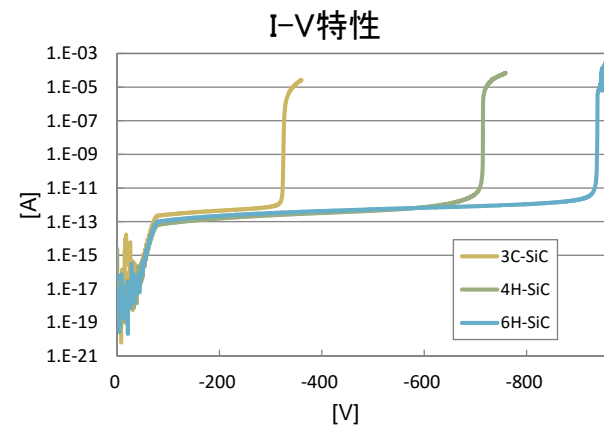
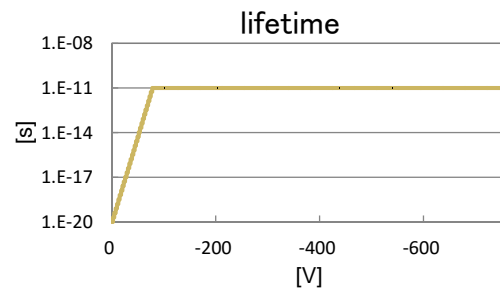
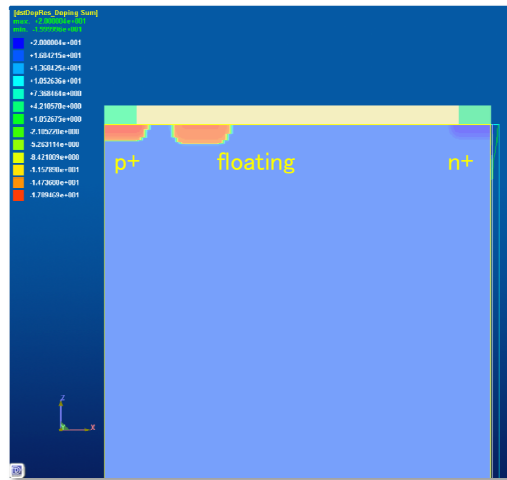
$$\tau(V) = \alpha(V) \tau_{\text{設定値}} \quad \begin{aligned} \alpha &\leq 1 & (V \leq V_a) \\ \alpha &= 1 & (V \geq V_a) \end{aligned}$$



高速3次元解析

～仮想ライフタイム法適用事例～

適用事例: SiCダイオード耐圧計算



Advance/TCADデバイスシミュレータの特徴

- 高速3次元解析
- 幅広いデバイスに対応
- 頑健（ロバスト）な計算手法
- 大規模解析

幅広いデバイスに対応

超微細デバイス、パワーデバイスのそれぞれに特有な解析機能を備えています。

- シリコン、ワイドギャップ半導体 (GaAs系、SiC系、GaN系) の物性値を装備。
- 物性値の手動変更により新材料探索も可能。
- ショットキー接合にはドリフト・拡散モデルに加えトンネル電流モデルを採用。

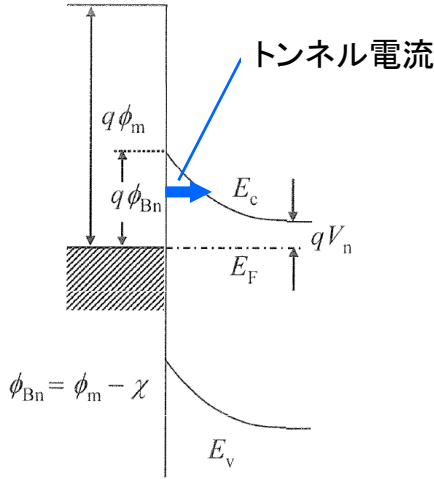
幅広いデバイスに対応

超微細デバイス、パワーデバイスのそれぞれに特有な解析機能を備えています。

- 界面における連続準位を複数種設定可能 (マルチ指数関数モデル)。
- GaN系およびSiC系デバイスで見られる深い準位のイオン化率の変化を一準位再結合モデルにより解析可能。

幅広いデバイスに対応

～ショットキー接合トンネル電流モデル～



Fowler-Nordheimモデル

$$J_{FN} = AE^n \exp\left(-\frac{B}{E}\right)$$

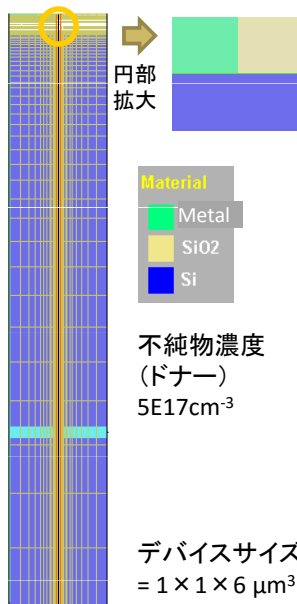
$$B = \frac{4\sqrt{2m}}{3q\hbar} (q\phi_B - q\kappa)^{3/2}$$

※A、n、m、κは入力パラメータとする。
κはband loweringを表す。

幅広いデバイスに対応

～ショットキー接合トンネル電流モデル～

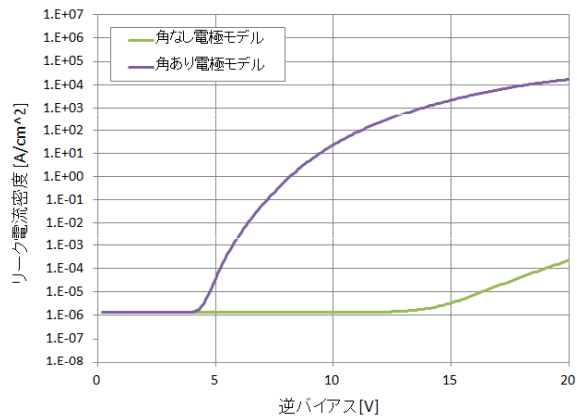
ショットキーダイオード 角あり電極モデル



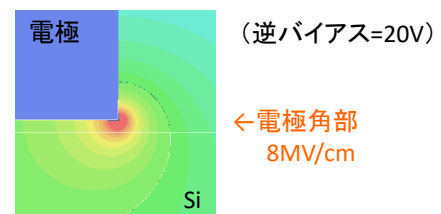
FNモデルパラメータ

φ_B = 0.8eV
A = 1 × 10⁻⁴ [A/V²]
n = 2
m = 1 × m0
κ = 0.2 [eV]

逆バイアス電流特性



電極角部電界強度分布



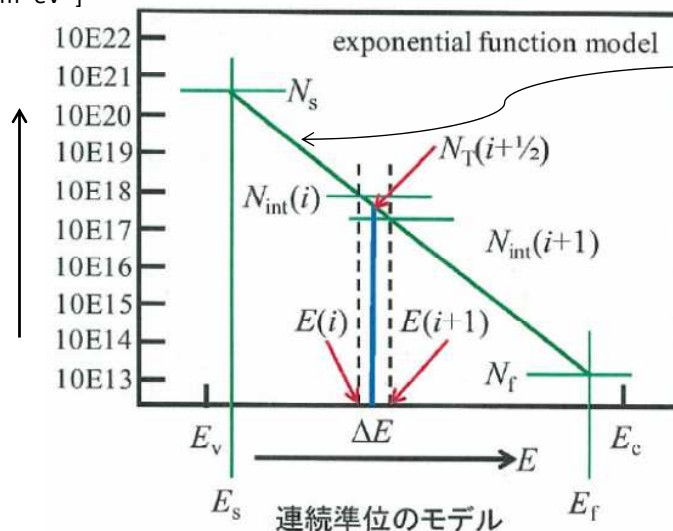
幅広いデバイスに対応

～界面の連続準位の計算機能～

機能概要

連続準位密度
[cm⁻²eV⁻¹]

※アクセプター型の場合の例



$$N_{int}(E) = A \times \exp[-\alpha E]$$

で表される連続準位
を最大10種類まで
設定可能。

幅広いデバイスに対応

～深い準位、界面準位の不完全イオン化計算機能～

準位の電子占有率 f の式 (レート方程式)

$$\frac{df}{dt} = v_e \sigma_e [n(1-f) - n_i f] - v_p \sigma_p [pf - (1-f)p_i]$$

$v_{n,p}$: 電子, 正孔の熱速度

$\sigma_{n,p}$: 電子, 正孔の捕獲断面積

再結合項 R の計算

$$R = -\frac{dn}{dt} = v_e \sigma_e n N_i (1-f_i) - v_e \sigma_e N_i f_i N_c \exp(-\varepsilon_i / k_B T)$$

$$R = -\frac{dp}{dt} = v_p \sigma_p p N_i f_i - v_p \sigma_p N_i (1-f_i) N_v \exp[-(E_g - \varepsilon_i) / k_B T]$$

空間電荷の計算

ドナー型: $N_i(1-f_i)$

アクセプター型: $-N_i f_i$

N_i : 準位の濃度

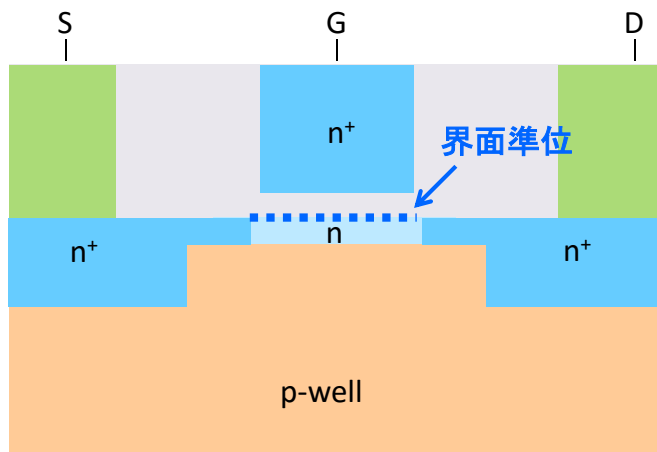
N_c : 伝導帯の状態密度

N_v : 価電子帯の状態密度

幅広いデバイスに対応

～界面準位不完全イオン化計算機能～

解析事例: NMOSFET界面準位によるドレイン電流過渡応答への影響



デプレッション型NMOSFET

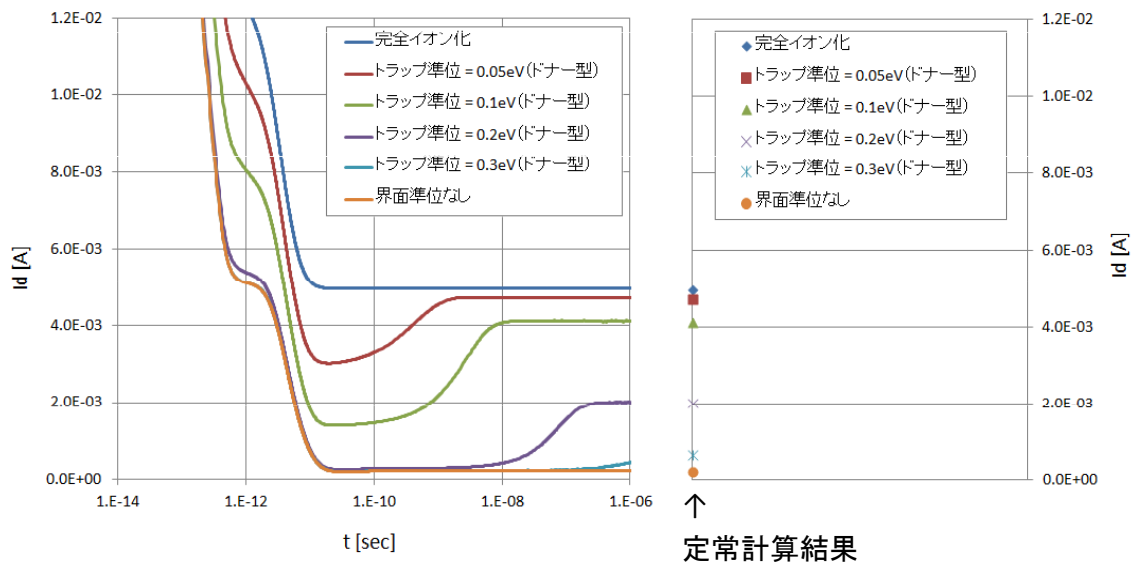
バイアス印加方法

- ① $V_d = 3V$ 、 $V_g = 0V$ で定常計算。
- ② $t = 0 \text{ sec}$ でステップ状に $V_g = -3V$ を印加し過渡解析。

幅広いデバイスに対応

～界面準位不完全イオン化計算機能～

解析事例: NMOSFET界面準位によるドレイン電流時間変化への影響



Advance/TCADデバイスシミュレータの特徴

- 高速3次元解析
- 幅広いデバイスに対応
- 頑健（ロバスト）な計算手法
- 大規模解析

頑健（ロバスト）な計算手法

デバイスシミュレーションに特有な計算収束性などの課題に対応しています。

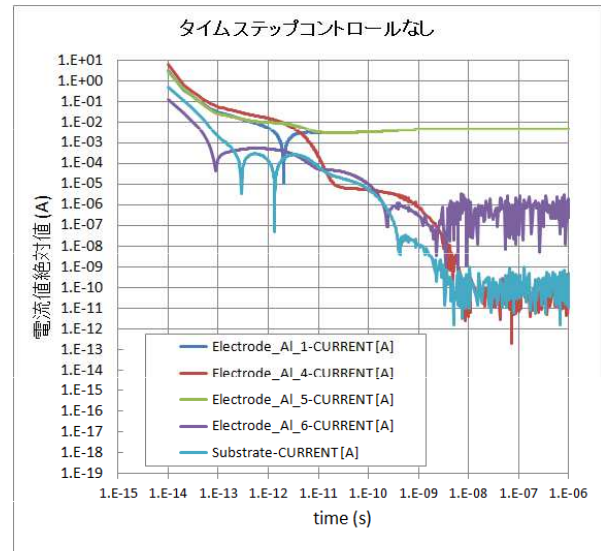
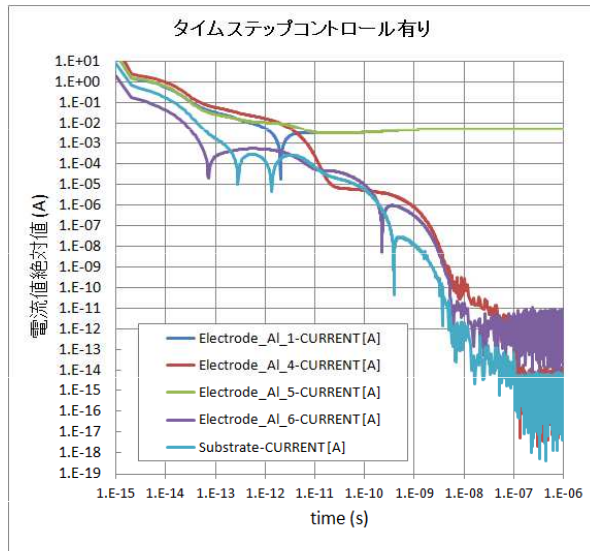
- **ガンメル法とカップル法の両計算手法**を搭載しています。
- 過渡解析では**時間刻み幅自動制御**、**任意入力波形**の設定が可能。
- **バリスティック伝導**に対する高精度・高速解析手法を搭載。
- ワイドギャップ半導体における超低電流解析には**二準位間遷移再結合モデル**により超低電流での収束が可能です。

頑健（ロバスト）な計算手法

～過渡解析における時間刻みの自動調整機能～

検証計算：界面準位モデル(donor型、0.05eV)非定常計算

タイムステップコントロール有り無しでの電流値絶対値の時間変化



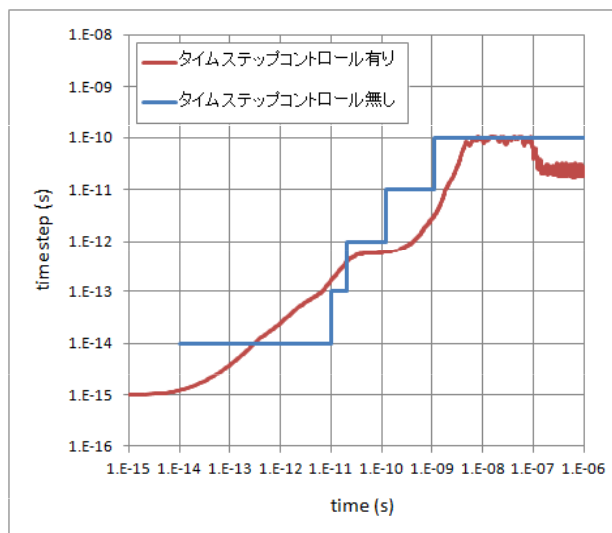
頑健（ロバスト）な計算手法

～過渡解析における時間刻みの自動調整機能～

検証計算：界面準位モデル(donor型、0.05eV)非定常計算

タイムステップコントロール有り無しでの時間刻みの時間変化

タイムステップコントロール有り無しでの時間ステップ数



	タイムステップコントロール有り	タイムステップコントロール無し
1E-8までの時間ステップ数	1581	1389
1E-7までの時間ステップ数	2597	2289

Advance/TCADデバイスシミュレータの特徴

- 高速3次元解析
- 幅広いデバイスに対応
- 頑健（ロバスト）な計算手法
- **大規模解析**

大規模解析

Advance/TCADデバイスシミュレータでは、複数デバイスや外部回路も含めた大規模な系の高精度一体解析が可能です。

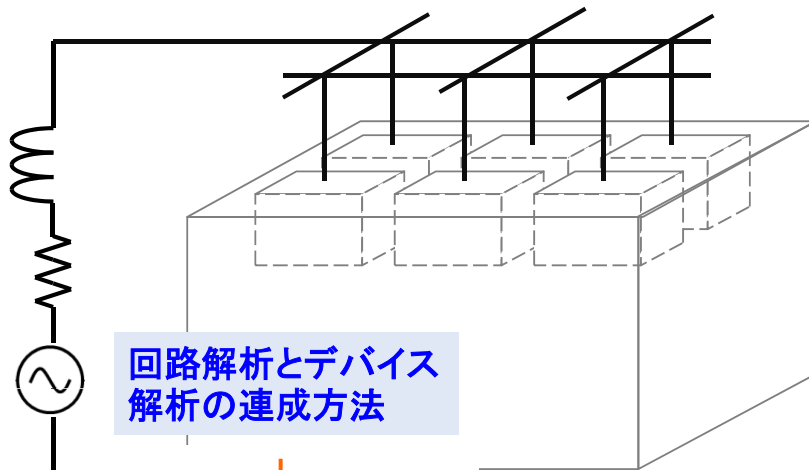
- ▶ 複数デバイスの一括デバイスシミュレーションが可能。
- ▶ 外部LCR回路との強連成一括計算手法を搭載。
- ▶ 領域分割並列計算による大規模高速計算が可能。
- ▶ スーパーコンピュータでの計算に対応。

大規模解析

～大規模解析における技術課題への取り組み～

複数デバイス間の隣接効果の取り組み

→金属配線を半導体でモデル化することで対応



回路解析とデバイス解析の連成方法

↓
構成方程式を一つの行列計算で解くことで対応。

大規模化による計算コストの増加

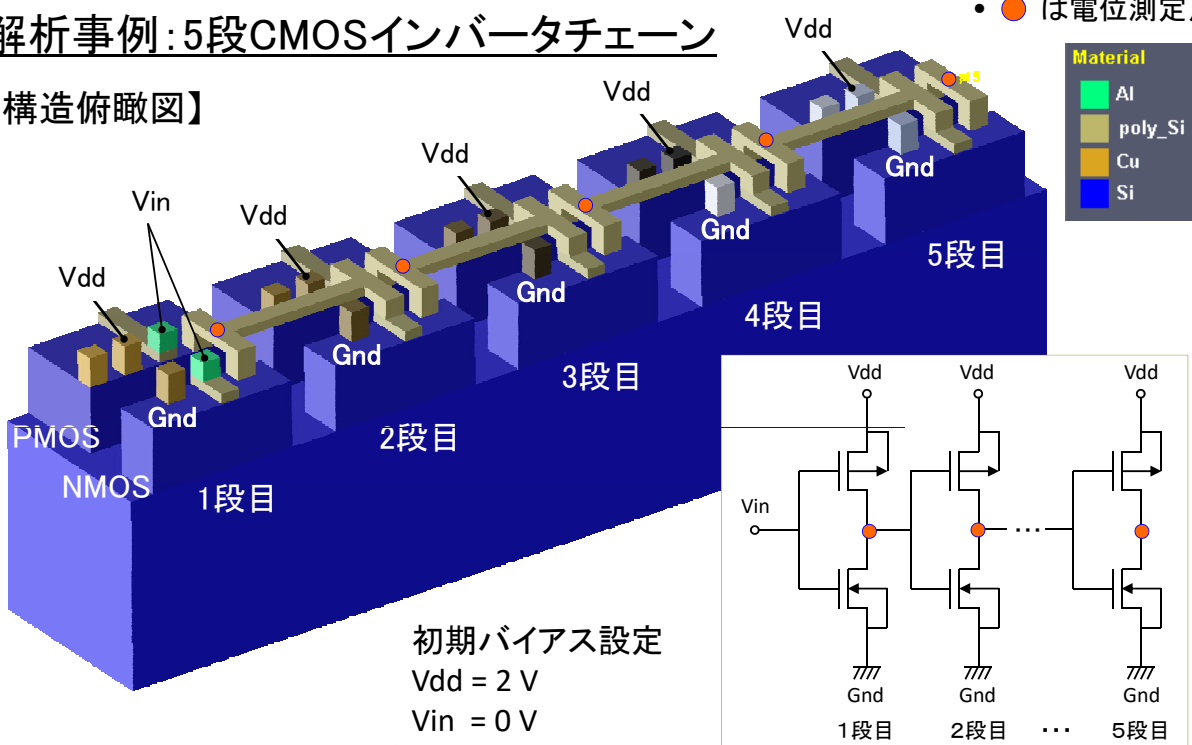
↓
並列計算により、大規模化に対応。スパコンにも対応。(※この後の講演)

大規模解析

～複数デバイス一括解析機能～

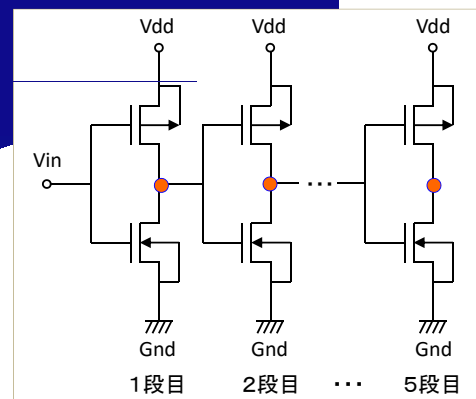
解析事例: 5段CMOSインバータチェーン

【構造俯瞰図】



- SiO₂は非表示。
- ●は電位測定点

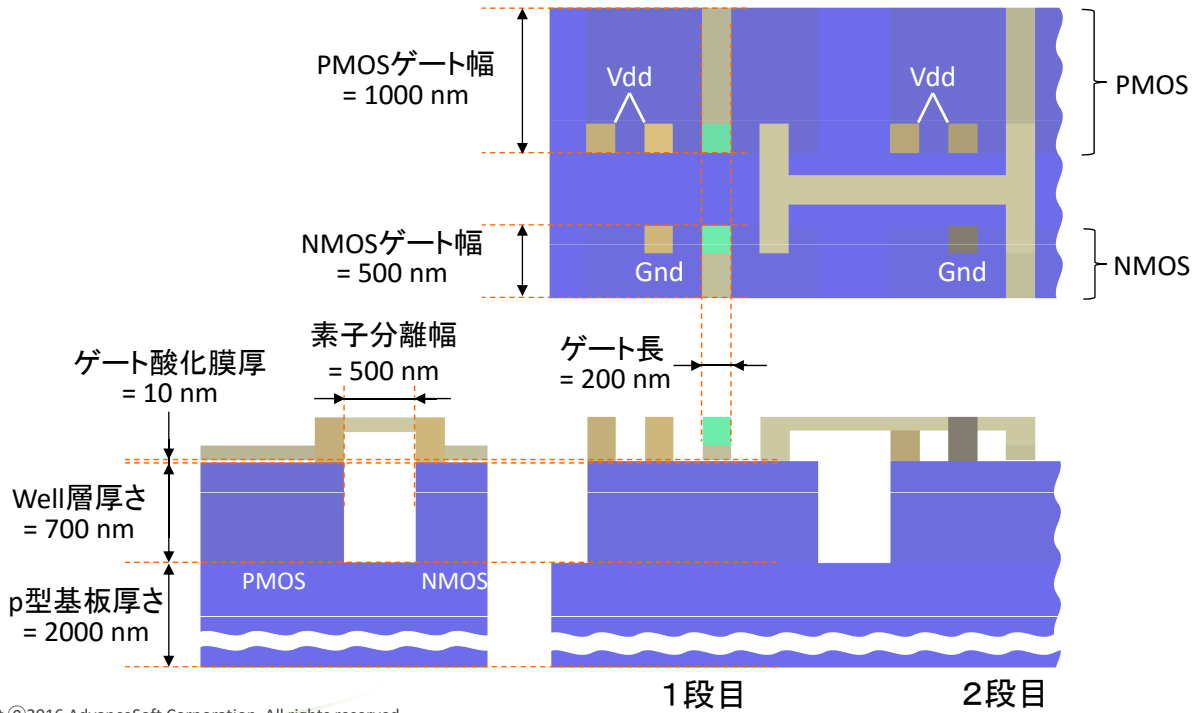
初期バイアス設定
Vdd = 2 V
Vin = 0 V



大規模解析

～複数デバイス一括解析機能～

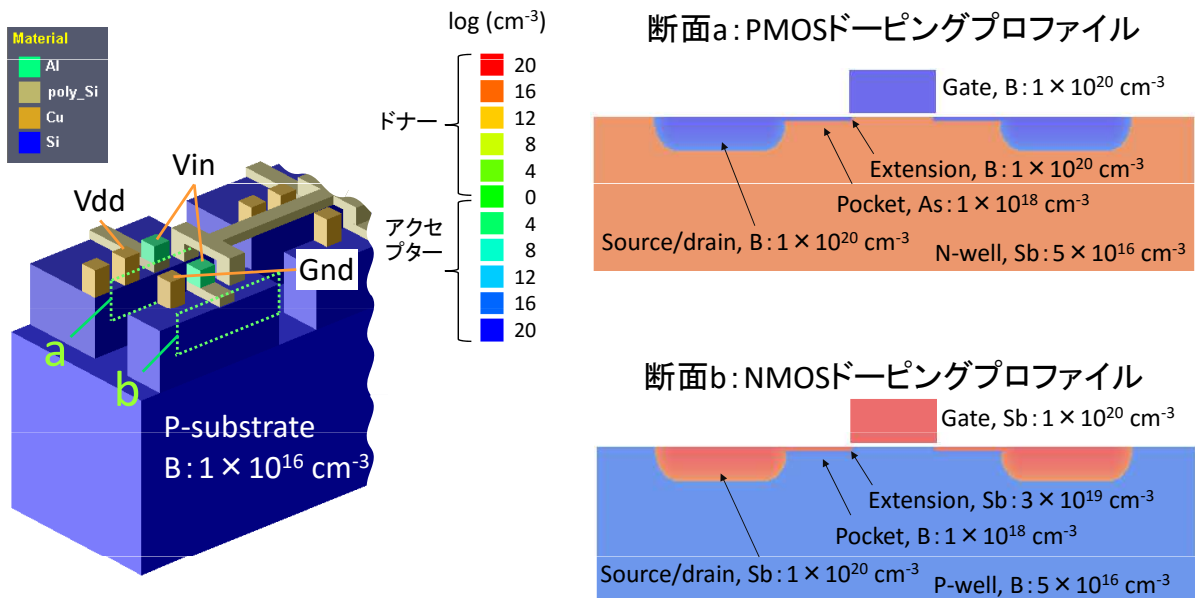
解析事例: 5段CMOSインバータチェーン解析モデル構造平面図



大規模解析

～複数デバイス一括解析機能～

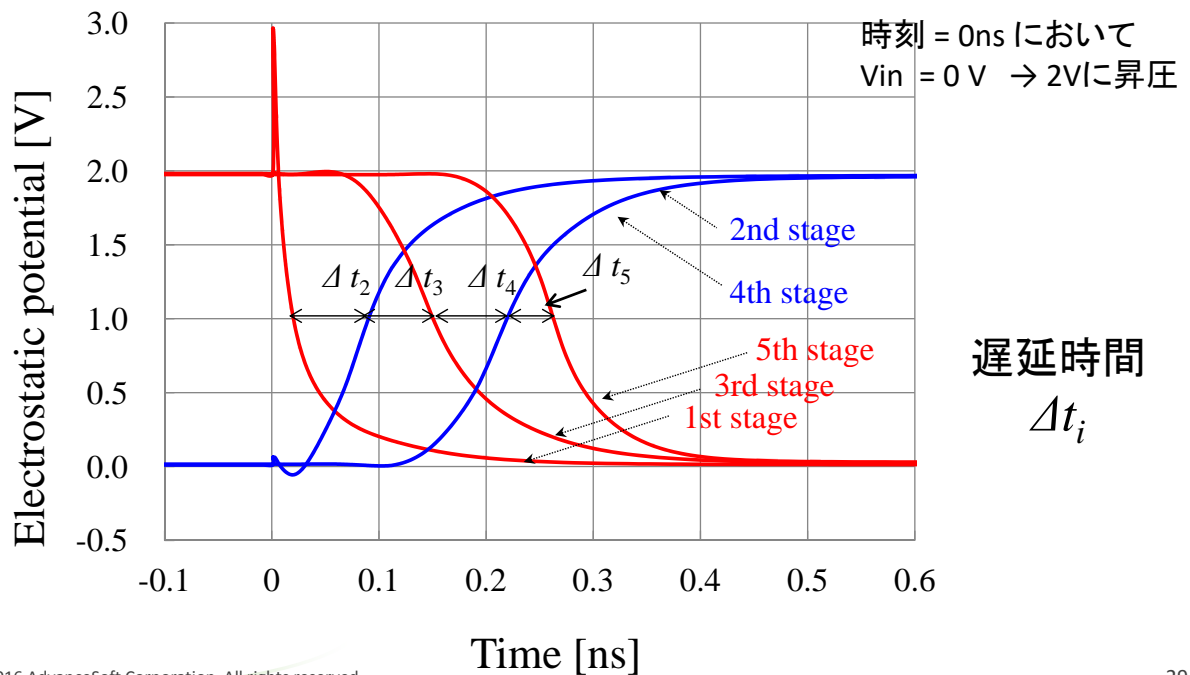
解析事例: 5段CMOSインバータチェーン解析モデルドーピングプロファイル



大規模解析

～複数デバイス一括解析機能～

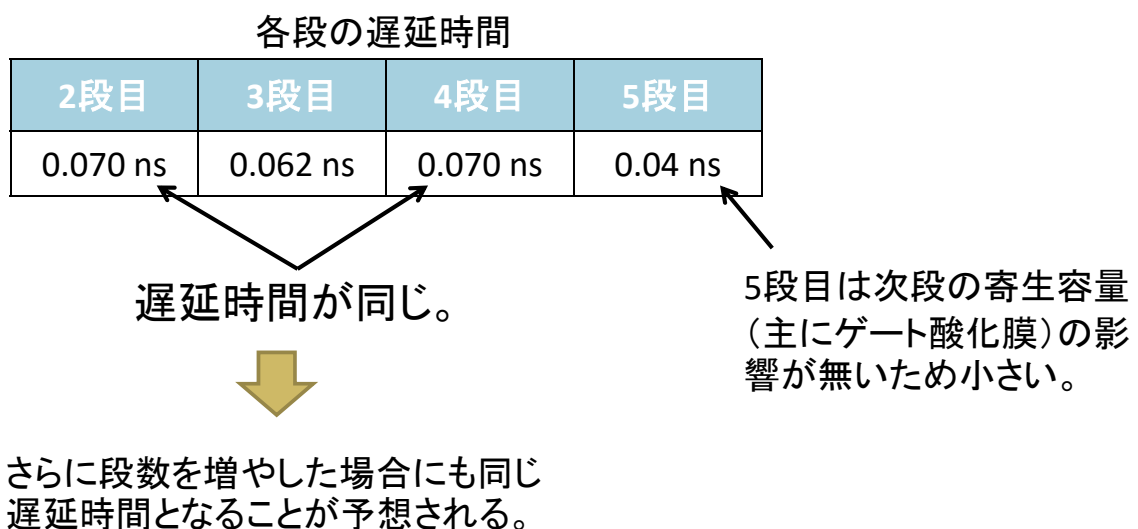
解析事例: 5段CMOSインバータチェーン動作時の遅延時間解析



大規模解析

～複数デバイス一括解析機能～

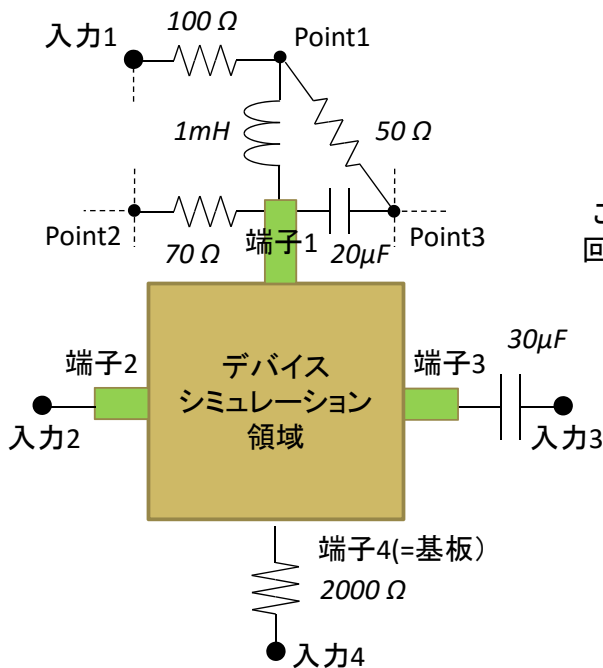
解析事例: 5段CMOSインバータチェーン動作時の遅延時間解析



大規模解析

～外部回路(LCR)との連成計算機能～

外部回路の設定(回路定義ファイルの導入)



このような回路の場合

回路定義ファイル例

```
#-----
# Circuit Definition File
#-----
#
20 (←以降に続く行が20行の場合)
R B1 P1 100
L P1 T1 1E-3
R P1 P3 50
R P2 T1 70
C T1 P3 20E-6
...
... (続く)
...
R B2 T2 0
C T3 B3 30E-6
R T4 B4 2000
```

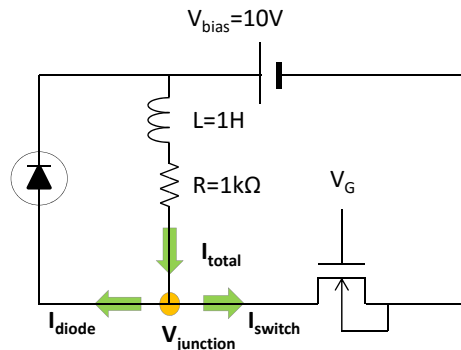
T:端子
B:入力
P:回路の交点を意味する。

大規模解析

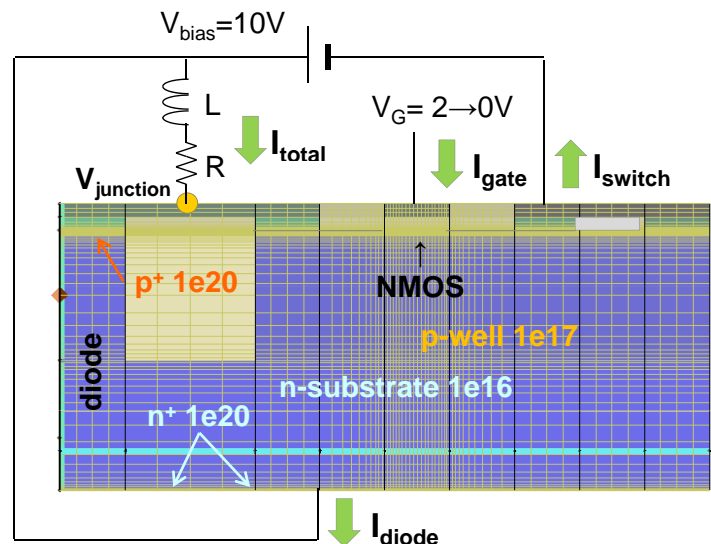
～複数デバイスと回路の一括解析～

解析事例 1 : モータ制御回路のスイッチオフ時の動作

回路



デバイスシミュレーションモデル



初期状態

スイッチがオンの状態 ($V_G = 2V$)。

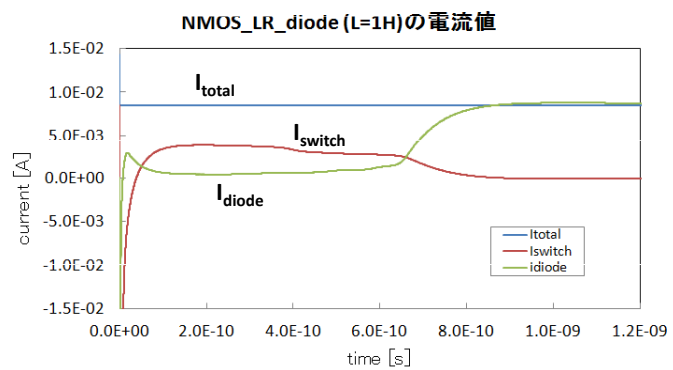
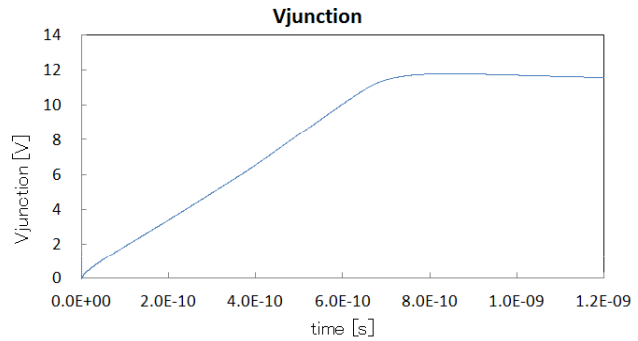
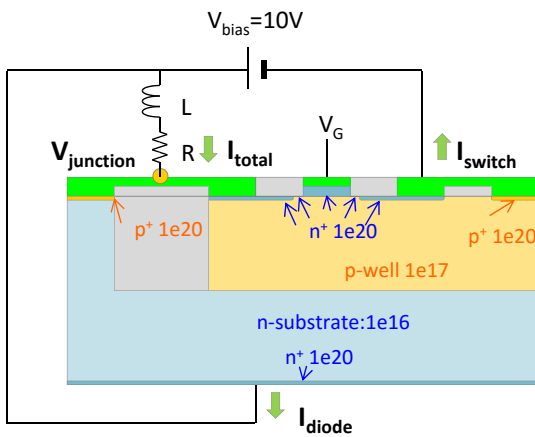
解析内容

スイッチをオフ ($V_G = 0V$) した後の過渡解析

大規模解析

～複数デバイスと回路の一括解析～

解析事例 1 : モータ制御回路のスイッチオフ時の動作

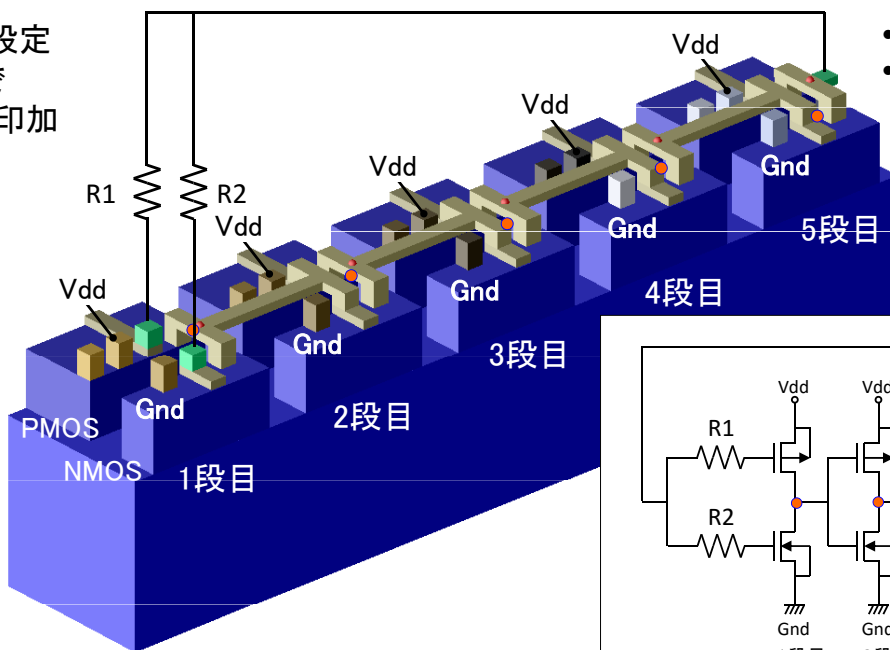


大規模解析

～複数デバイスと回路の一括解析～

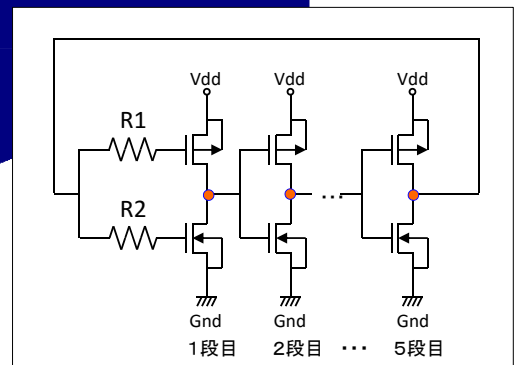
解析事例 2 : 5 段CMOSリングオシレータ

バイアス設定
時刻t=0で
Vdd = 2 V印加



- SiO₂は非表示。
- ● は電位測定点

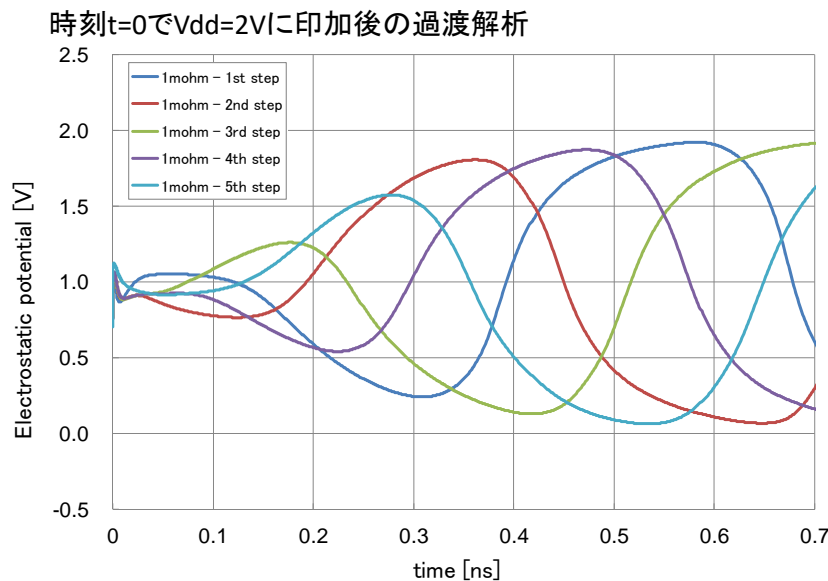
Material
Al
poly_Si
Cu
Si



大規模解析

～複数デバイスと回路の一括解析～

解析事例 2 : 5段CMOSリングオシレータ



※静電ポテンシャルはゼロバイアス時の値からの相対値

回路解析との外部抵抗を組み合わせることにより、複数段CMOSリングオシレータの一括解析も可能。

Advance/TCADデバイスシミュレータの特徴まとめ

- 高速3次元解析
- 幅広いデバイスに対応
- 頑健（ロバスト）な計算手法
- 大規模解析

ご清聴ありがとうございました。

Advance/TCADのご紹介(その3) ～並列計算について～

第1事業部 桑原 匠史

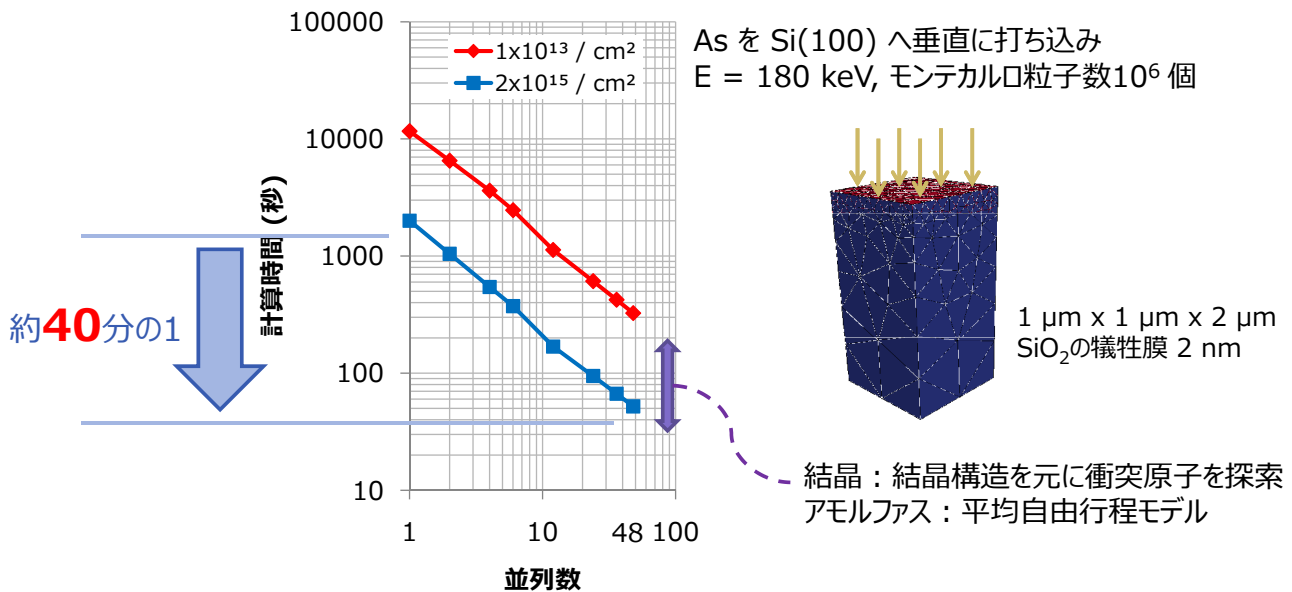
半導体デバイス 3次元TCADシステム発売のご紹介セミナー
2016年7月28日(木)
アドバンスソフト株式会社

Advance/TCADの並列計算

- イオン注入シミュレーション(プロセス)
- 拡散シミュレーション(プロセス)
- デバイスシミュレーション(デバイス)

イオン注入シミュレーション

逐次計算では … 最後まで計算粒子を1つずつ注入
 並列計算では … **プロセッサで等分配**して注入(結晶破壊情報の同期を定期的に行う)
 プロセッサ間のデータ授受はMPI(Message Passing Interface)を利用



並列数にほぼ反比例して計算時間が減少

Intel Xeon
 X5660 2.80GHz (#1~6)
 E5-2640 2.50GHz (#12~48)

拡散シミュレーション

● 拡散シミュレーション

- 有限体積法
- 3次元
- 非構造格子
- FORTRAN90

イオン注入計算との大きな違いは、
 逆行列を解くため、コア間の通信量
 が多く並列化効率がイオン注入計算
 程よくない
デバイスシミュレーションについても同様

● 並列化手法

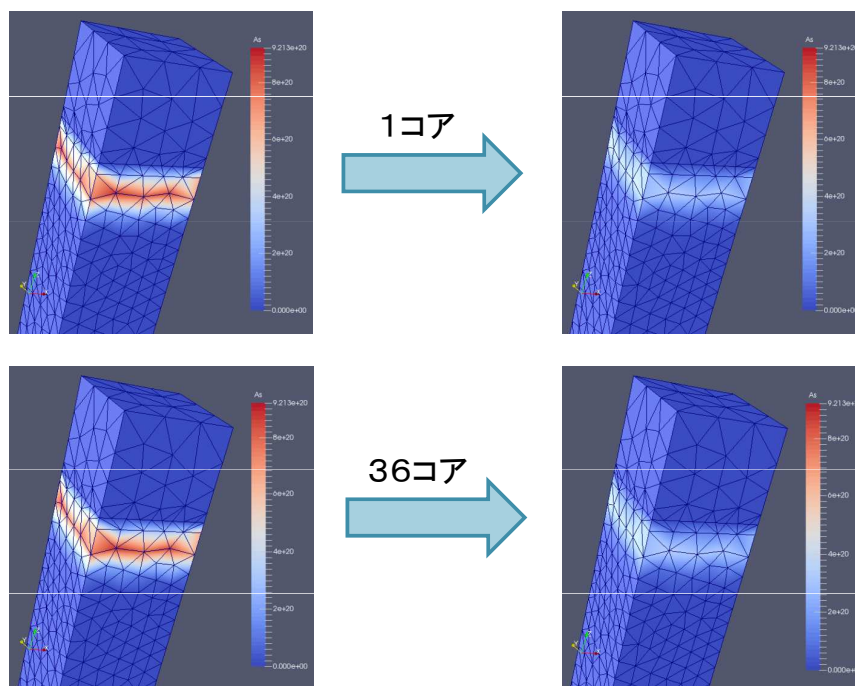
- **分散メモリ型並列**
- 共有メモリ型並列
- ハイブリッド型並列

● 使用ライブラリMPI(Message Passing Interface):MPICH

● 格子生成

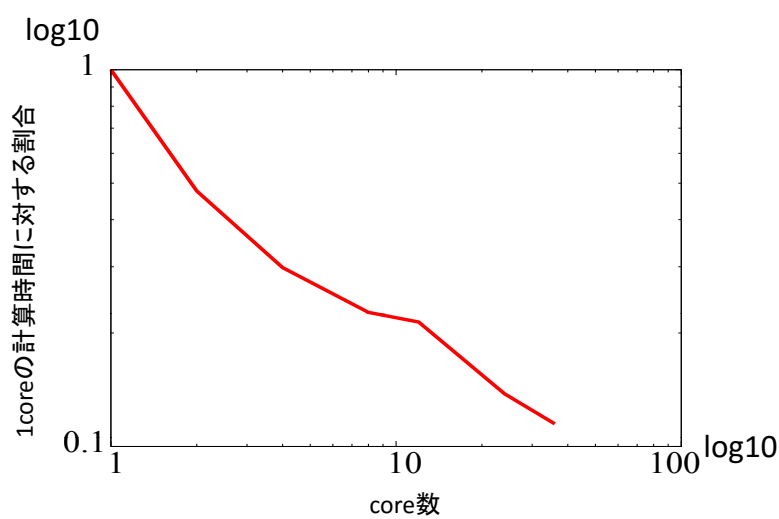
- adventure mesh

Asの拡散の計算比較(非平衡反応拡散モデルでの例)



並列計算においても同じ結果が得られる事を確認

計算効率比較

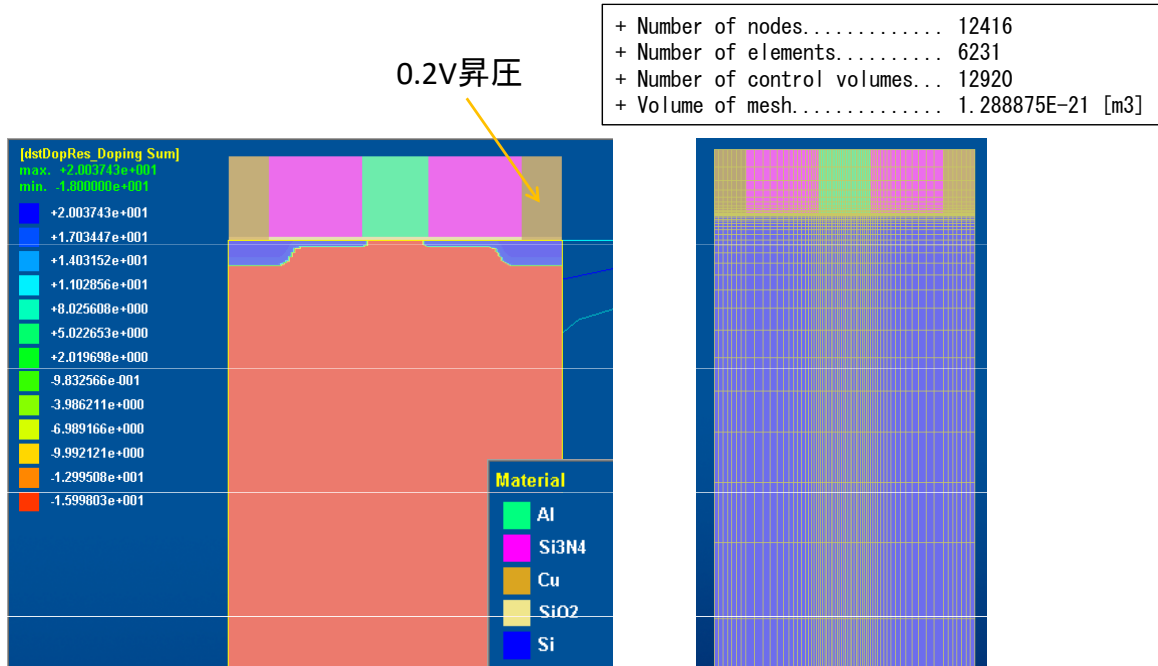


Core数	割合
1	1
2	0.476618
4	0.298452
8	0.226937
12	0.213908
24	0.137997
36	0.114838

16109要素 × 10方程式

デバイスシミュレーション

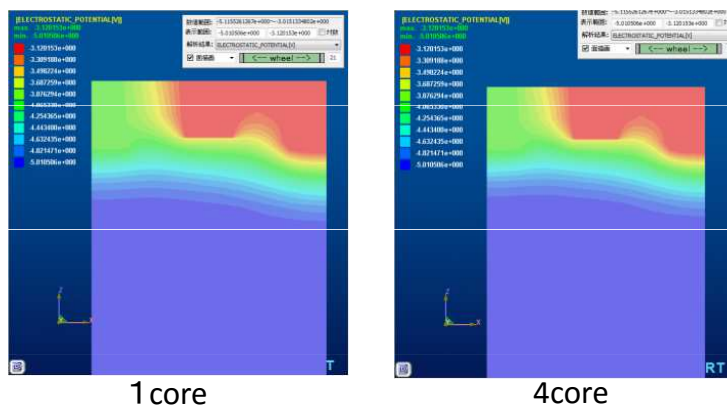
- テスト計算としてMOSFETの計算を実施



不純物分布と材質分布

格子図

ポテンシャル分布



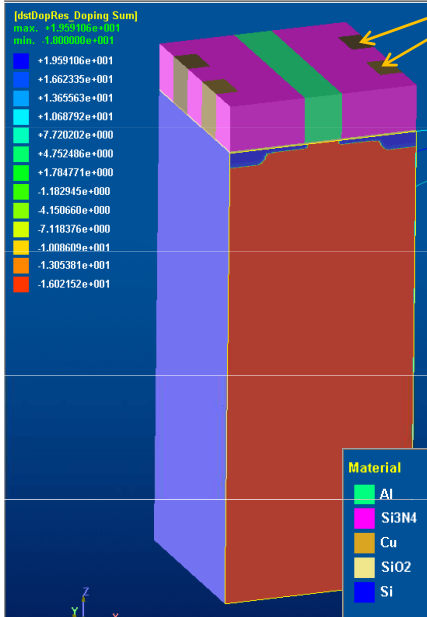
同じ結果が得られる事を確認



並列計算は正しく行われている

大規模計算

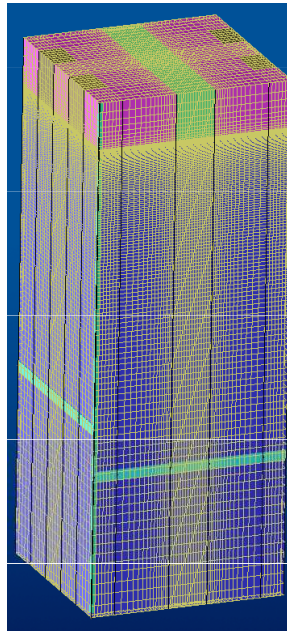
nMOS



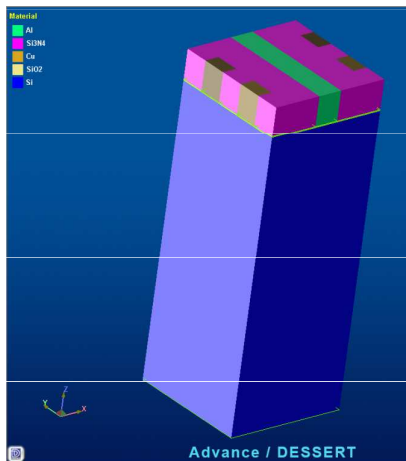
不純物分布と材質分布

0.1V昇圧

- 200万~500万節点規模のデータ
- 1バイアスステップの計算時間を計測



格子図(30万節点規模)



nMOS

Base model

+ Number of nodes.....	1215200
+ Number of elements.....	1161270
+ Number of control volumes...	1222366
+ Volume of mesh.....	5.171875E-21 [m3]

- Base modelとして100万オーダーのものを用意
- 通信量が多くなる分割モデルX-Y increase model
- 通信量がほぼ変わらないZ increase model



2つのモデルを比較することにより、通信量に対する効率を確認

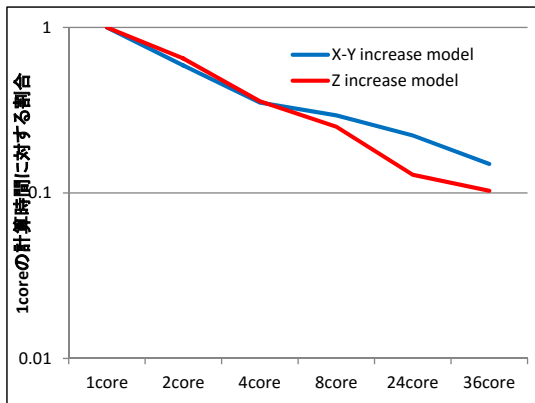
X-Y increase model

+ Number of nodes.....	2604000
+ Number of elements.....	2522520
+ Number of control volumes...	2617844
+ Volume of mesh.....	5.171875E-21 [m3]

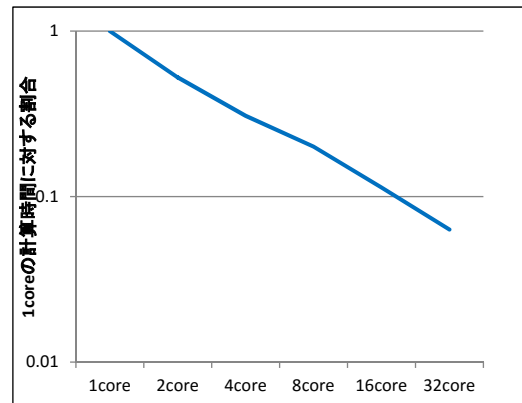
Z increase model

+ Number of nodes.....	2391200
+ Number of elements.....	2287350
+ Number of control volumes...	2398366
+ Volume of mesh.....	5.171875E-21 [m3]

計算結果

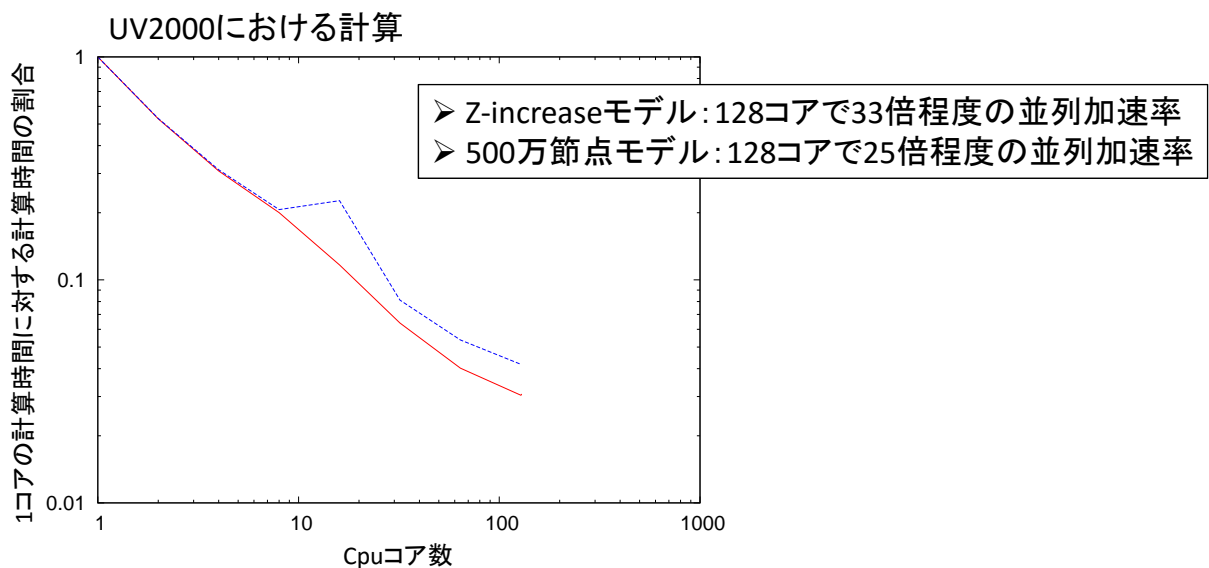


弊社PCクラスターにおける2つのモデルにおける並列加速度の比較



UV2000における、Z-increase modelの並列加速度

UV2000において得られる高い並列化性能は、計算機環境におけるデータ通信速度が大きな効果を示していると考えられる



+ Number of nodes.....	2391200
+ Number of elements.....	2287350
+ Number of control volumes...	2398366
+ Volume of mesh.....	5.171875E-21 [m3]

Z-increaseモデル

+ Number of nodes.....	5584464
+ Number of elements.....	5464800
+ Number of control volumes...	5612096
+ Volume of mesh.....	5.171875E-21 [m3]

500万節点規模のモデル

まとめ

- イオン注入シミュレーション、拡散シミュレーション、デバイスシミュレーションにおける計算コスト増加の対策として並列計算が有効なことを示した。
- イオン注入計算では48コアで約40倍、拡散シミュレーションでは8コアで約4倍、デバイスシミュレーションでは、36コアで約10倍の高速化が可能である。
- UV2000におけるデバイスシミュレーションの大規模計算の結果、128コアを使って250万節点規模のモデルでは約33倍、500万節点規模のモデルでは約25倍の高速化が可能である。

3次元TCADシステム AdvanceTCADのご紹介（その4） ～事例紹介～

研究員 萩原 敦

半導体デバイス3次元TCADシステム発売のご紹介セミナー
2016年7月28日（木）
アドバンスソフト株式会社

内容

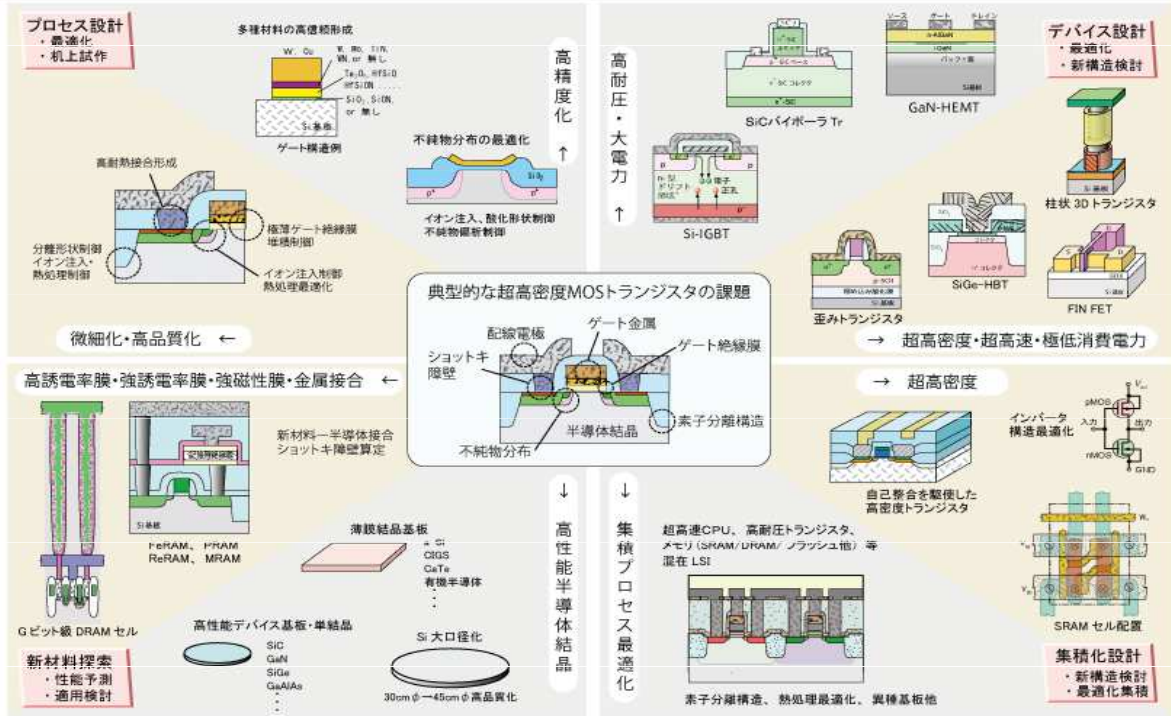
- プロセスシミュレータによる構造作成
- 変換ツールによるプロセスデバイス間接続
- デバイスシミュレーションによる解析事例紹介

【解析事例】

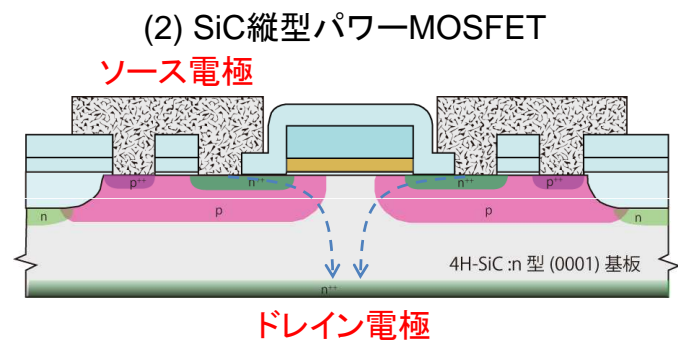
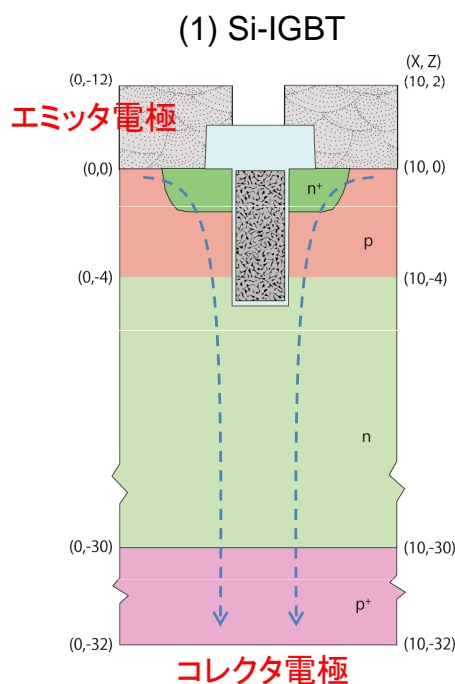
- ① Si-IGBT
- ② SiC縦型パワーMOSFET

3D-TCAD適用対象例

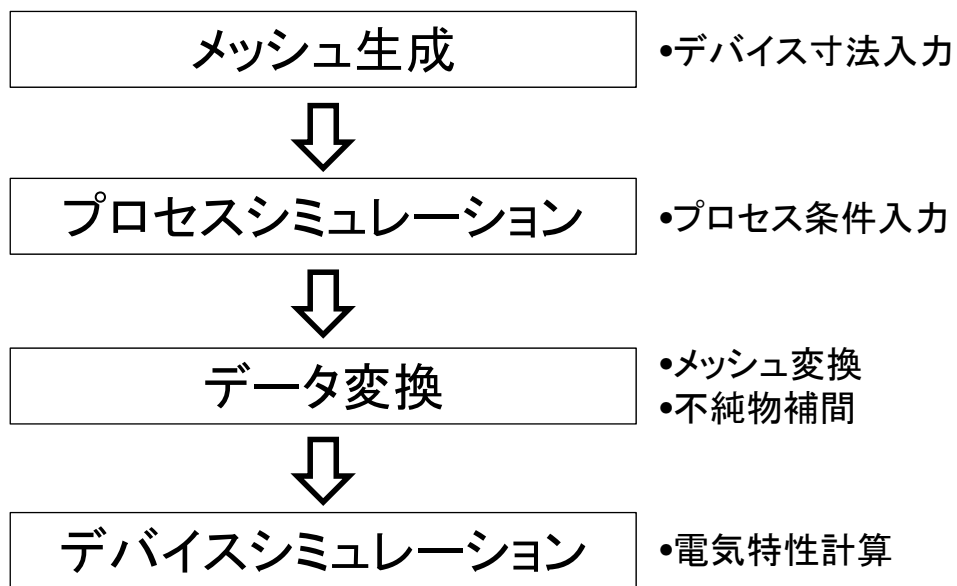
3D-TCAD 適用対象課題



解析事例

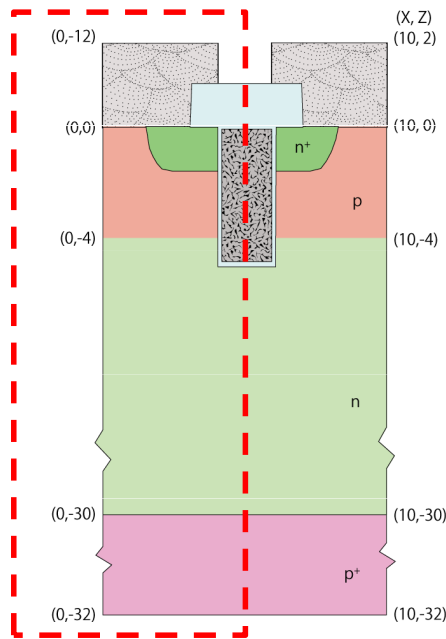


Advance/TCAD シミュレーション手順

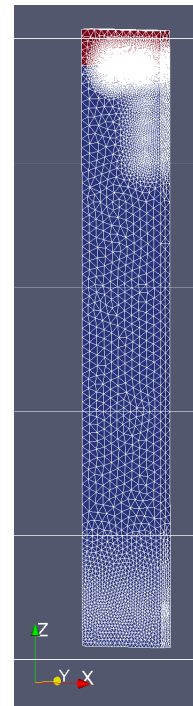


(1) Si-IGBT

Si-IGBT



基板サイズ: 5um(幅)x1um(奥行)x32um(高さ)
 メッシュ数: 438468
 界面付近のメッシュサイズ: 約50nm



左右対称なので、反射境界条件により片側領域のみで計算することが可能。

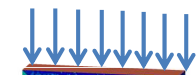
Si-IGBT プロセスシーケンス

初期設定		Si(100), B:1e20[cm ⁻³]
1	エピ層作成準備	平坦化エッチ 30um
2	エピ層作成 n型	平坦化デポ Si:30um、P:1e15[cm ⁻³]
3	犠牲酸化膜堆積	平坦化デポ SiO2:10nm
4	ベース形成イオン注入	B, 100keV, 5e13[cm ⁻²]
5	拡散	N2, 1200°C, 1時間
6	エミッタ形成マスクデポ	マスク指定、Si3N4、厚さ1um
7	エミッタ形成イオン注入	As, 100keV, 5e15[cm ⁻²]
8	拡散	N2, 1000°C, 10分
9	マスク除去	REMOVEエッチ
10	犠牲酸化膜除去	REMOVEエッチ
11	トレンチエッチ	マスク指定、異方性エッチ、5um
12	ゲート酸化膜形成	等方性デポ、SiO2:50nm
13	ゲートポリSi埋め込み	平坦化デポ、高さ座標指定(初期界面Z=0まで)
14	残存ゲート酸化膜除去	平坦化エッチ、高さ座標指定(初期界面Z=0まで)
15	エミッタ電極形成	マスク指定、等方性デポ、厚さ1um
16	形状整形	平坦化デポ、SiO2
17	形状整形	平坦化エッチ

Si-IGBT プロセスシミュレーション結果

ベース層B注入

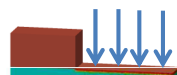
エミッタ領域As注入



(1) ベース形成イオン注入



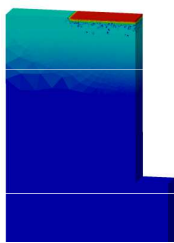
(2) 拡散(60分, 1200°C)



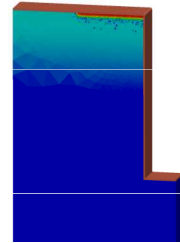
(3) エミッタ形成イオン注入



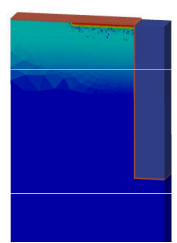
(4) 拡散(10分, 1000°C)



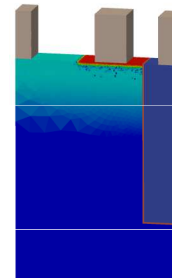
(5) トレンチエッチ



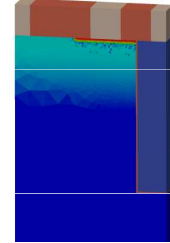
(6) ゲート酸化



(7) ポリSiゲート埋込

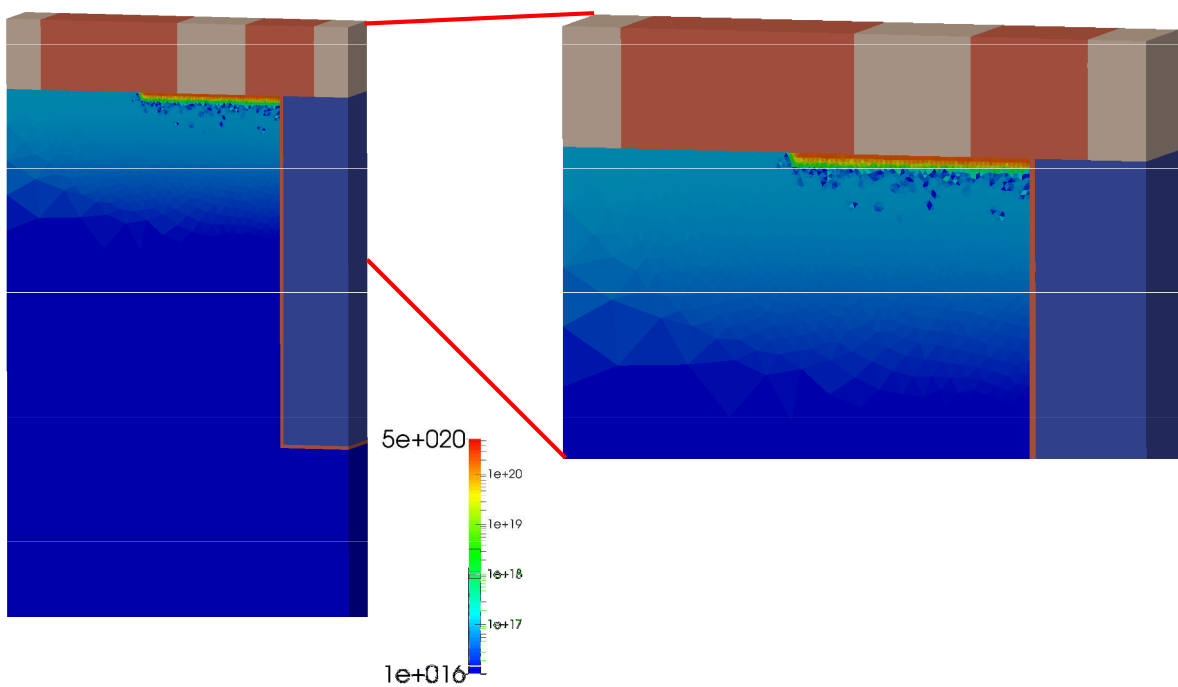


(8) Al電極堆積

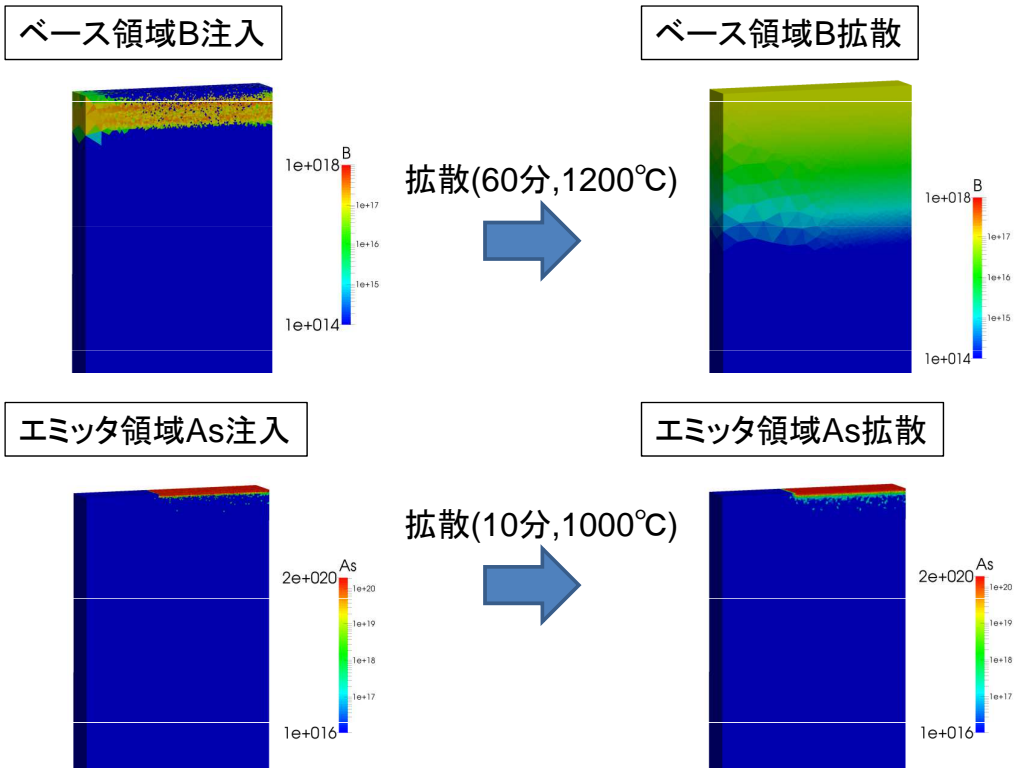


(9) 平坦化

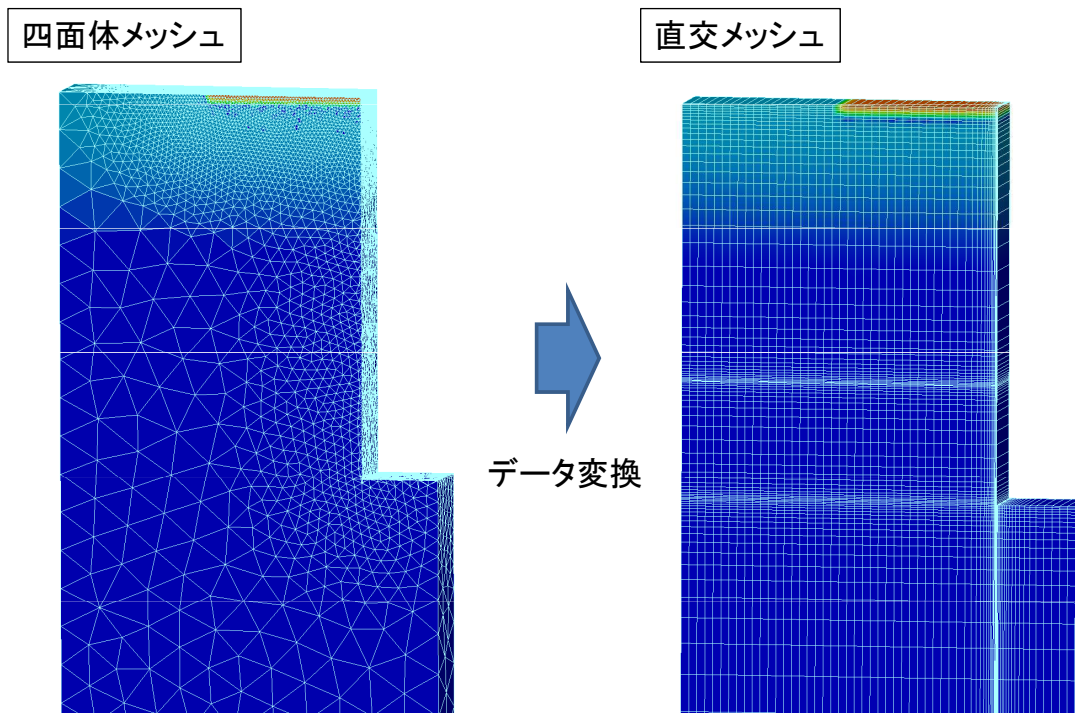
Si-IGBT 全体図



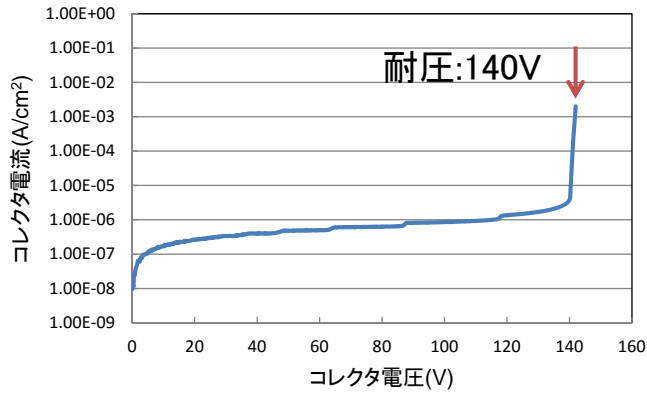
Si-IGBT イオン注入・拡散結果



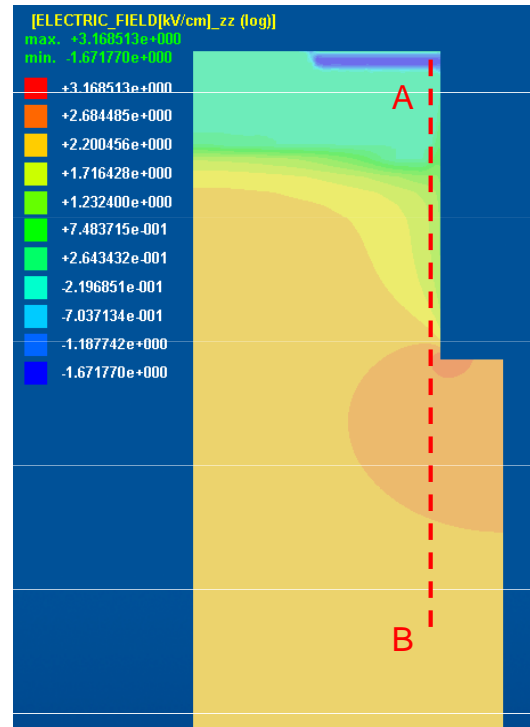
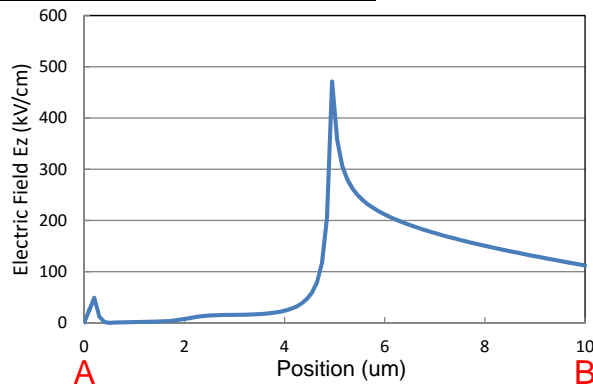
データ変換(メッシュ・不純物分布)



Si-IGBT耐圧計算



深さ方向電界(絶対値)分布

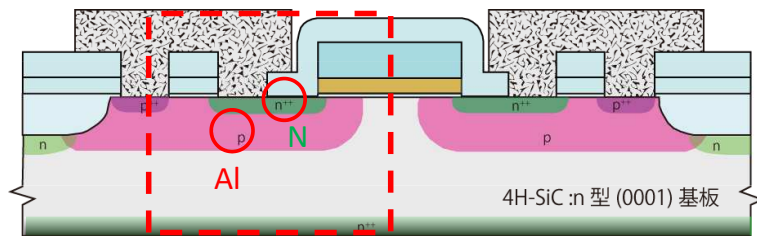


コレクタ電圧140Vのときの深さ方向電界分布

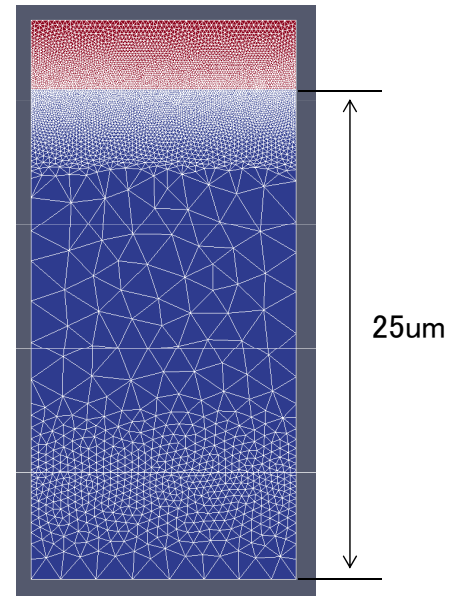
(2) SiC縦型パワーMOSFET

SiC縦型パワーMOSFET

基板サイズ: 13.5um(幅)x1um(奥行)x25um(高さ)
 メッシュ数: 262100
 界面付近のメッシュサイズ: 約100nm



左右対称なので、反射境界条件により片側領域のみで計算することが可能。

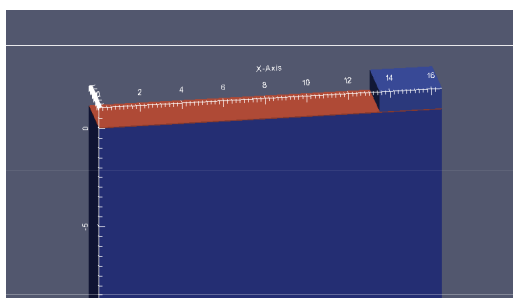


SiCパワーMOSFET プロセスシーケンス

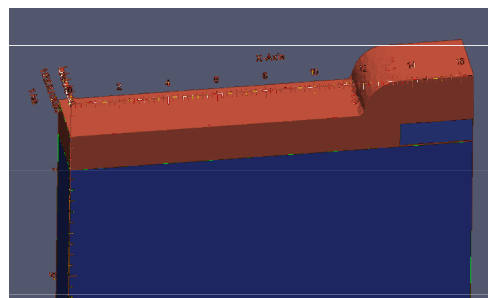
初期設定		n-Si(100), P:1e20[cm ⁻³]
1	背面n++層作成	平坦化エッチ, 20um
2	エピ層作成n型	平坦化デポ, 20um, P:1e15[cm ⁻³]
3	ゲート酸化膜形成	平坦化デポ, SiO2, 50nm
4	ゲートポリSi作成	マスク指定、等方性デポ, poly-Si:1um
5	酸化膜堆積	マスク指定、等方性デポ, SiO2: 500nm
6	側壁デポ	等方性デポ, SiO2: 1.5um
7	側壁エッチ	非等方性エッチ, SiO2: 1.5um
8	チャンネル形成イオン注入	Al, 300keV, 5e13[cm ⁻²]
9	拡散	N2, 1200°C, 5時間
10	ソース形成マスクデポ	マスク指定、等方性デポ, SiO2:500nm
11	ソース形成イオン注入	N, 50keV, 1e16[cm ⁻²]
12	拡散	N2, 1000°C, 10分
13	コンタクト形成(ソース、ゲート)	マスク指定、非等方性エッチ
14	電極形成(ソース、ゲート)	Al, 等方性デポ
15	形状整形	平坦化デポ, SiO2
16	形状整形	平坦化エッチ

プロセスシミュレーション結果

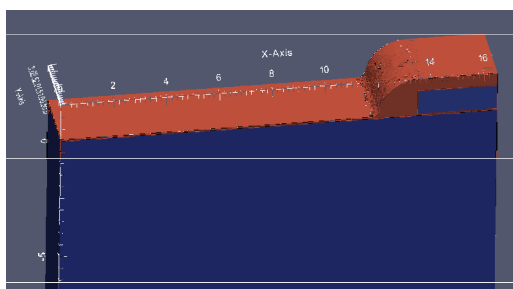
①ポリゲート堆積



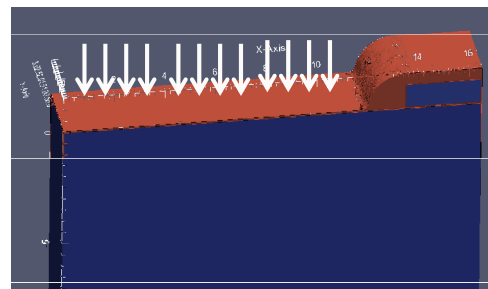
②側壁デポ



③側壁エッチ

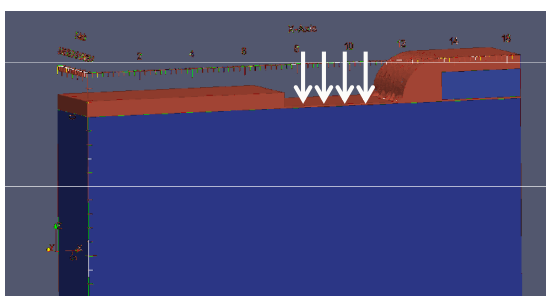


④チャンネル領域イオン注入&拡散

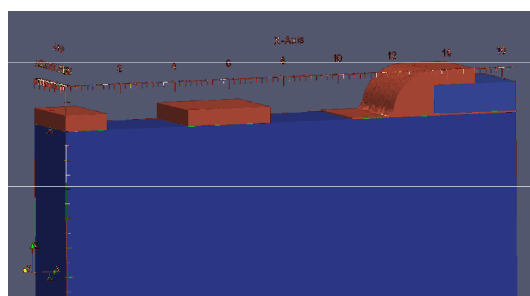


プロセスシミュレーション結果

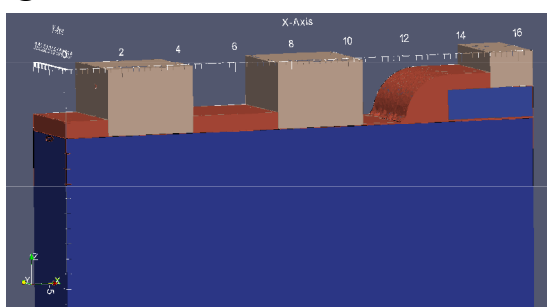
⑤イオン注入マスクデポ&イオン注入



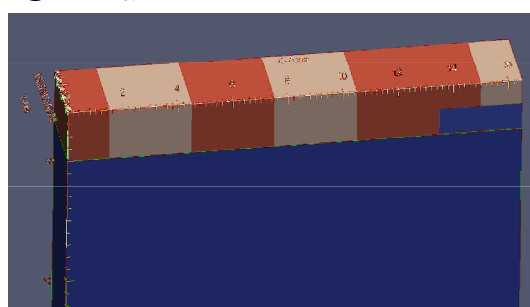
⑥コンタクトエッチ



⑦Al電極デポ

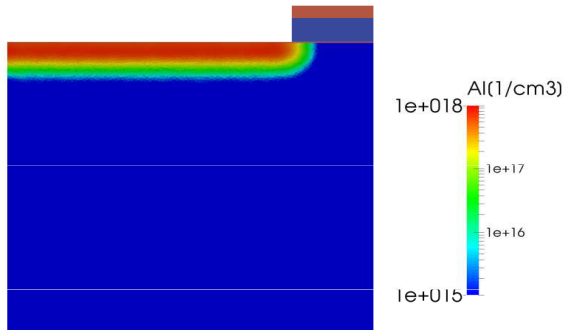


⑧最終構造

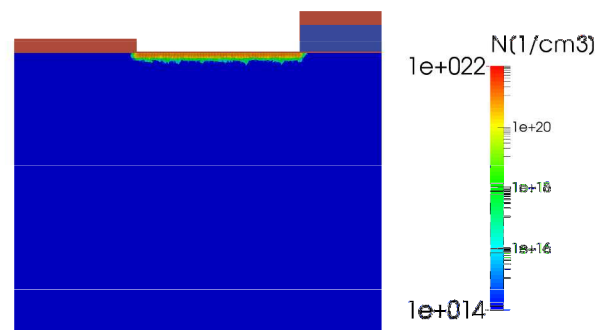


不純物分布

チャンネル領域 Alイオン

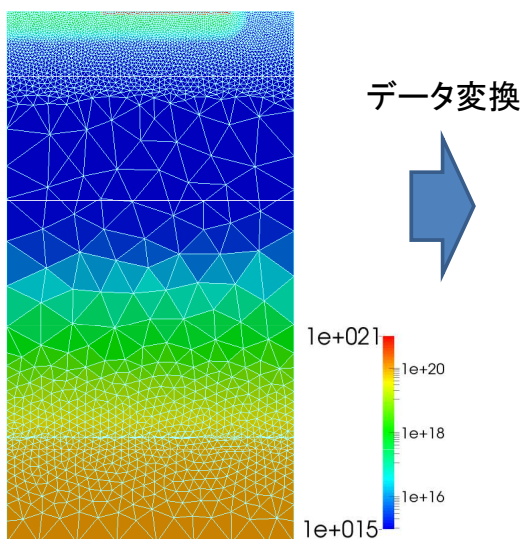


ソース領域 Nイオン



データ変換(メッシュ・不純物分布)

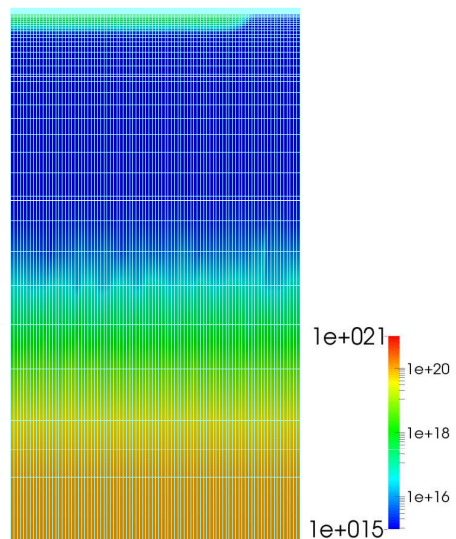
四面体メッシュ



データ変換



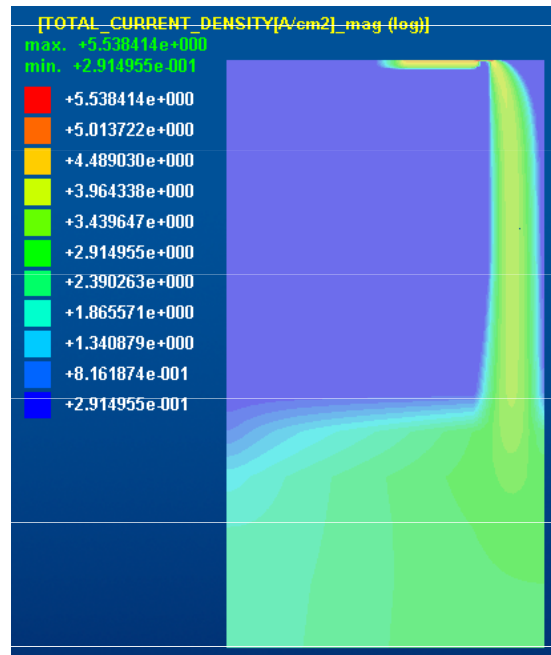
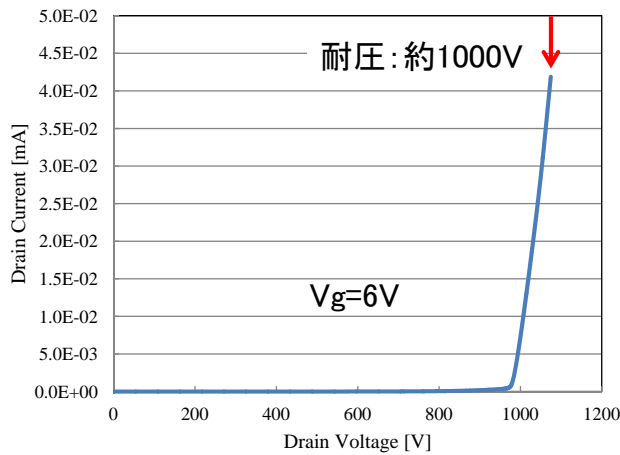
直交メッシュ



SiCパワーMOSFET耐圧計算

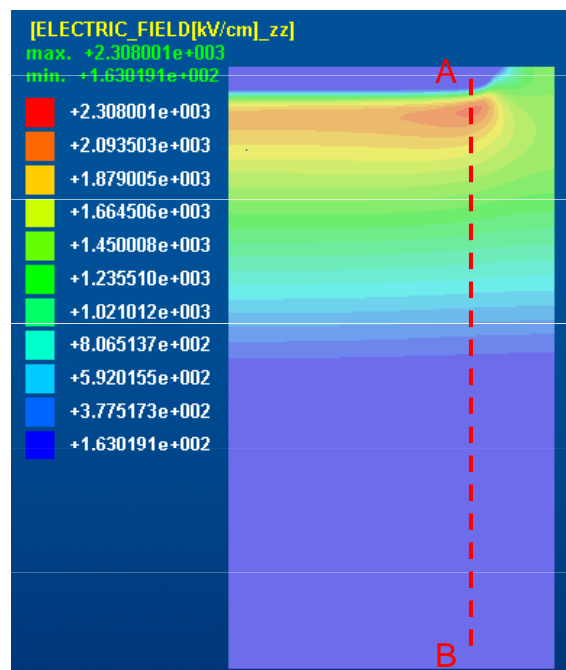
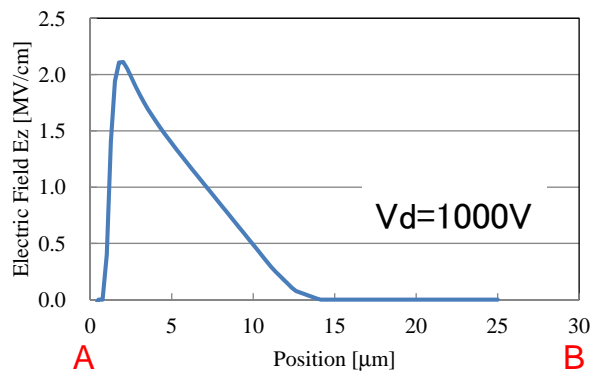
電流密度@Vd=1000V

Id-Vd特性



SiCパワーMOSFET耐圧計算

深さ方向電界(絶対値)分布



ドレイン電圧1000Vのときの深さ方向電界分布

計算時間について

解析プロセスごとの計算時間

	プロセス	デバイス	メッシュ生成	データ変換
(1)Si-IGBT	8時間	3時間	約30分	約10分
(2)SiC縦型パワーMOSFET	12時間	4時間	約30分	約10分

※並列計算なし

まとめ

- Si-IGBT、SiC縦型パワーMOSFETについて、Advance/TCADの解析事例紹介を行った。
- プロセスシミュレーションでは、イオン注入・拡散、デバイスシミュレーションでは、ブレークダウン特性の計算結果を紹介した。

今後のAdvance/TCAD開発計画 ～デバイスシミュレータ～

第1事業部 原田 昌紀

半導体デバイス 3次元TCADシステム発売のご紹介セミナー
2016年7月28日（木）
アドバンスソフト株式会社

Advance/TCAD開発の方向性

- ご要望の多い技術課題への対応
- 実使用において必須の機能

今後の開発検討項目

- 大規模解析機能の拡張
- 大規模熱解析機能の導入
- メッシュ生成機能の拡張

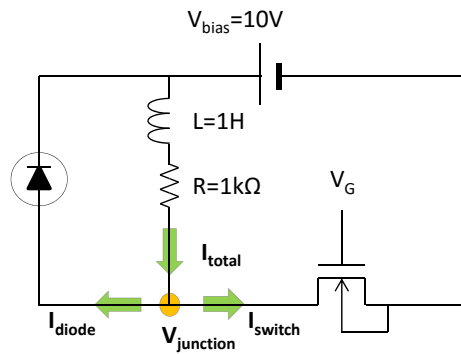
今後の開発検討項目

- 大規模解析機能の拡張
複数デバイス＋回路
一括解析機能の拡張
- 大規模熱解析機能の導入
- メッシュ生成機能の拡張

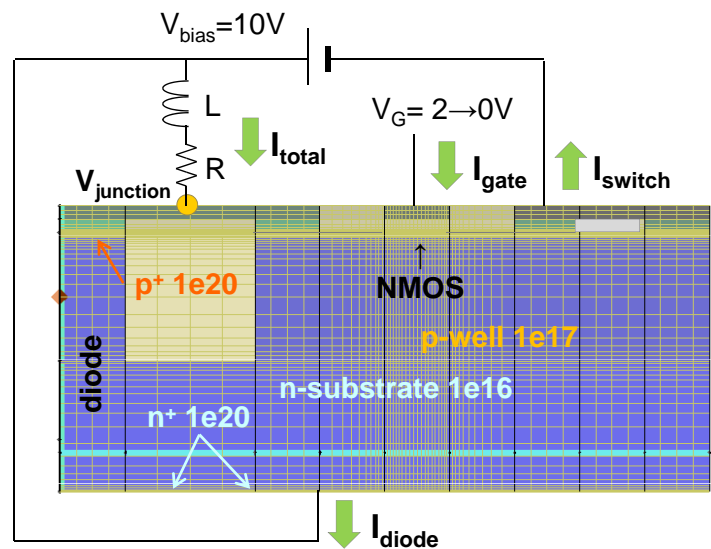
複数デバイスと回路の一括解析機能（現状機能）

モータ制御回路のスイッチオフ時の解析事例

回路



デバイスシミュレーションモデル



初期状態

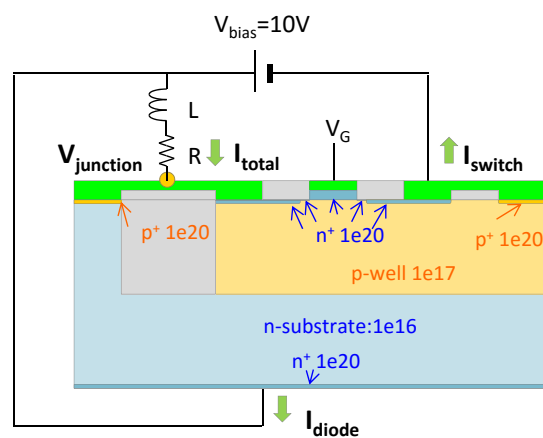
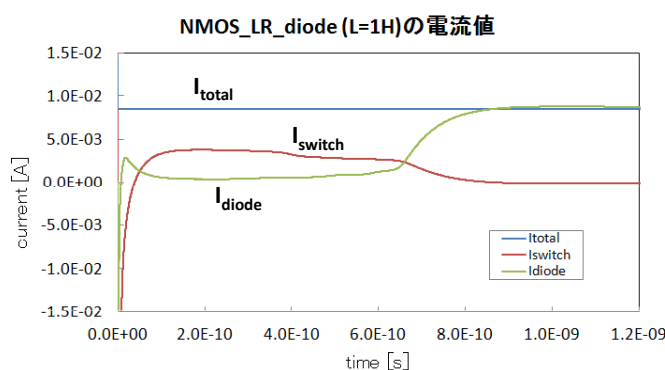
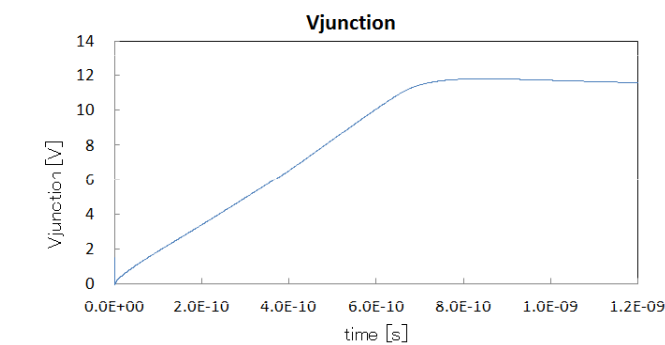
スイッチがオンの状態 ($V_G = 2V$)。

解析内容

スイッチをオフ ($V_G = 0V$) した後の過渡解析

複数デバイスと回路の一括解析機能（現状機能）

モータ制御回路のスイッチオフ時の解析事例



回路解析とデバイス解析の連成方法

連成方法その1 (弱連成: 従来手法)

回路解析

線形素子 (抵抗、モータ、容量)

デバイスシミュレーション

非線形素子 (ダイオード、MOSトランジスタ)

※非線形素子を回路モデルで扱うのは将来課題。

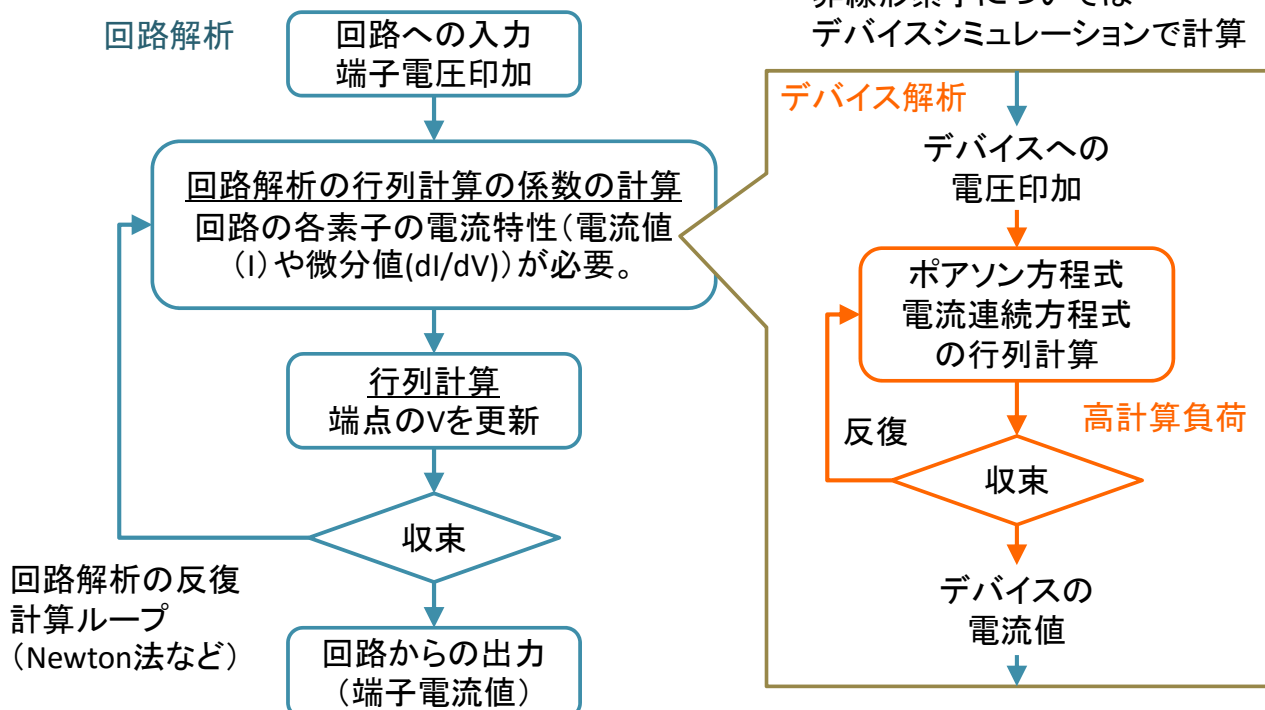


回路解析をベースにして、非線形素子の特性はデバイスシミュレーションの結果として取り込む。

回路解析とデバイス解析の連成方法

連成方法その1 (弱連成: 従来手法)

非線形素子についてはデバイスシミュレーションで計算



回路解析とデバイス解析の連成方法

連成方法その2(強連成:新手法)

回路解析

線形素子(抵抗、モータ、容量)

デバイスシミュレーション

非線形素子(ダイオード、MOSTランジスタ)

※非線形素子を回路モデルで扱うのは将来課題。

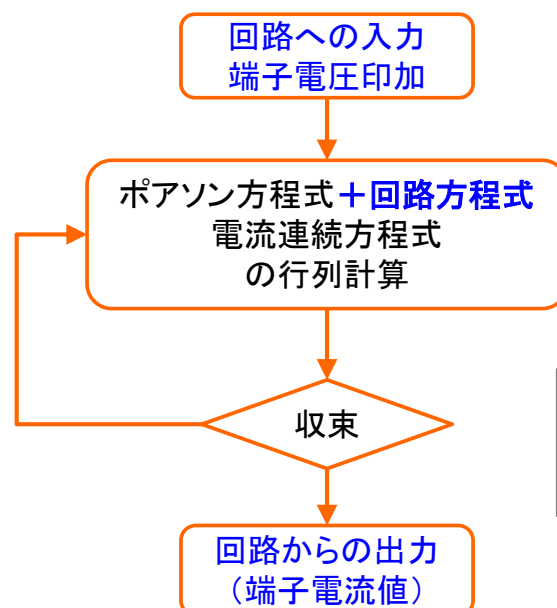


デバイスシミュレーションをベースにして、線形素子の解析式(厳密式)と一括して計算。

回路解析とデバイス解析の連成方法

連成方法その2(強連成:新手法)

デバイス解析+回路解析

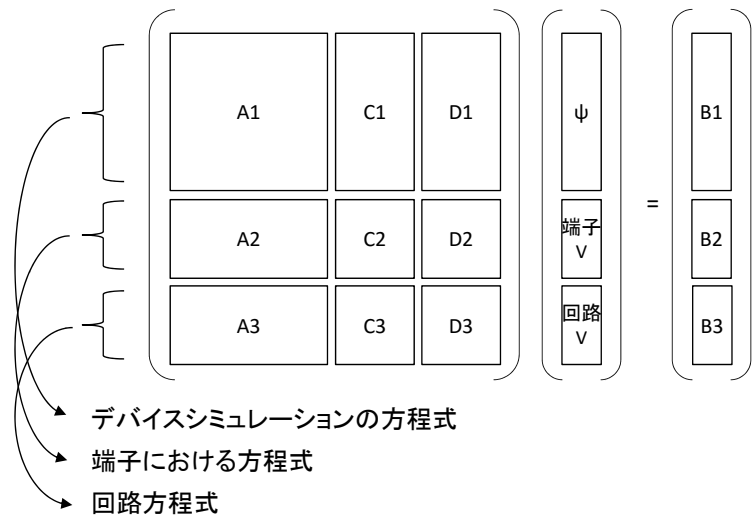
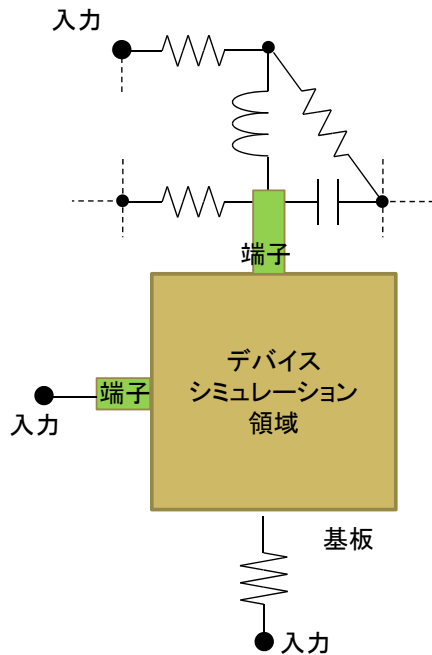


方法その1と比較して、回路解析とデバイスシミュレーションが強く連成

回路解析とデバイス解析の連成方法

連成方法その2(強連成:新手法)

強連成における行列計算



特徴: 回路とデバイスの構成式を一括して解く。

回路解析とデバイス解析の連成方法

連成方法比較

	連成手法その1 弱連成(従来手法)	連成手法その2 強連成(新手法)
デバイス間 近接効果	デバイス間の寄生抵抗・容量はユーザー入力が必要。	複数デバイス一括解析により、デバイス間の寄生抵抗・容量は自動的に考慮される。
計算負荷	回路解析の反復計算ごとにデバイスシミュレーションが実行されるため高負荷。	一回のデバイスシミュレーション実行回数は増えないため計算負荷が小さい。
計算精度	計算精度は低い。 (回路とデバイスの二重の反復計算の誤差が蓄積)	計算精度は高い。 (回路+デバイスの一重の反復計算の精度のみ)

Advance/TCADの手法

回路解析とデバイス解析の連成方法

モータ制御回路のスイッチオフ時の解析事例

	弱連成(従来手法)	強連成(新手法)
時間刻み×ステップ数※	1E-14 [s] × 120000 (※これ以上の時間刻みでは収束しない。)	① 1E-14 [s] × 100 ② 1E-13 [s] × 500 ③ 1E-12 [s] × 950
デバイス反復計算収束判定値	1E-6(※これ以上だと非物理的な解に収束してしまう。)	1E-4 (物理的に正しい解に収束した。)
計算時間	118時間	6時間

20倍の高速化

強連成では大きな時間刻みおよびデバイス計算の収束判定値でも正しい解が得られるようになり、計算時間が大幅に短縮した(20倍)。

Advance/TCADの 複数デバイス+回路一括解析機能の拡張

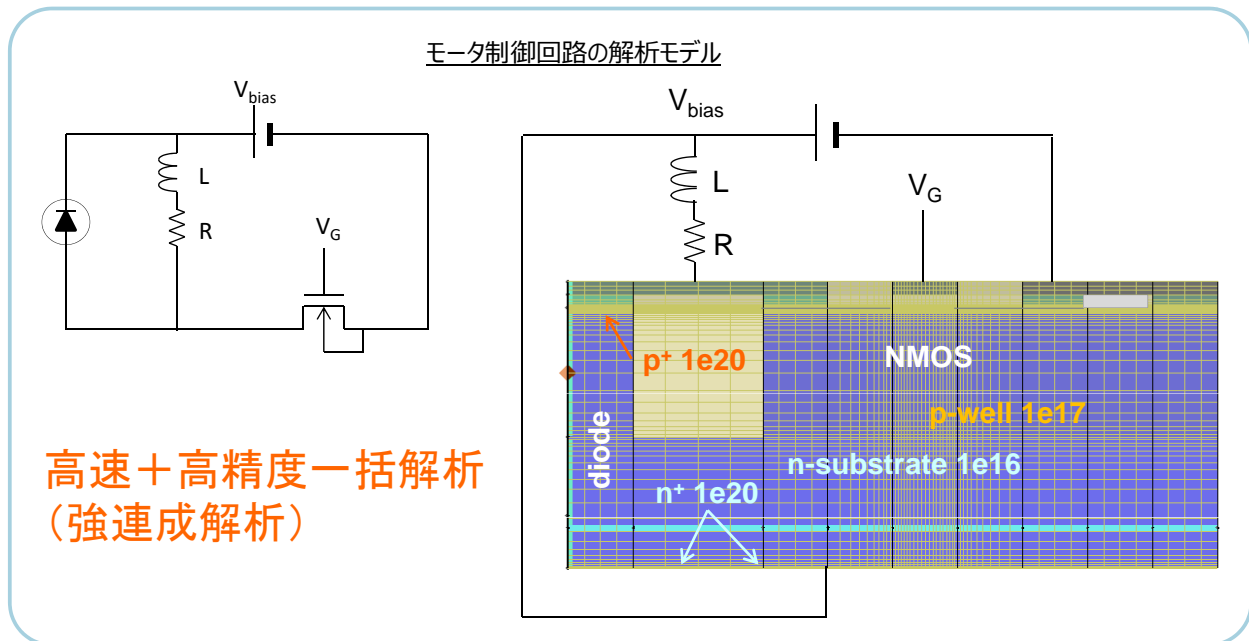
高速+高精度の一括解析(強連成)
をベースに機能を拡張する。

拡張①: 非線形素子の回路モデルに対応。

拡張②: 複数デバイスを個別にモデル化。

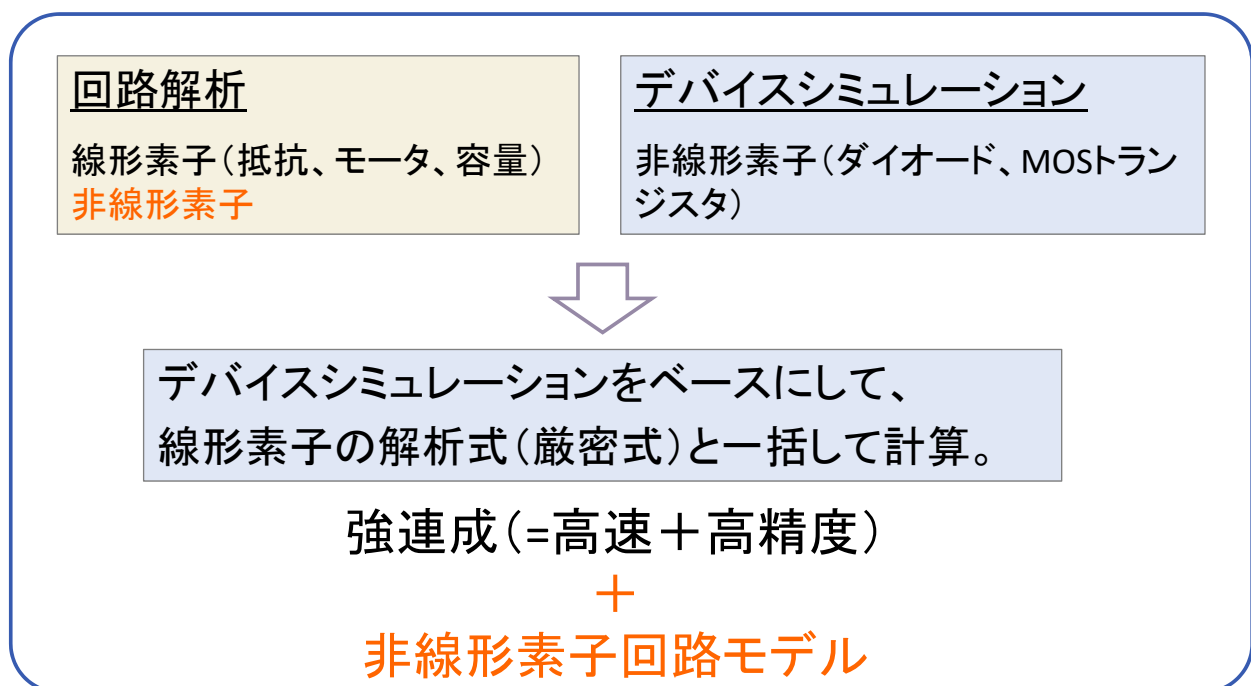
複数デバイス+回路一括解析機能の拡張

現在の機能でできる解析



複数デバイス+回路一括解析機能の拡張

拡張①: 非線形素子の回路モデルも扱えるようにする。



複数デバイス＋回路一括解析機能の拡張

拡張①: 非線形素子の回路モデルも扱えるようにする。

モータ制御回路の解析モデル

NMOS

強連成解析 (=高速＋高精度)
＋
非線形素子回路モデル

お使いの回路モデルを用いた高速、高精度連成解析が可能

複数デバイス＋回路一括解析機能の拡張

拡張②: 複数デバイスを個別にモデル化

モータ制御回路の解析モデル

diode

NMOS

強連成解析 (=高速＋高精度)
＋
複数デバイスモデル

作成が容易な小規模モデルを組み合わせで高速、高精度連成解析が可能

今後の開発検討項目

- 大規模解析機能の拡張
- 大規模熱解析機能の導入
- メッシュ生成機能の拡張

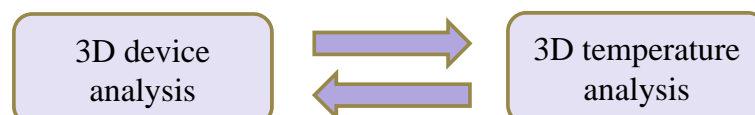
Advance/TCADの大規模熱解析機能

開発目的

- 多様なニーズに対応できる熱解析機能を開発する。

特徴

- ベースは熱拡散方程式。
- 解析対象に応じた幅広い空間スケール、時間スケールでの解析を可能とする。
- 大規模なメッシュにも対応。
- 並列計算にも対応予定。
- 電気特性との連成を可能とする。
- 定常解析および過渡解析の両方に対応可能とする。
- 境界条件は、断熱境界、自由境界、固定境界などから選択可能とする。



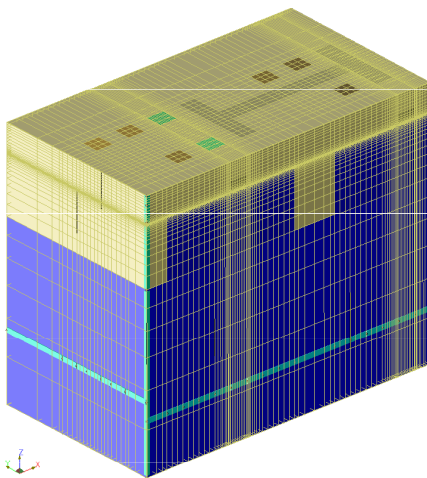
今後の開発検討項目

- 大規模解析機能の拡張
- 大規模熱解析機能の導入
- **メッシュ生成機能の拡張**

メッシュ生成機能の拡張

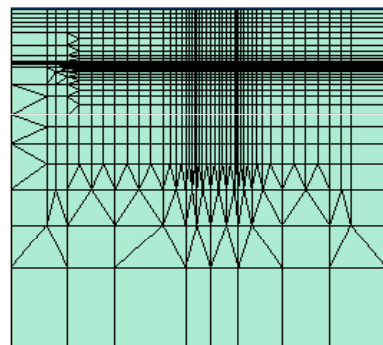
現在のメッシュ機能

基本は六面体メッシュ



粗密制御がし易く、スケールが大きくことなる領域が混在したモデルにも対応。

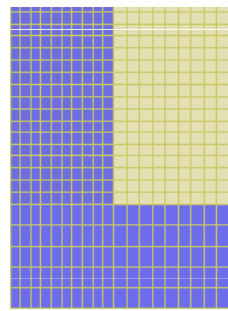
粗密制御機能では三角柱も使用可能。



メッシュ生成機能の拡張

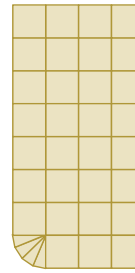
構造角部の メッシュ機能

六面体メッシュ



スケールが大きくこ
となる領域が混在し
たモデルにも対応。

+



拡張機能:
角部を多角形として表す。
(具体的な手法は今後検討。)



パワーデバイスなどの大規模なモデルにおける角部の局所的な電界集中を正確に計算可能となる。

今後の開発検討項目まとめ

- 大規模解析機能の拡張
- 大規模熱解析機能の導入
- メッシュ生成機能の拡張

ご清聴ありがとうございました。

終わりに

ご清聴ありがとうございました。

アドバンスソフトは、高度な技術力、開発力、人材を武器に、最先端理論を応用した解析シミュレーションソフトウェアを開発・販売しています。受託解析、受託開発、パッケージソフトウェア、コンサルティング等多様なソリューションを通じて、お客様の問題解決に即戦力として貢献します。

お問い合わせ先: 木部又はご担当営業まで
TEL:03-6826-3971 FAX:03-5283-6580
E-mail:office@advancesoft.jp



警告

このレポートに収録されている文章および内容については、ご自身のために役立つ用途に限定して無料配布しています。このレポートを、販売、オークション、その他の目的で利用するには、著作権者の許諾が必要になります。このレポートに含まれている内容を、その一部でも著作権者の許諾なしに、複製、改変、配布を行うことおよびインターネット上で提供する等により、一般へ送ることは法律によって固く禁止されています。