

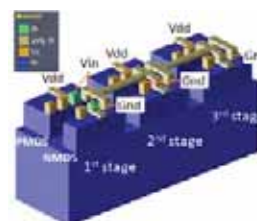
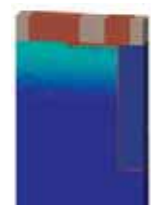
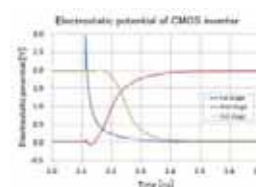
Made in Japan の LSIデバイス設計CADシステム Advance/TCADのご紹介

2015年6月30日(火) 開催

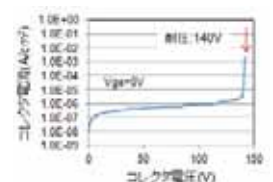
プログラム

13:20~13:40 (20分)	LSI デバイス設計 CAD システム Advance/TCAD のご紹介	代表取締役会長 小池 秀耀 3
13:40~14:00 (20分)	デバイスシミュレータの概要と特徴	主管技師長 山口 憲15
14:00~14:10 (10分)	フローティング解析とパワーデバイス用の解析機能	主管技師長 山口 憲
14:10~14:30 (20分)	過渡解析と複数トランジスタの一括解析	研究主席 原田 昌紀35
14:30~14:40 (10分)	休憩	
14:40~15:00 (20分)	プロセスシミュレータの概要と特徴	主管研究員 大倉 康幸55
15:00~15:20 (20分)	イオン注入計算 (Si、SiC)	研究員 岡本 稔.....67
15:20~15:40 (20分)	統合プラットフォーム	主事研究員 徳屋 純一79
15:40~16:00 (20分)	並列計算機能	主任研究員 桑原 匠史89
16:00~16:20 (20分)	Si と SiC のパワーデバイスの解析事例	研究員 山田 吉宏99
16:20~16:30 (10分)	質疑応答	

AdvanceSoft



3段 CMOS インバータチェーンの
解析事例



IGBT の解析事例

LSIデバイス設計CADシステム

Advance / TCAD

平成27年6月30日

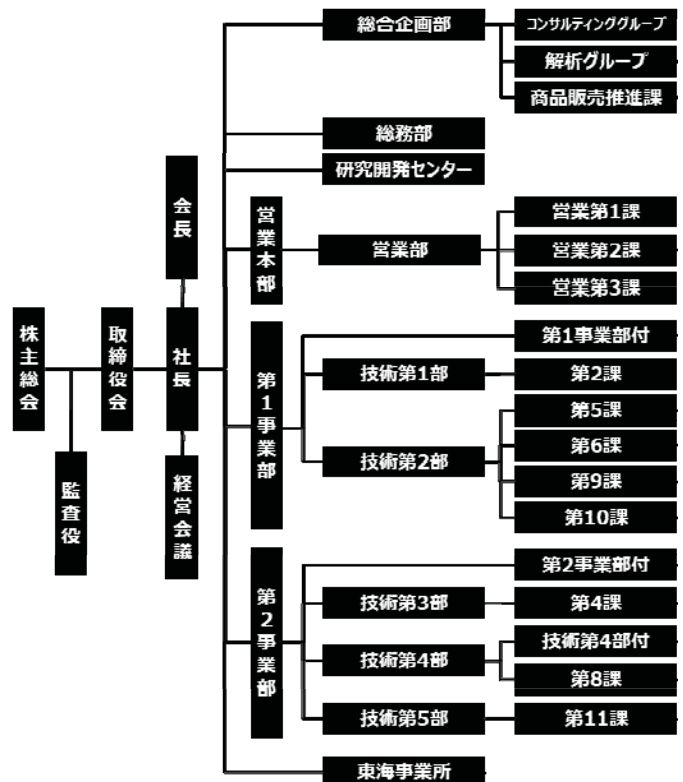
アドバンスソフト株式会社

1

会社概要

アドバンスソフト株式会社はシミュレーションや関連ソフトウェア開発を中心とした計算科学技術の専門企業として、2002年4月に設立されました。当社は、産業の基盤技術である計算科学技術を中心としたデジタルエンジニアリング技術において、世界をリードする企業になることを目指しています。

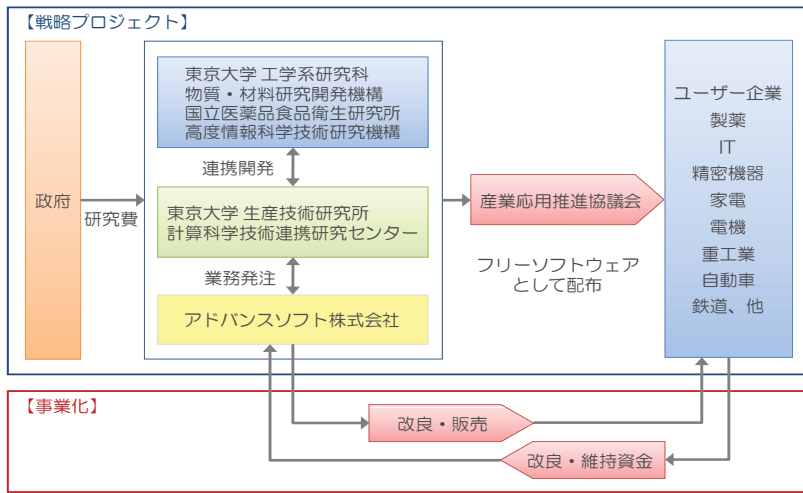
名称 アドバンスソフト株式会社
英文名 AdvanceSoft Corporation
本社 〒101-0062
東京都千代田区神田駿河台四丁目3番地
新お茶の水ビルディング17階西
TEL:03-6826-3976 FAX:03-5283-6580
URL <http://www.advancesoft.jp>
設立 2002年(平成14年)4月24日
資本金 3,724 万円
従業員数 76 名
役員
代表取締役会長 小池 秀耀
代表取締役社長 松原 聖
専務取締役 三橋 利玄
取締役 田崎 好重
監査役 平林 寛治



2

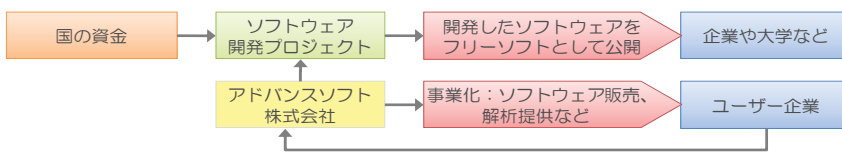
3

国家プロジェクトとアドバンスソフトの設立



文部科学省はわが国の計算科学技術の振興目的として戦略的基盤ソフトウェア開発プロジェクトと革新的シミュレーション・ソフトウェア開発プロジェクトを2002年～2007年の6年間実施しました。このプロジェクトは、総額約70億円のわが国最大のソフトウェア開発プロジェクトであり、東京大学生産技術研究所を中核とした「学」と「産」のアドバンスソフト(株)の強力な産学官連携により推進されました。

研究開発成果の事業化



このプロジェクトの目的は

- ①複雑・大規模な世界水準の戦略的基盤ソフトウェアを開発し公開する
- ②戦略ソフトを開発できるトップレベルの人材を世界最先端のソフトウェア開発を通じて育成する
- ③戦略的基盤ソフトウェア開発の大学と企業の連携による研究拠点の構築をする
- ④アドバンスソフトによる開発したソフトウェアの事業化と持続的な改良をする

アドバンスソフト(株)はこのプロジェクトを推進し、世界最高水準のソフトウェアを開発するとともに、その成果を事業化することを目的として設立されました。

3

TCADの歴史と現状

- 最初の商業用TCADはTMA社によるものである。[スタンフォード大学](#)のダットン教授が開発したプロセスシミュレータ(SUPREM、SUPREM3、SUPREM4)とデバイスシミュレータ(PISCES)をベースに、TMA社は、TSUPREM4とMEDICIをリリースした。これが1979年のことである。1989年には、[シルバコ・インターナショナル](#)社がスタンフォード大の同シミュレータをベースにプロセスシミュレータATHENAとデバイスシミュレータATLASIによるTCADを発表した。同年、スイスのISE社^[2]はプロセスシミュレータDIOSとデバイスシミュレータDESSISによるTCADの発表を行なった。これら3社がTCADの3大メーカーである。当初は1次元2次元のプロセスシミュレータであったが、フロリダ大学で開発された3次元プロセスシミュレータFLOOPSがISE社で商用化され、より実際のプロセスで実際の構造が構築できるようになった。
- しかし、半導体ベンチャー企業は、莫大な設備投資のかかる半導体プロセスラインを持つことなく、外部のファウンダリーを利用することが多く、通常のCADと同等の数が売れるわけではなく、他のCADソフトの様に販売後の保守費用で利益を上げるビジネスモデルが成立しにくい状況となった。そのため、TMAは1998年に[アヴァンティ](#)社に買収。その後、2001年にアヴァンティ社は[シンプシス](#)社に買収され、ISE社も2004年にシンプシス社に買収された。
- 現在、シンプシス社は、旧TMAのTCADの販売を中止し、旧ISE社のTCADを中心に販売しており、TCADの主要メーカーは2社となっている。(ウィキペディアより)

4

わが国の現状

- 1980年代はわが国の半導体メーカー各社でTCADを開発していた。
- 半導体先端テクノロジーズ (Selete) のTCADシステム : **HyENEXSS**
1996年-2011年)わが国の半導体メーカーが総力を挙げて開発

2011年にSeleteが解散。実質的に海外企業の独占状態にある。

富士総合研究所の半導体素子設計シミュレータ (1993年現在)

シミュレータの種類	シミュレータ名	目的
素子設計総合シミュレータ	VEGA	● レイアウト・パターンから任意の断面の形状、不純物濃度分布、電気特性を一貫して求めることできる2次元総合シミュレータ ● ワークステーションを使用するCADツール
プロセス・シミュレータ	VS-P/B	● 任意断面の不純物濃度分布を求める2次元プロセス・シミュレータ
	POLAR-2D	● 複雑な形状や酸化による形状の変化等を高精度の解析モデルを用いて詳細解析を行う2次元プロセス・シミュレータ
形状シミュレータ	VS-M/B	● 半導体デバイスの2次元断面形状を作製プロセスに従ってシミュレートする
	F TREPTON	● 3次元光リソグラフィ・シミュレータ ● 位相シフト法に対応できる ● 2次元光強度と3次元現象をシミュレート
プロセスの個別工程シミュレータ	BTE-2D	● イオン注入を詳細に解析するためのシミュレータ ● 2次元 Boltzmann 方程式を解き、シリコン基板に打ち込まれたイオンの挙動を追跡する
	LASER-2D/A	● レーザ・アニール法で半導体デバイスを作製する場合の温度分布の時間的変化を計算する2次元シミュレータ
デバイス・シミュレータ	VENUS-2D/B	● 連続体モデルによる2次元デバイス・シミュレータ ● 半導体デバイスの電気特性を求める
	VENUS-3D	● 連続体モデルによる3次元デバイス・シミュレータ
	FEMTO-2D	● 粒子モデルによる2次元デバイス・シミュレータ ● モンテカルロ法を用い、半導体デバイス内の電子の挙動をシミュレートする ● 半導体デバイスの電気特性を求める
パラメータ抽出プログラム	PARAM	● 回路シミュレーションで必要となる素子モデル式のパラメータをデバイス・シミュレーションの結果より抽出する
回路シミュレータ	FCAP	● スーパーコンピュータ用の高速回路シミュレータ
LCR計算プログラム	LCR-3D	● LSI回路のインダクタンス、配線容量、抵抗を計算する3次元シミュレータ

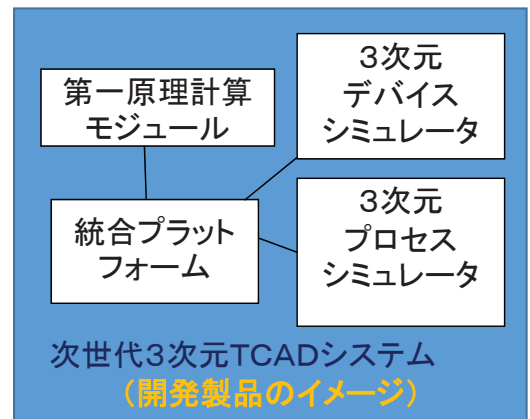
5

Advance/TCAD

- ◆ LSIの開発、製造においてTCADシステムは必要不可欠のツールとなっているが、現在、TCADシステムは米国のシノプシス社とシルバコ社がほぼ独占している。しかし、両社の主力製品は2次元TCADシステムであり3次元解析が必須となる30ナノメートル以下の微細素子解析においてはその地位を確立していない。また、今後重要となるパワーデバイスの解析機能も市場のニーズに応えていない。
- ◆ 製品: 本研究では次世代TCADシステムを開発する。**Advance/TCADは半導体の微細化、高度化に伴い現状のTCADシステムでは対応できない課題を解決するシステムである。**

Advance/TCADは科学技術振興機構殿の研究成果最適展開支援プログラム(A-STEP)の実用化挑戦タイプの支援を受け開発しました。

A-STEPは大学・公的研究機関等(以下、「大学等」という。)で生まれた国民経済上重要な科学技術に関する研究成果を基にした実用化を目指す研究開発フェーズを対象とした国の技術移転支援プログラムです。



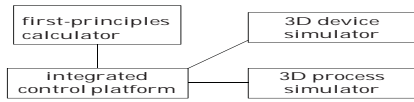
5

Yasuyuki Ookura, Nobuhiko Kato, Shin-ichiro Kobayashi, Takuhito Kuwabara, Masanori Harada, Ken Yamaguchi and Hideaki Koike
AdvanceSoft Co., Tokyo, Japan

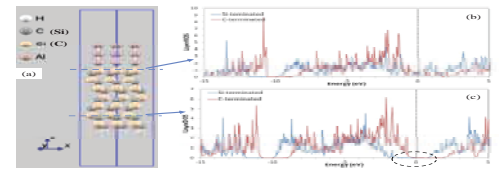
INTRODUCTION

A new 3-D TCAD system has been proposed aiming close coupling of first-principles calculator, process, and device simulators in response to requirements for ultra-small to high-power semiconductor devices of which crystals and materials have been diversified unlimitedly.

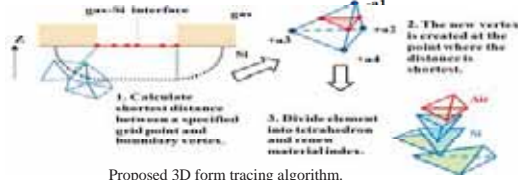
In this paper, topics of each program are demonstrated.



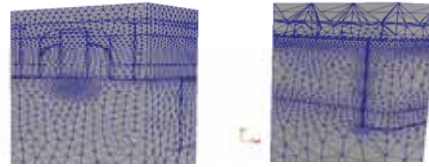
Advance/TCAD system.
Three parts are seamlessly operated by integrated control platform with flexible graphical user interface.



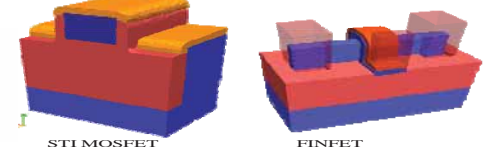
(a) Calculation model in the case of 4H-SiC(0001)-Al(111). LDOS at the interface (b) and bulk (c).



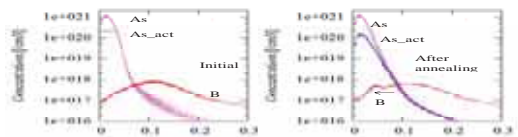
Proposed 3D form tracing algorithm.



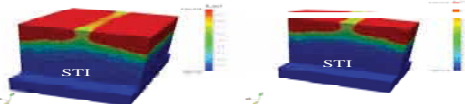
An example of STIMOSFET and IGBT structure using the proposed algorithm.



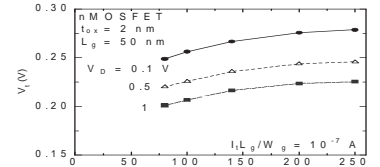
Examples of the final structures using a new algorithm.



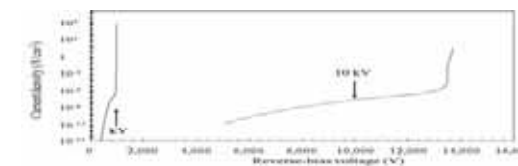
The distribution of As(total), B(total), As(active) (a) as implantation, (b) after annealing. The peak of B shifts toward the peak of As.



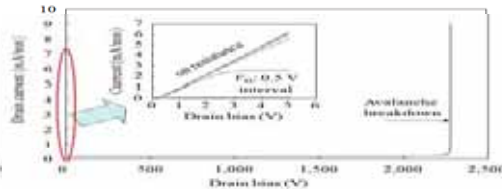
Change of boron profile by channel width due to the arsenic deactivation ($W_g = 250$ nm (left) / 80 nm (right) and $L_g = 50$ nm).



Appearance of narrow-channel effect on the threshold voltage of MOSFETs due to the change of boron profile by the deactivation of arsenic.



Current-voltage characteristics of SiC diodes over 10 kV.



Current-voltage characteristics of SiC vertical MOSFET over 2 kV.

CONCLUSIONS

The derivation of Schottky-barrier height using first-principles calculator, a robust and high-speed topographical algorithm using the distance function for the process simulator, a 3-D narrow-channel effect of MOSFET due to arsenic deactivation, robust calculation for high-voltage breakdown characteristics of wide-gap devices has been demonstrated by a new 3-D TCAD system.

Copyright ©2014 AdvanceSoft Corporation. All rights reserved.

開発する次世代TCADシステムの概要

◆製品: 本研究では次世代TCADシステムを開発する。「次世代3次元TCADシステム」とは半導体の微細化や高度化に伴い現状のTCADシステムでは十分対応できない課題を解決するシステムである。従来のTCADに加えて、新技術は以下のとおりである。

①微細素子の解析機能の強化

- ・ バリスティック輸送解析
- ・ CMOSインバータの一括解析と複雑構造や複数トランジスタの一括解析(10トランジスタ程度)
- ・ 3次元解析(微細素子、パワーデバイスでは不可欠)

②パワーデバイスへの対応

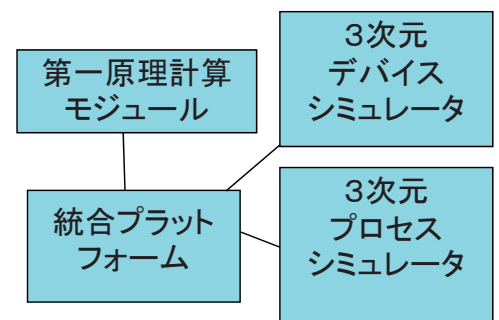
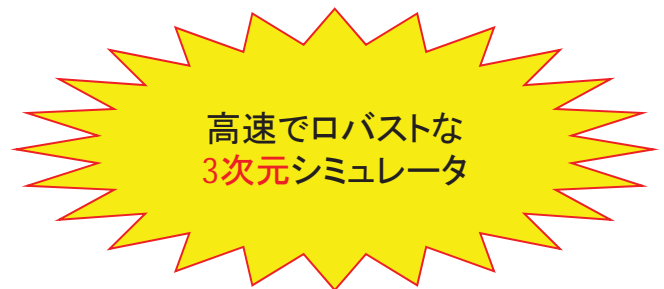
- ・ フローティング電極, 高耐圧のロバスト解析
- ・ デバイスの3次元形状近似の高度化

③第一原理計算との活用(材料探索など)

- ・ ITRSの課題への挑戦

④計算技術

- ・ 並列コンピュータへの対応(MPIによる分散並列)
- ・ プロセスの3次元形状追跡、3次元自動メッシュ
- ・ 大規模計算の高速化



デバイスシミュレータのおもな特徴

特徴	3次元高速解析(並列コンピュータ対応) マスク利用により立体構造を容易に作成 3次元メッシュの自動生成 不純物のばらつき解析 パワーデバイスのフローティング電極のロバスト解析 CMOSラッチアップの直接解析 複数トランジスタの一括解析(10トランジスタ程度)
物理モデル	再結合モデル(SRH、オージェ、深い順位、界面順位) キャリア生成モデル(衝突電離、雪崩増倍、GIDLモデル) 電解依存移動度モデル、パリスティック伝導モデル、絶縁体中の移動度モデル、量子効果(トンネル効果)、量子補正、ヘテロ接合

9

プロセスシミュレータの特徴

- 物理モデル
- イオン注入工程 (モンテカルロ法)
 - 拡散工程
 - 酸化工程 (粘弾性モデル)
 - エッチング工程
 - 堆積
- 数値計算法
- 拡散方程式は有限体積法により離散化する
 - 計算格子は非構造格子(基本は四面体)
 - MPIを用いた分散並列処理(高速、大規模メモリー)
 - 高速線形ソルバー



高速で
ロバストな
3次元
シミュレータ

10

本製品の競合製品に対する優位性

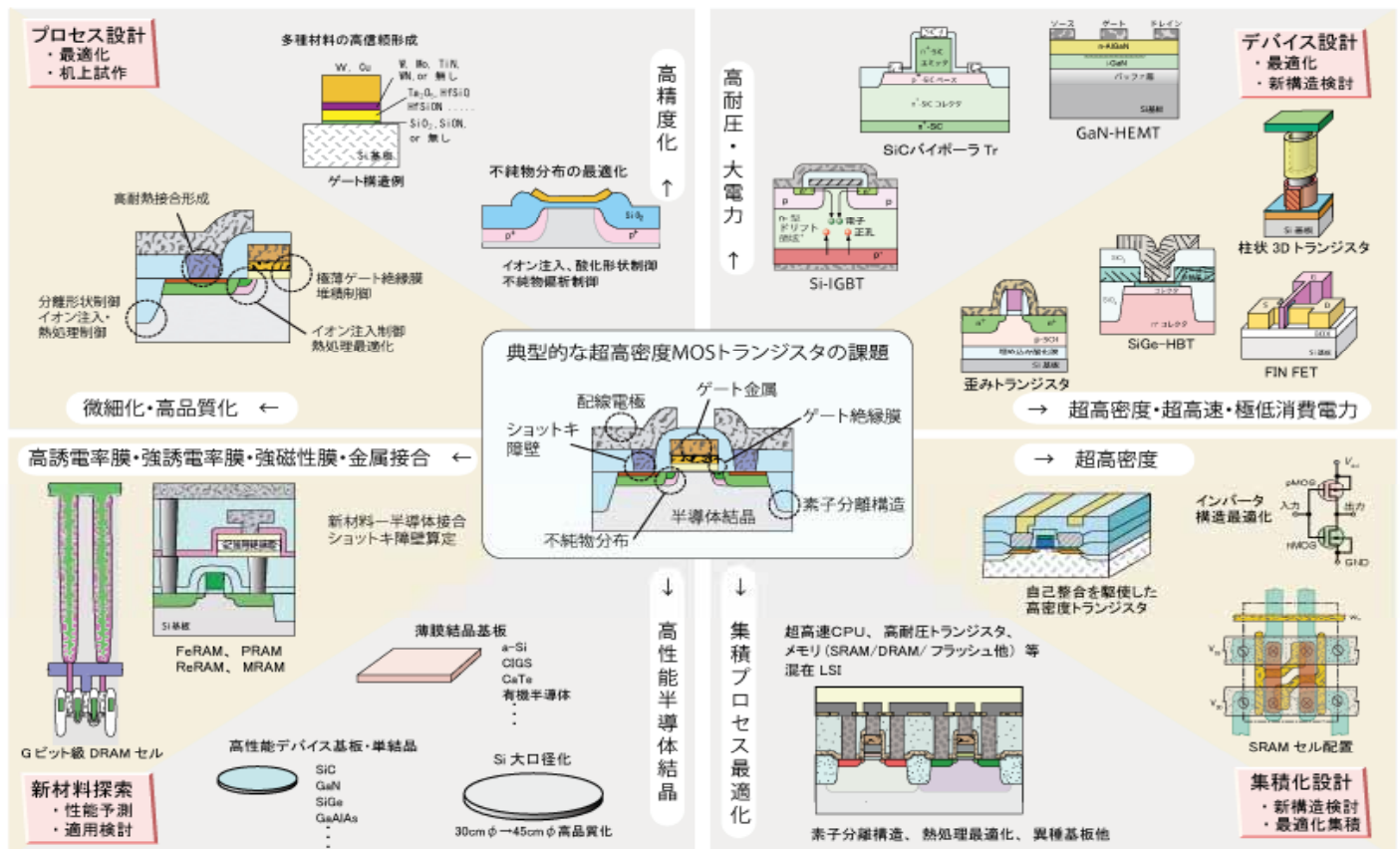
○:相対的に優れている。 △:相対的に劣っている。 ×:機能がないか、実用的とはいえない

シミュレータ	機能	本製品	競合製品	備考
デバイス シミュレータ	バリスティック輸送解析	○	△	計算速度に大きな差。3倍以上速い。
	CMOSインバータの一括解析	○	×	既存ソフトは解析不可
	3次元解析	○	△	ロバスト性、計算速度に差。特に分散並列処理で優位
	並列コンピュータへの対応	○	△	既存ソフトは分散並列に対応できない。大規模並列計算はできない。
	3次元形状追跡、3次元自動メッシュ	○	△	本製品は独自のアルゴリズムを開発しており。精度、ロバスト性に差がある。
	大規模計算の高速化	○	△	並列化などのより計算速度に大きな差。競合製品は1000万格子程度の大規模解析はできない。
	フローティング電極のロバスト解析	○	×	本製品はワイドギャップ半導体の再結合モデルを(②順位モデル)を実装し、フローティング電極の解析を可能とした。既存ソフトには機能なし
プロセス シミュレータ	次世代素子対応:複雑な構造や複数トランジスタの一括解析	○	×	本製品は10トランジスタ以上の一括解析ができる。競合製品は実用的でない。
	イオン注入	○	△	本製品のモンテカルロ計算は並列化されており、大規模解析に関しては競合製品より数十倍以上高速。
	不純物拡散	○	○	本製品には5変数モデルが実装されている。並列計算により高速。競合製品は実績の点で先行している。
	酸化	○	△	競合製品の3次元の酸化計算(粘弾性)は実用的ではない。
	堆積・エッチング	○	×	本製品は3次元の複雑な形状の堆積・エッチングが解析できる。競合製品は複雑な形状に対して実用的でない。

11

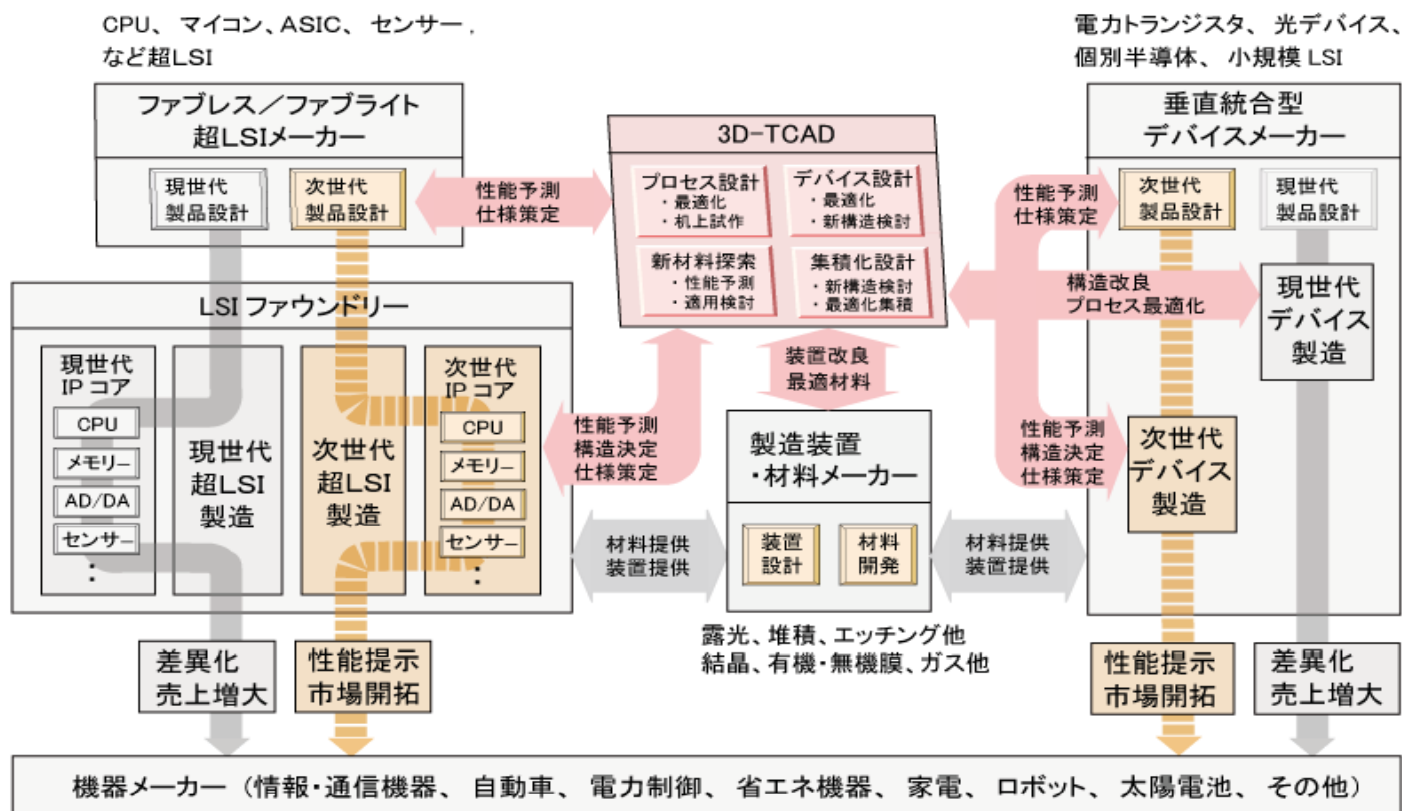
3D-TCAD 適用対象例 (汎用である)

3D-TCAD 適用対象課題

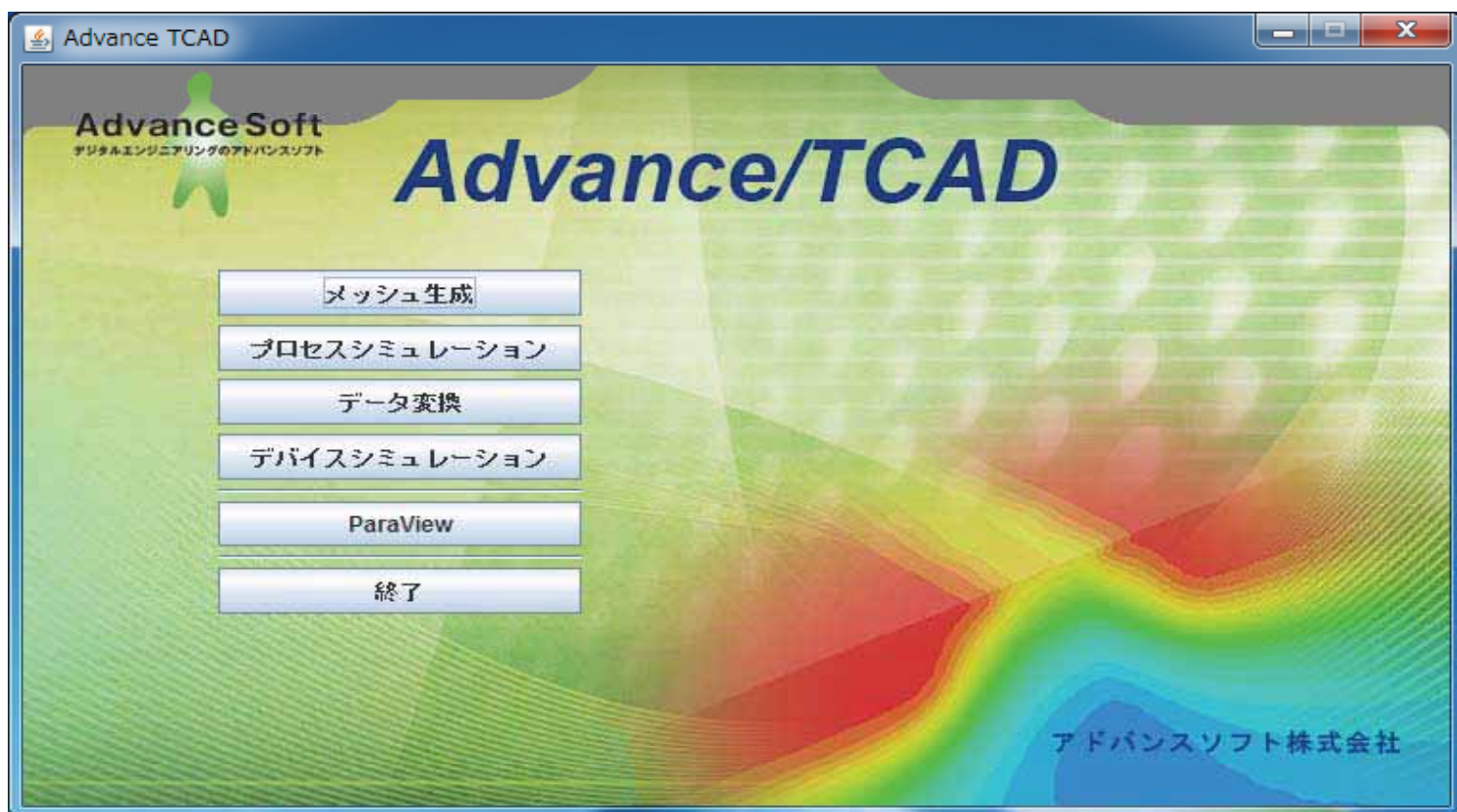


12

3D-TCADのニーズ



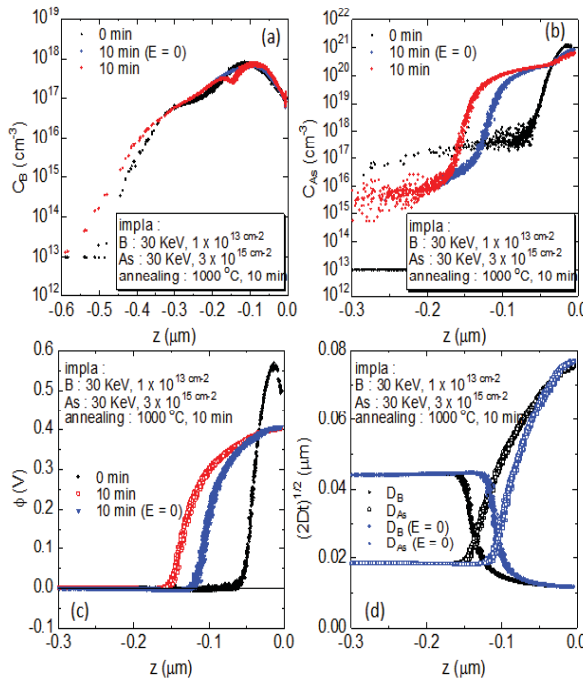
Advance/TCADシステムの概要



拡散

簡易拡散モデル(FERMIモデル)と変数モデルを実装している。FERMIモデルは不純物原子の流束が濃度勾配に比例する項とイオン化した全不純物原子による電界項の和から構成されるモデルである。尚、FERMIモデルで使用する拡散係数等の値はSUPREM4のものを利用している。

FERMIモデル 野結果



赤丸がFERMIモデルを用いた場合の濃度分布で青丸は電界分布がゼロ(E=0)の場合

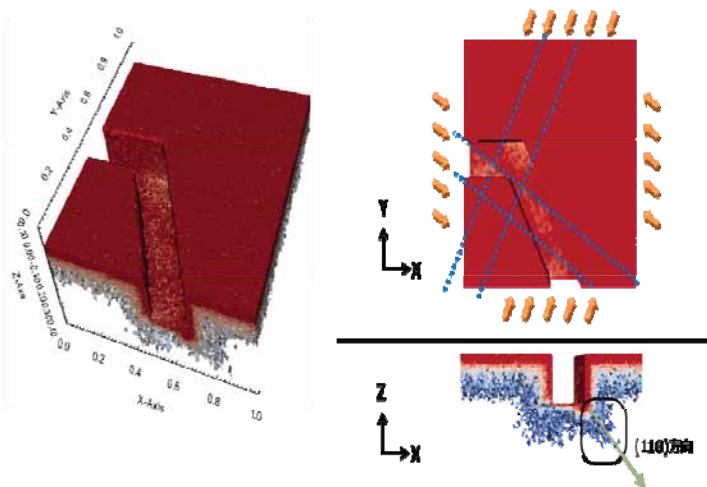
黒: 拡散の初期分布はイオン注入計算の結果

(a)Asおよび(b)Bの深さ方向の濃度依存性(z=0がSi-SiO₂界面でz<0はSi領域)
(c)ポテンシャルの深さ(z)依存性(d)拡散長(2Dt)^{1/2}の深さ(z)依存性

イオン注入

イオン注入機能として、3次元モンテカルロ法アルゴリズムを実装されている。任意のアモルファス材料、および結晶基板への注入計算が可能となった。また、それ以外に4H-SiCなどの六方晶系結晶基板への対応、並列化、分子注入の実装されている。

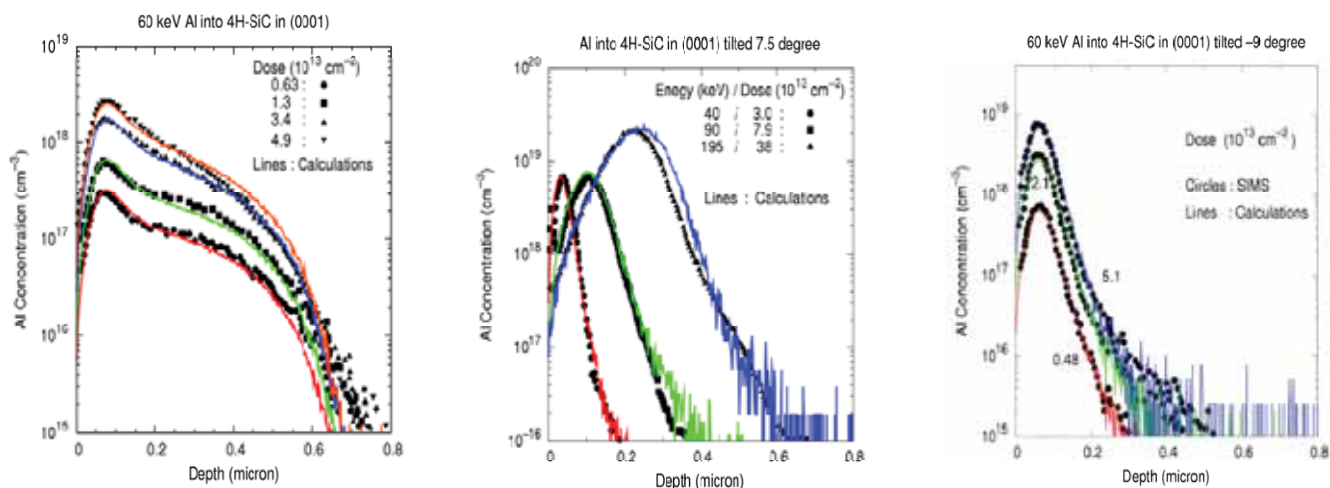
1次元解析を基づく高速解析機能も実装されている。



3次元形状へのイオン注入シミュレーションの結果

六角トレンチ構造の4分の1部分への斜めイオン注入計算の結果。左側の図は全体の鳥瞰図、右側上手はxy平面、右側下図はzx平面で切り取った図。注入条件は、モンテカルロ粒子数 400万個、注入イオンホウ素、注入エネルギー 5keV、注入ドーズ量 10¹⁵/, Tilt角 50°, Rotation角を60°, 150°, 240°, 330° の4方向とした。

◆イオン注入 SiCの6方晶対応

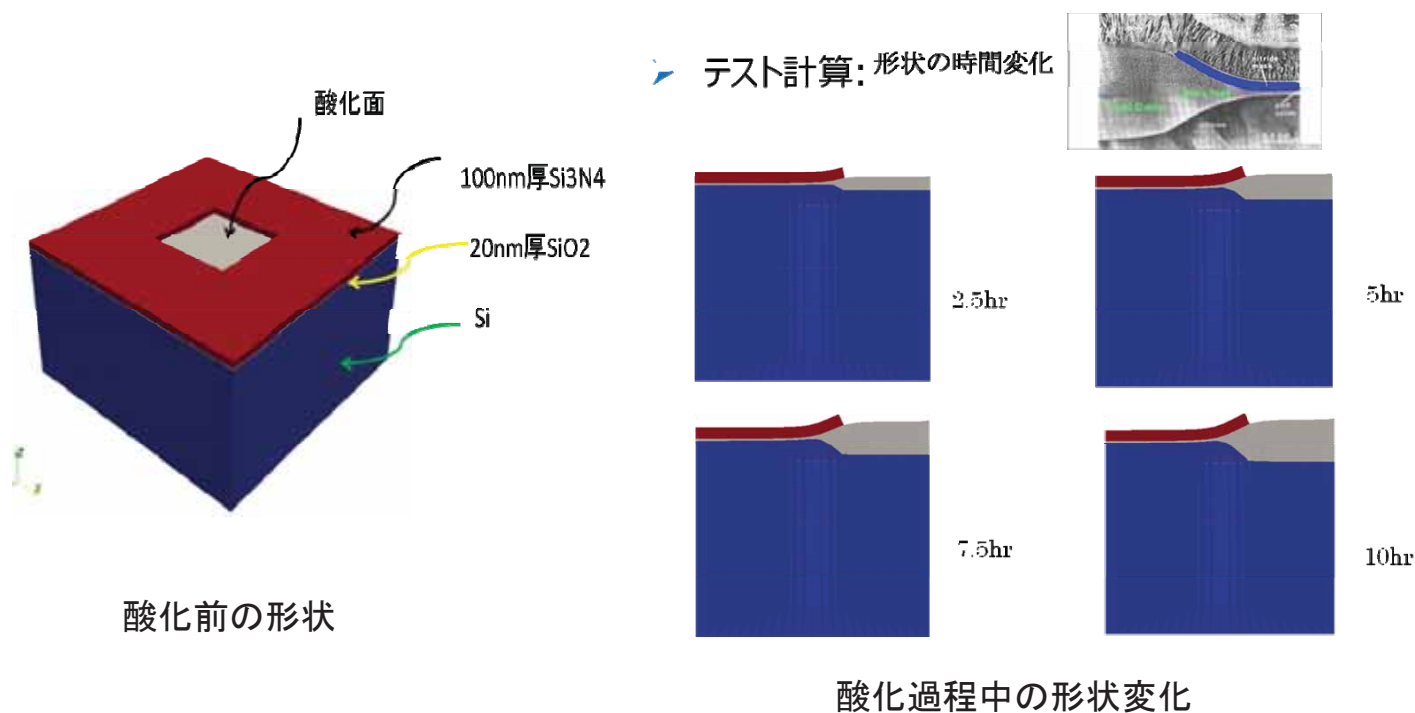


イオン注入シミュレーション 実験値と計算結果の比較

それぞれ4H-SiC結晶基板の(0001)面へのアルミニウムイオンの注入を共通条件とし、左図は注入量依存性、中央図は注入エネルギーと注入量依存性、右図はTilt角を9度と設定し注入量依存性を調べたものである。

酸化

3次元粘弾性モデルが実装されている。また誤差関数を用いた簡略解析機能も実装されている。

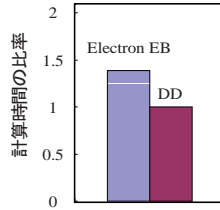


デバイスシミュレータの特徴

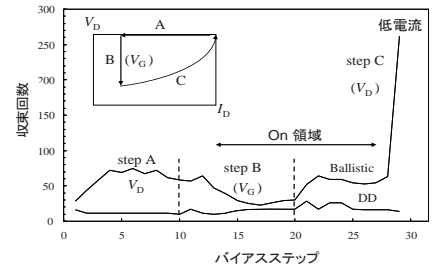
①バリスティック輸送解析で、現状の3倍以上の高速計算手法を確立し、バリスティック輸送解析の実用化を実現した。

②従来は解析できなかったワイドギャップ半導体(例えばSiC)のフローティング電極解析手法を確立し、パワーデバイスの解析を実用化した。

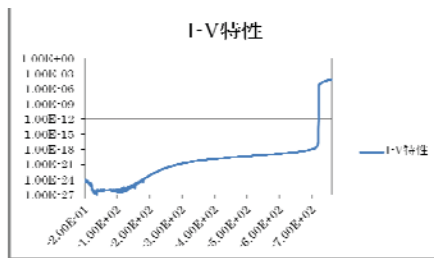
③従来はできなかったCMOSの一括解析手法を確立した。複数トランジスタの一括解析を実現



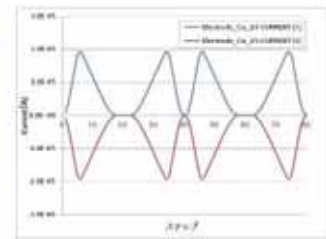
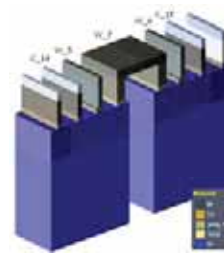
1反復当たりの計算時間比較



一筆書きバイアススケジュールにおける収束回数



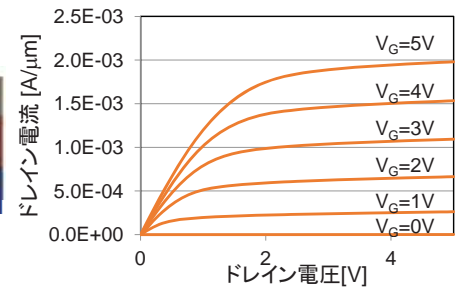
2準位モデルを用いた場合のSiCのI-V特性



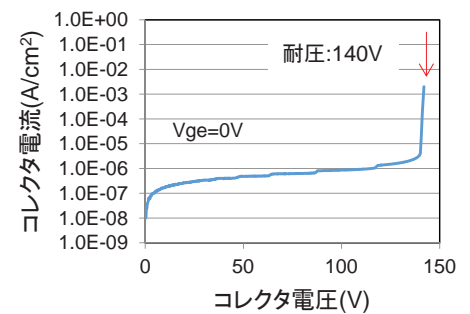
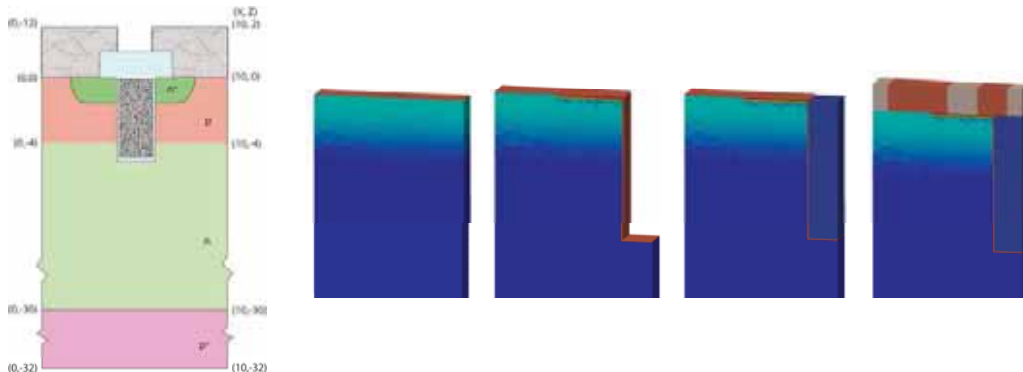
CMOSインバータの簡易モデルと電流-電圧特性

解析事例

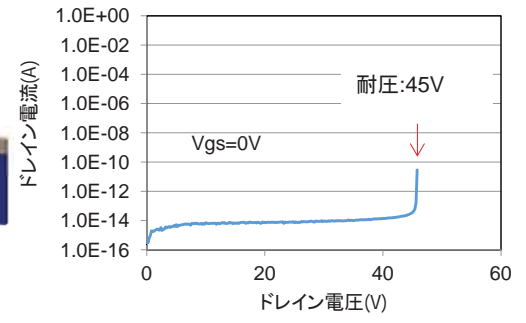
微細MOSFET



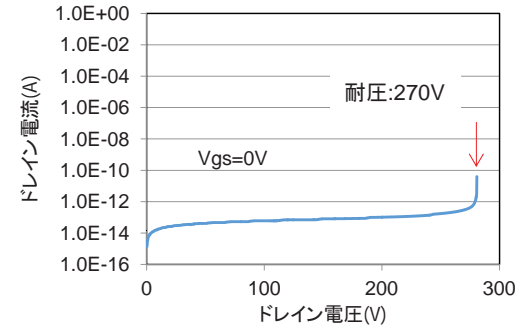
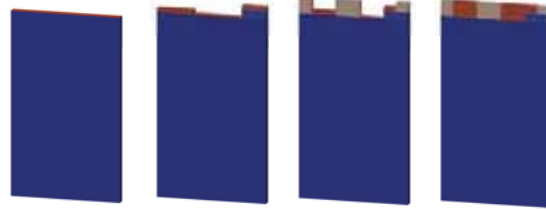
IGBT



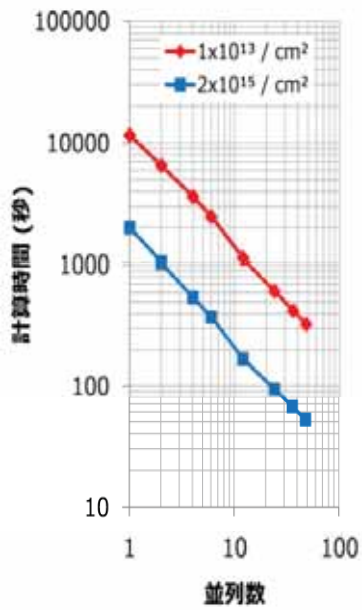
横型パワーMOSFET



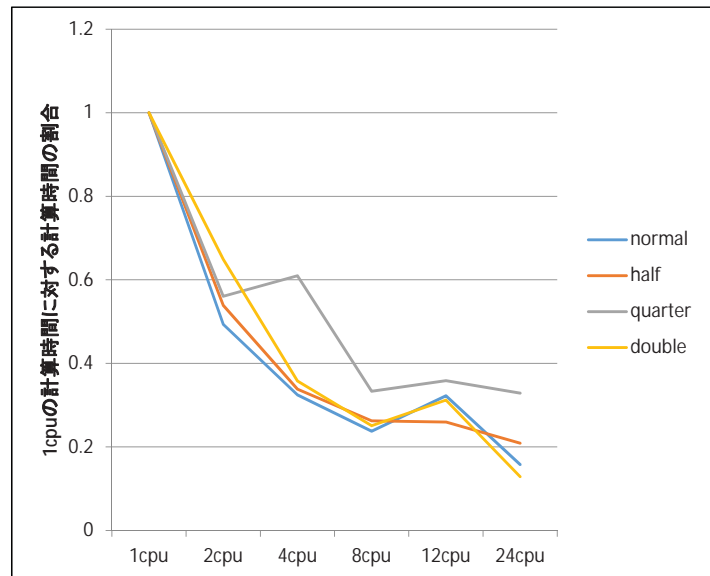
縦型パワーMOSFET



◆ 並列計算



イオン注入
48並列で39倍の高速化



デバイスシミュレーション
Normal: 120万格子数

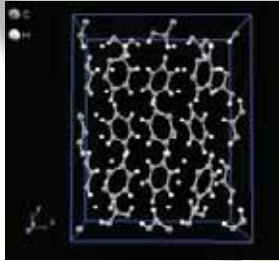
デバイスシミュレータの概要と特徴

主管技師長 山口 憲

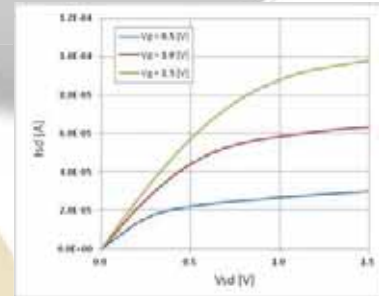
Made in Japan のLSIデバイス設計CADシステム
Advance/TCADのご紹介
2015年6月30日（火）
アドバンスソフト株式会社

1. TCADシステム構成とデバイスシミュレータの位置付け
2. ボルツマン方程式からバリスティック輸送モデルの生成
3. DDモデル(輸送係数、生成・再結合過程のモデル化)
4. ワイドギャップ半導体特有の課題
浮遊電位問題と二準位モデルの提案
5. 複数デバイス一括解析機能(大規模・高速化)
6. 量子効果について
まとめ

第一原理
シミュレータ

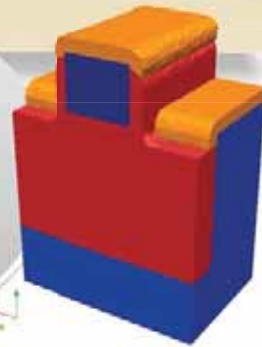


3次元デバイス
シミュレータ



統合 プラットフォーム フォーム

3次元プロセス
シミュレータ

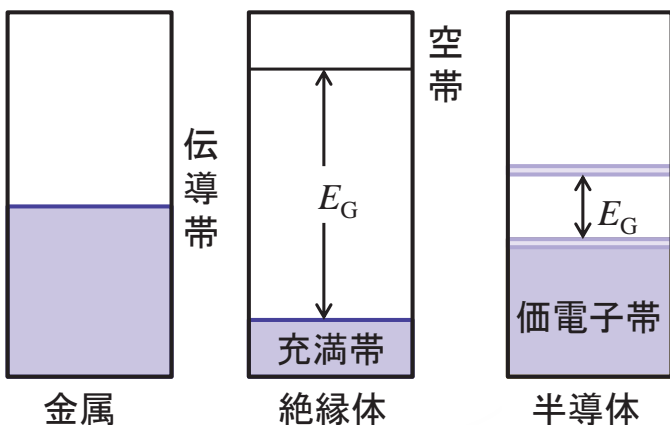
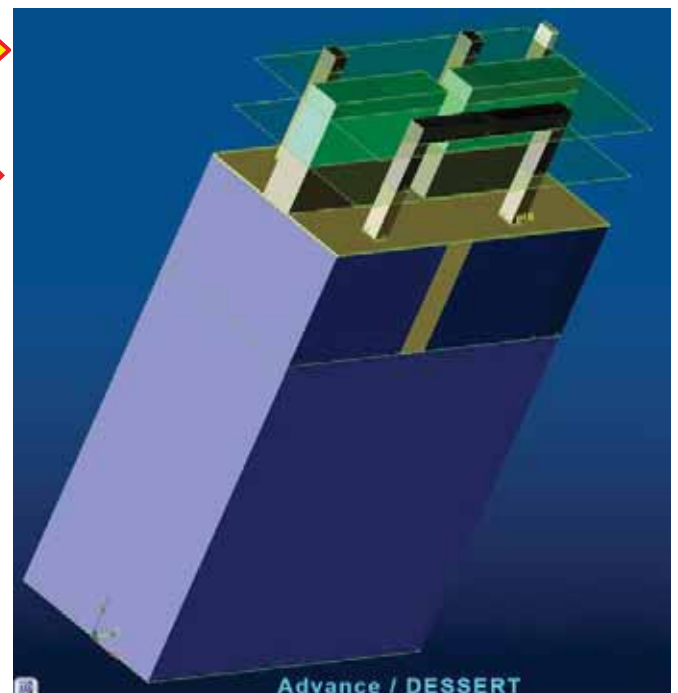
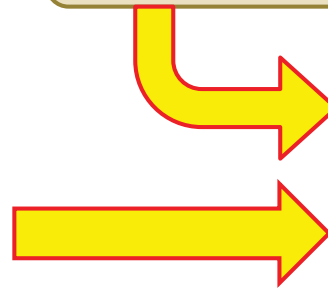


プロセス

形状
不純物濃度

材料定数

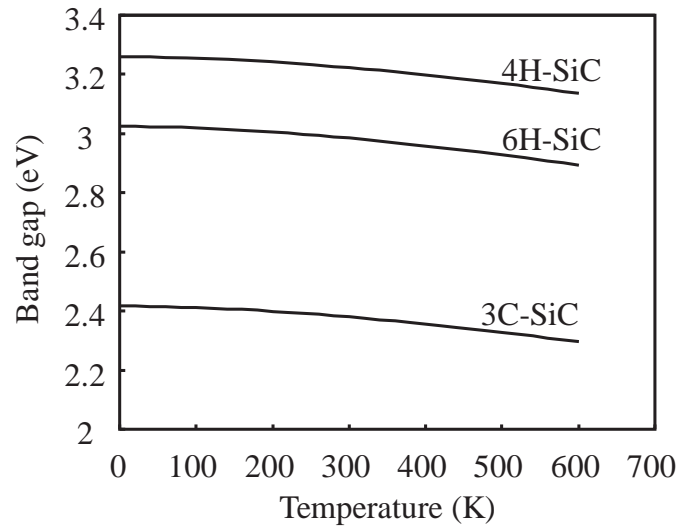
バンドギャップ
有効質量
ライフタイム
イオン化率
移動度



材料定数はプリセット方式。更に、ユーザ変更可能

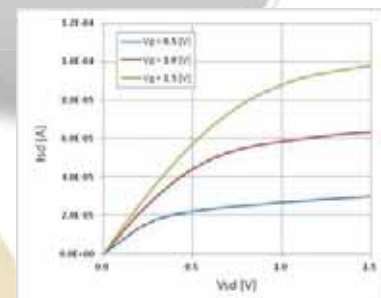
物理量	値
誘電率	1.17000000E+001
電子親和力 [eV]	4.05000000E+000
電子の移動度モデル	MONOTONIC_SATURATION
正孔の移動度モデル	MONOTONIC_SATURATION
量子化モデルのスイッチ	OFF
バンドギャップモデル	
0 [K]のバンドギャップ [eV]	1.17000000E+000
α パラメータ [eV/K]	4.73000000E-004
β パラメータ [K]	6.36000000E+002
質量モデル	
電子の縦質量 [m0]	9.80000000E-001
電子の横質量 [m0]	1.90000000E-001
軽い正孔の質量 [m0]	1.60000000E-001
重い正孔の質量 [m0]	4.90000000E-001
谷の数	6.00000000E+000
定数移動度モデル	
電子の移動度 [cm ² /(V*s)]	0.00000000E+000
正孔の移動度 [cm ² /(V*s)]	0.00000000E+000
単項飽和型移動度モデル	
電子の低電界移動度 [cm ² /(V*s)]	1.40000000E+003
正孔の低電界移動度 [cm ² /(V*s)]	4.80000000E+002
電子の飽和速度 [cm/s]	1.03600000E+007
正孔の飽和速度 [cm/s]	1.20000000E+007
電子の音速 [cm/s]	4.90000000E+006
正孔の音速 [cm/s]	2.92800000E+006
電子のNr/パラメータ [1/cm ³]	3.00000000E+016

物理量	値
誘電率	1.17000000E+001
電子親和力 [eV]	4.05000000E+000
電子の移動度モデル	CONSTANT
正孔の移動度モデル	CONSTANT
量子化モデルのスイッチ	MONOTONIC_SATURATION
バンドギャップモデル	PIECE_WISE_LINEAR
0 [K]のバンドギャップ [eV]	EXponential_SATURATION
α パラメータ [eV/K]	4.73000000E-004
β パラメータ [K]	6.36000000E+002



材料定数のプリセット **統合** プラットフォーム

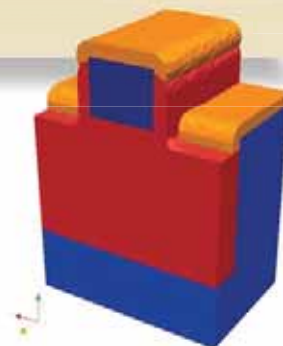
3次元デバイスシミュレータ

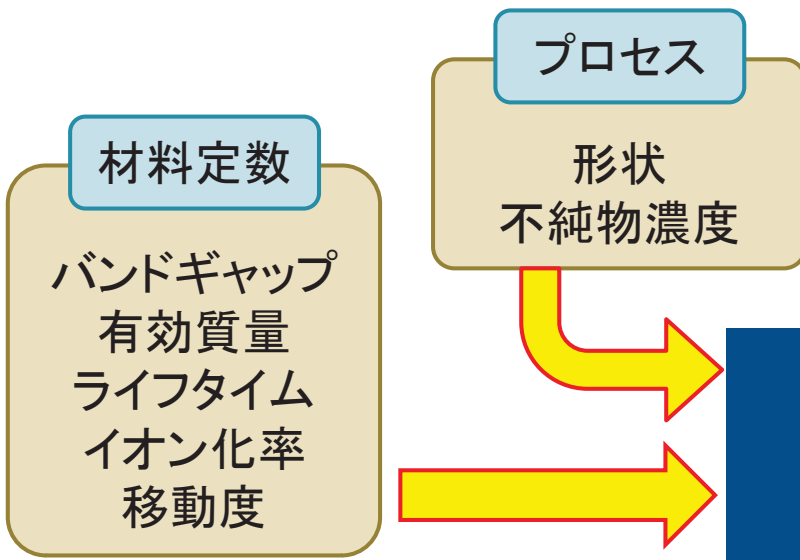


簡易プロセスシミュレーション機能

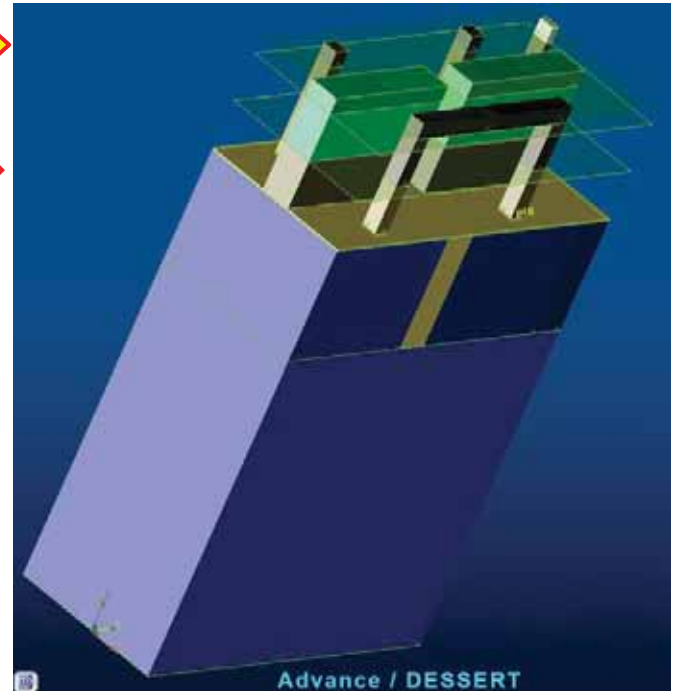


デバイスシミュレータ単独使用



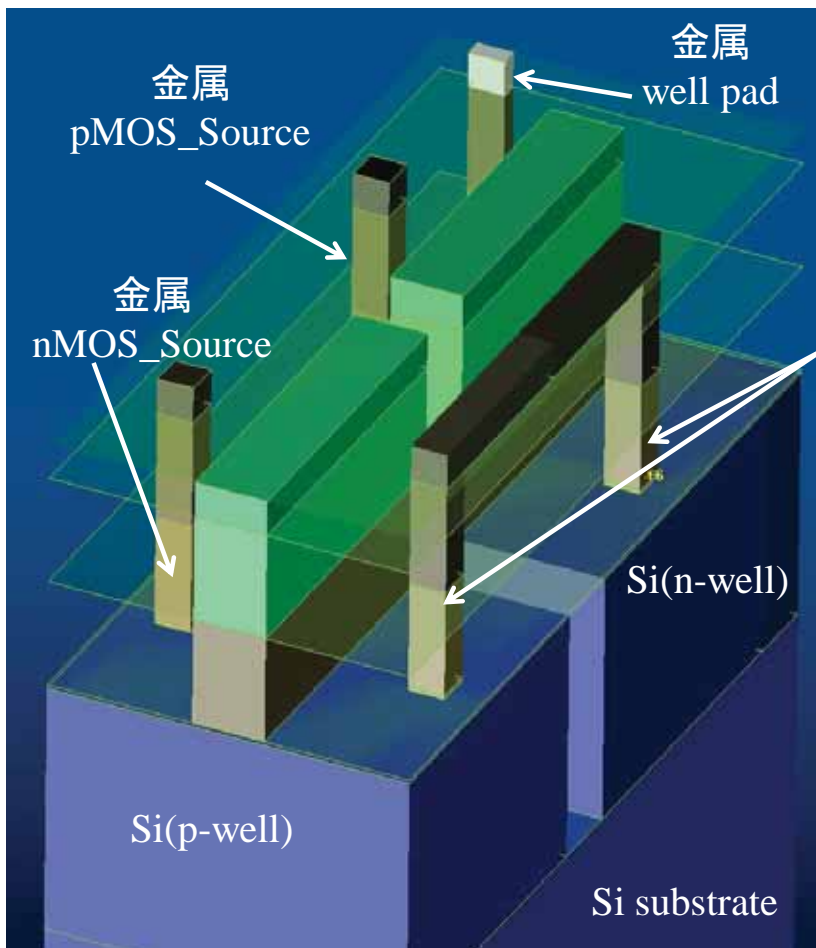


材料による識別方式
 形状: 金属/絶縁体/半導体
 不純物: ドーパント

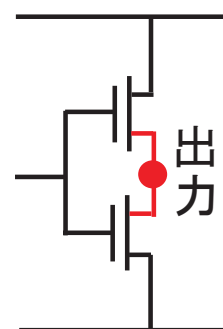


デバイスシミュレータの
 単独運用可能
 形状形成: 積木方式
 不純物: ガウス分布方式

CMOSインバータにおける配線モデル



内部配線
 <有限抵抗導体>



輸送問題に対する第1原理式

Boltzmann equation

$$\frac{\partial f}{\partial t} + \mathbf{v} \frac{\partial f}{\partial \mathbf{r}} + \frac{\mathbf{F}}{m} \frac{\partial f}{\partial \mathbf{v}} = 0$$

$$\frac{\partial f}{\partial t} + \mathbf{v} \frac{\partial f}{\partial \mathbf{r}} + \frac{\mathbf{F}}{m} \frac{\partial f}{\partial \mathbf{v}} = \left(\frac{\partial f}{\partial t} \right)_{coll}$$

Current conservation

$$\nabla \mathbf{J}_n - q \frac{\partial n}{\partial t} = -q(G - R)$$

Momentum conservation

$$\frac{\partial}{\partial t} (m \mathbf{v}_d) + \mathbf{v}_d \nabla (m \mathbf{v}_d) + \frac{1}{n} \nabla (n k_B T) - \mathbf{F} = - \frac{m \mathbf{v}_d}{\tau_m(\omega)}$$

Energy conservation

$$\frac{\partial w}{\partial t} + \mathbf{v}_d \nabla w + \frac{1}{n} \nabla (n \mathbf{v}_d k_B T - \kappa \nabla T) + q \mathbf{v}_d \mathbf{E} = - \frac{w - w_0}{\tau_w(\omega)}$$

<非局所性モデル>
電子速度は
エネルギー(ω)
に依存

運動量バランスの式

$$\cancel{\frac{\partial}{\partial t} (m_e \mathbf{v}_{de})} + \cancel{\mathbf{v}_{de} \nabla (m_e \mathbf{v}_{de})} + \frac{1}{n} \nabla (n k_B T_e) + q \mathbf{E} = - \frac{m_e \mathbf{v}_{de}}{\tau_{me}(\omega)}$$

定常状態における第1次近似



$$\mathbf{v}_{de} = -\mu_n(\omega) \mathbf{E} - \frac{D_n(\omega)}{n} \nabla n - \mu_n(\omega) \nabla \left(\frac{k_B T_e}{q} \right)$$

一般化移動度 $\mu_n(\omega) = \frac{q \tau_{me}(\omega)}{m_e}$ $D_n(\omega) = \frac{k_B T_e}{q} \mu(\omega)$

※) 緩和時間(τ)はエネルギーの関数

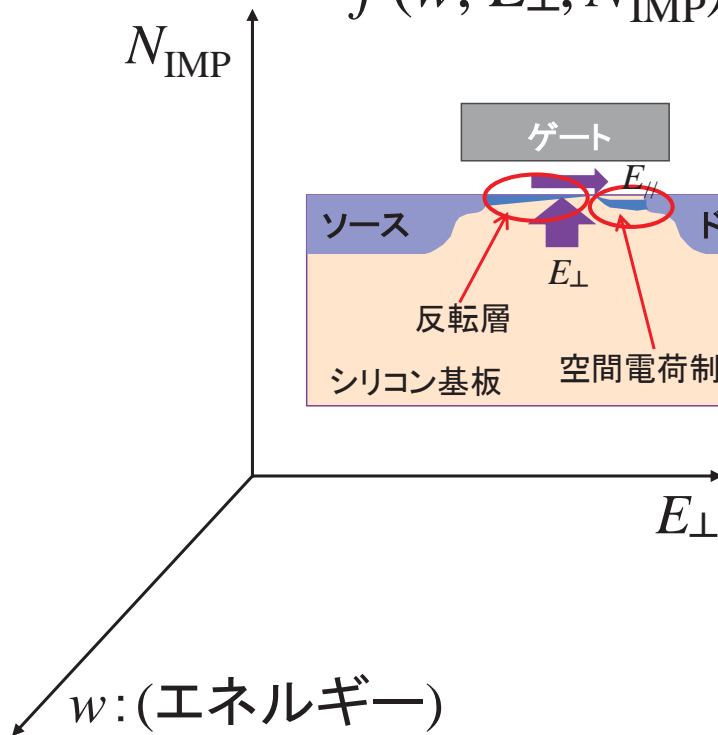
特に $T_e = \text{const.}$ とおいた場合が古典的Drift-Diffusion (DD) model

$$n \mathbf{v}_{de} = -\mu_n n \mathbf{E} - D_n \nabla n$$

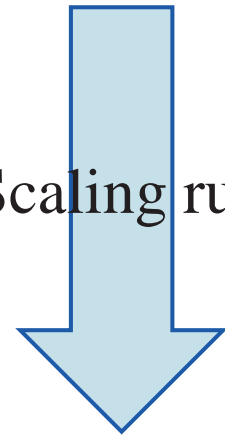
局所性モデル: $\mathbf{v}_{de}(E)$

MOSFETにおける緩和係数の特有課題 3変数依存性

$$f(w, E_{\perp}, N_{IMP}) = 1/\tau(w, E_{\perp}, N_{IMP})$$

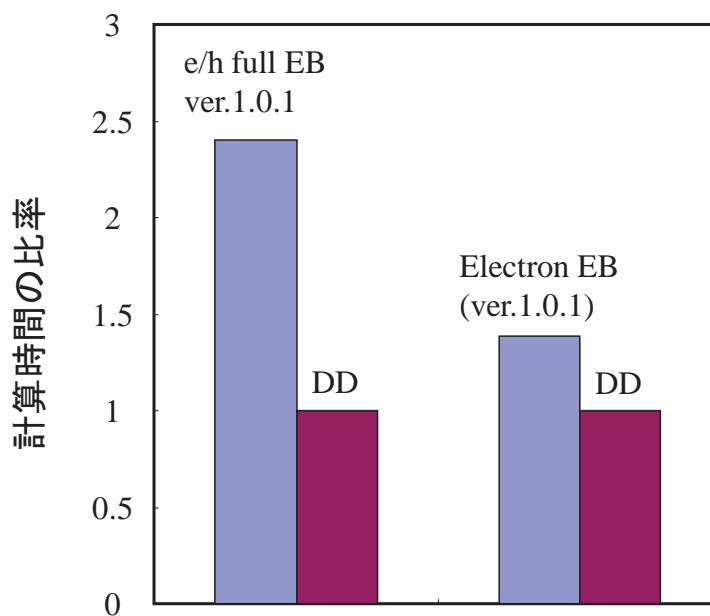


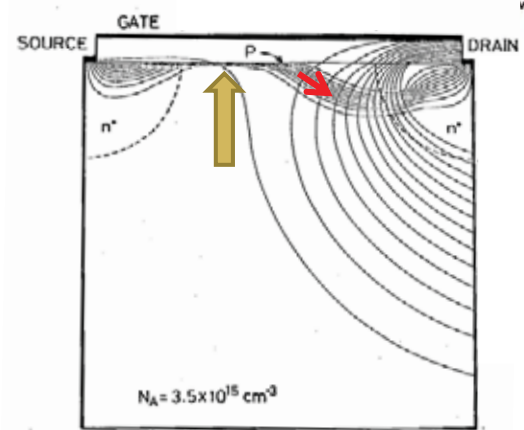
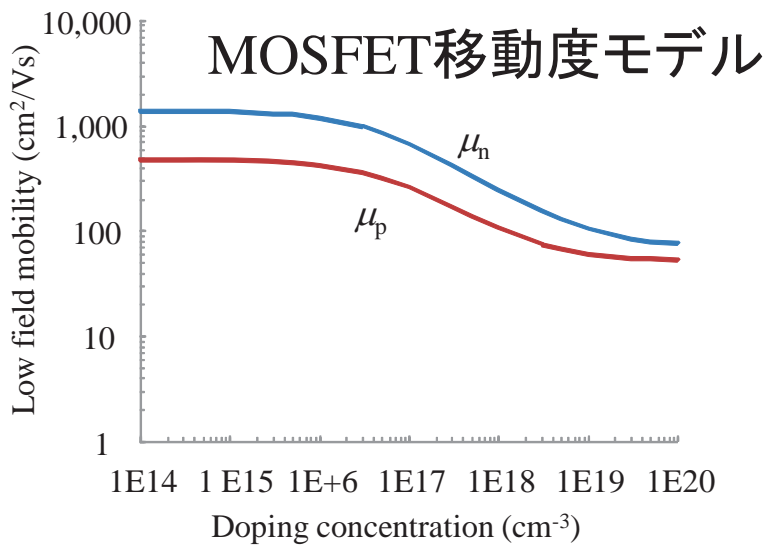
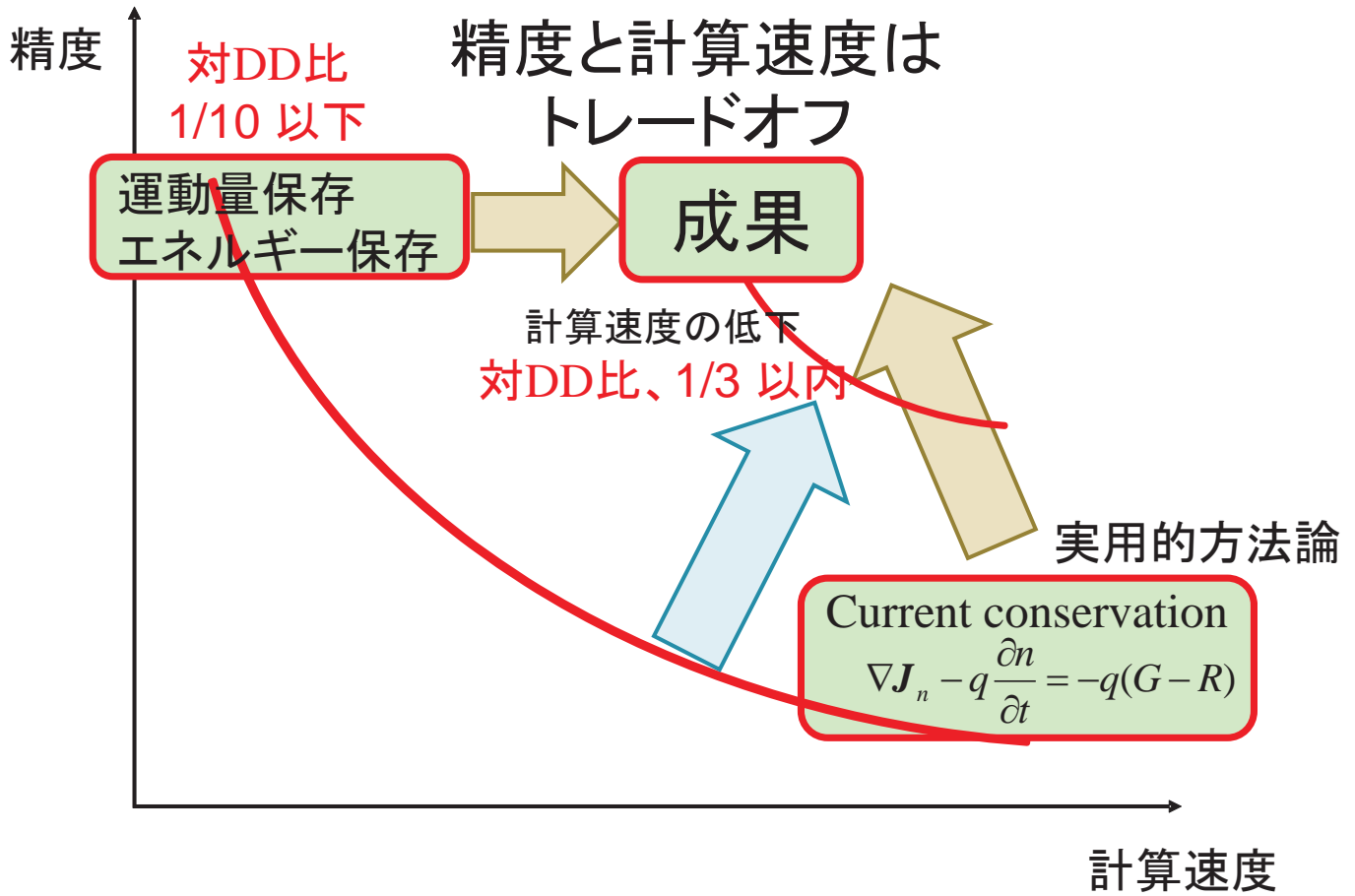
Scaling rule



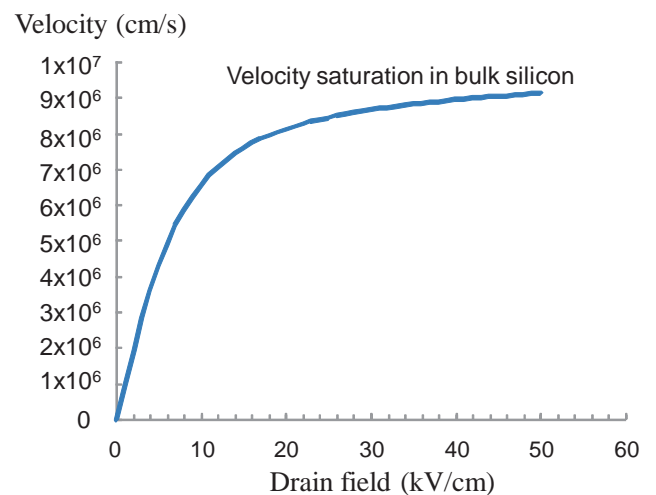
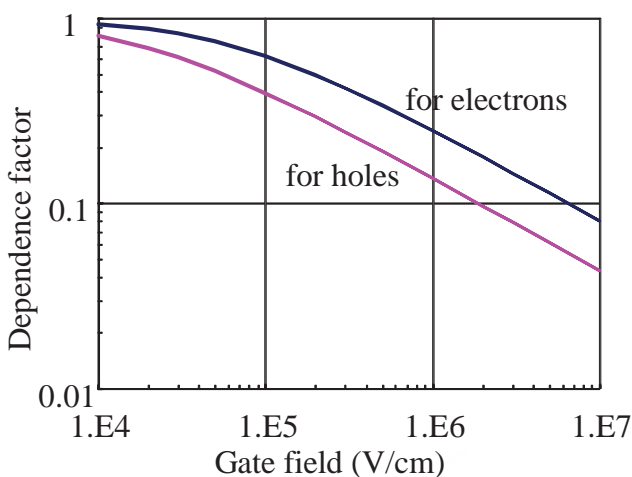
1次元変数の集合体

特願2008-282458





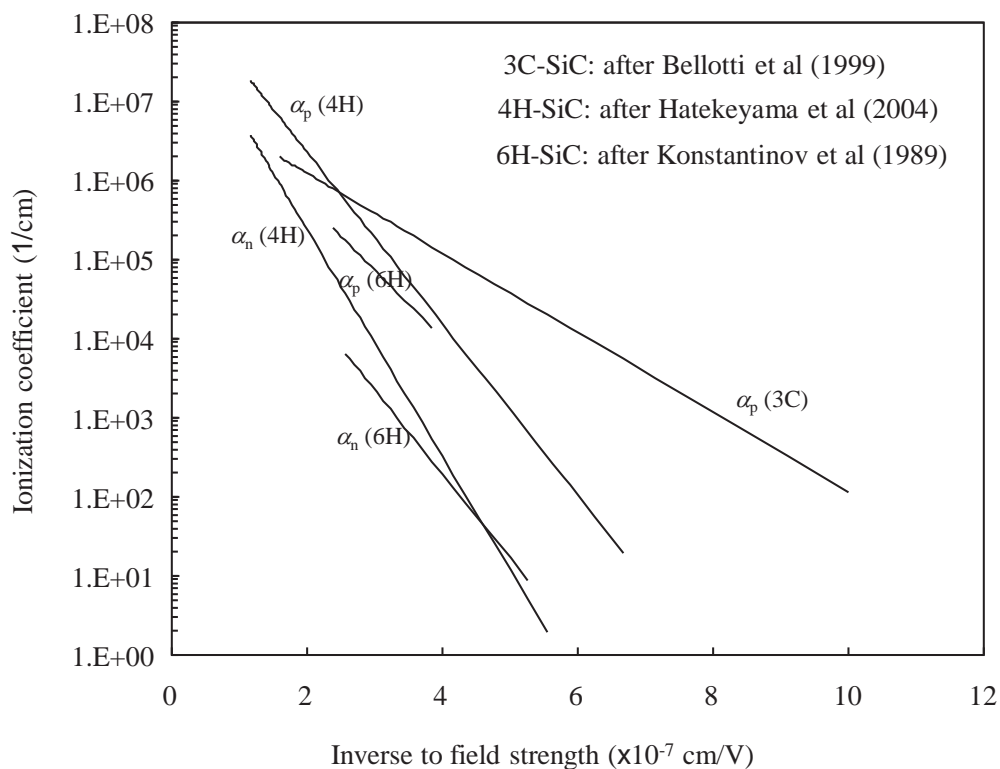
IEEE T-ED, vol. ED-26, no. 7, pp. 1068 - 1074, 1979



内蔵材料定数モデル

<p>VI & VI-VI</p>	<p>Si SiGe系 SiC(3C-, 4H-, 6H-SiC)</p>
<p>III-VI</p>	<p>GaAs/GaAlAs系 GaN/GaAlN系</p>

Avalanche multiplication model



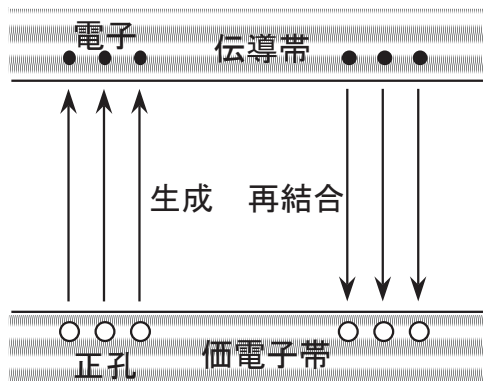
The generation/recombination rate is given by

$$R = R_{sp} + R_{SRH} + R_{Aug}$$

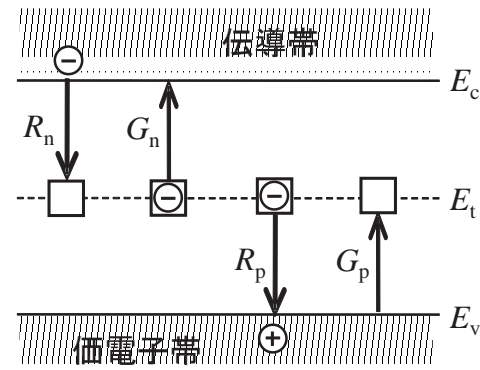
R_{sp} : 直接遷移型再結合率

R_{SRH} : 間接遷移型再結合率

R_{Aug} : オージェ型再結合率



直接再結合過程



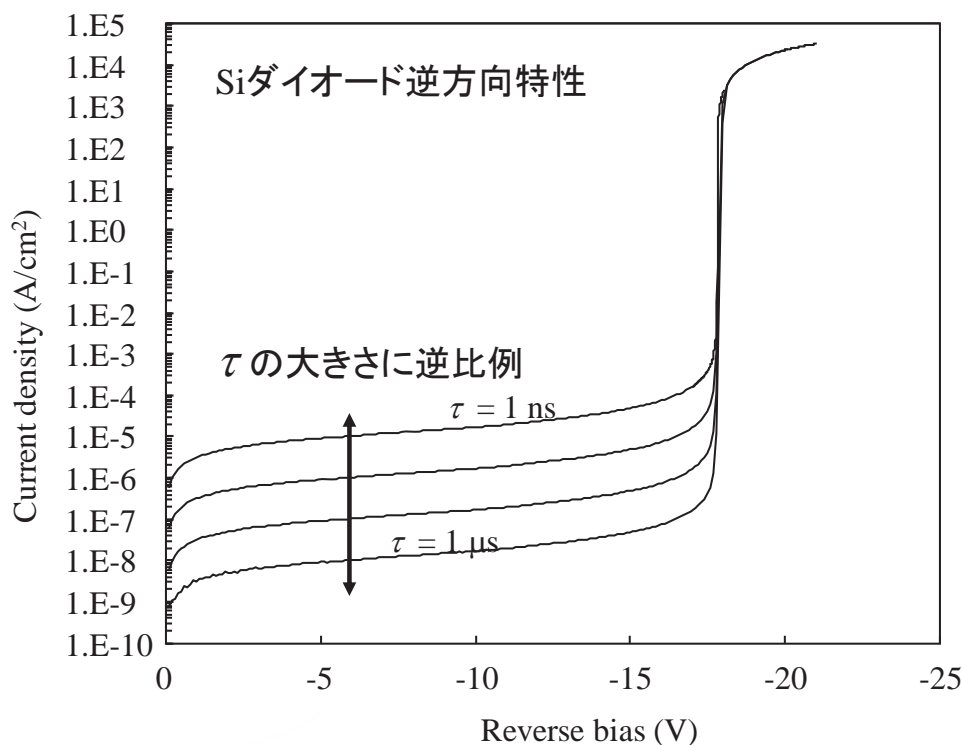
電子捕獲 電子放出 正孔捕獲 正孔放出

間接型再結合過程

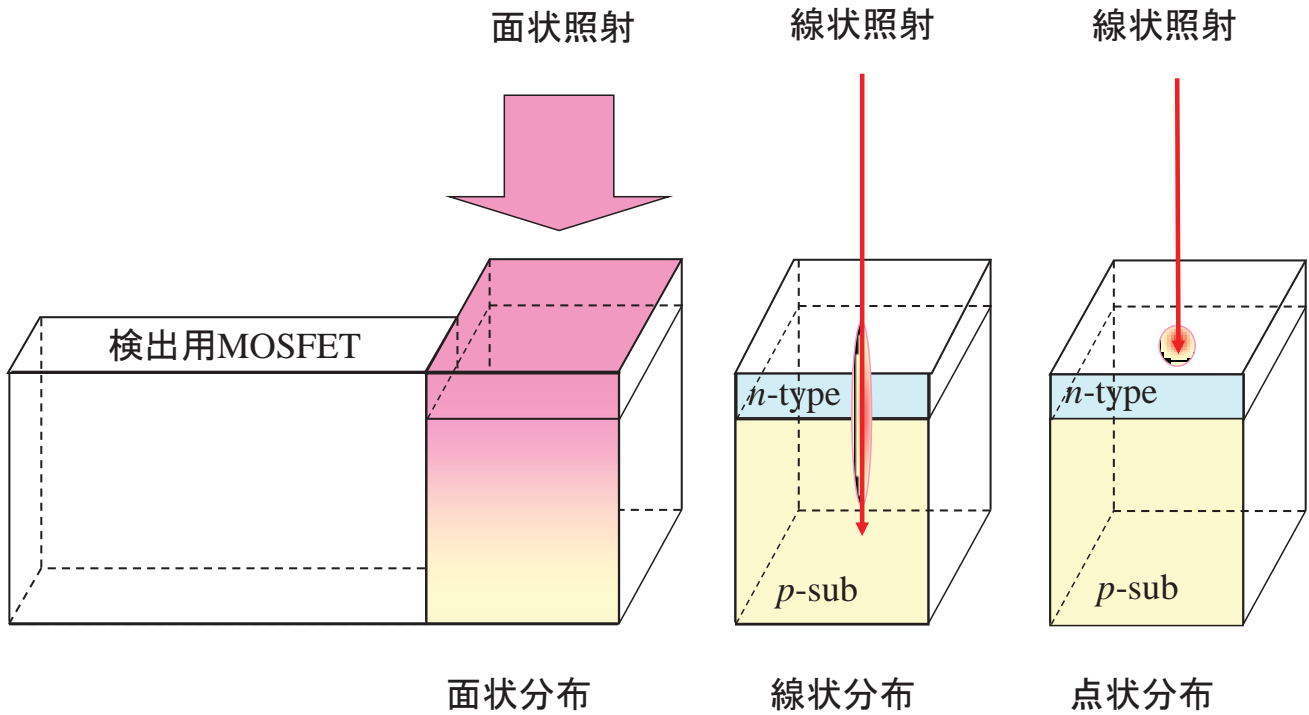
Si ダイオード逆バイアス

$$R_{SRH} \approx -\frac{n_i}{\tau_g}$$

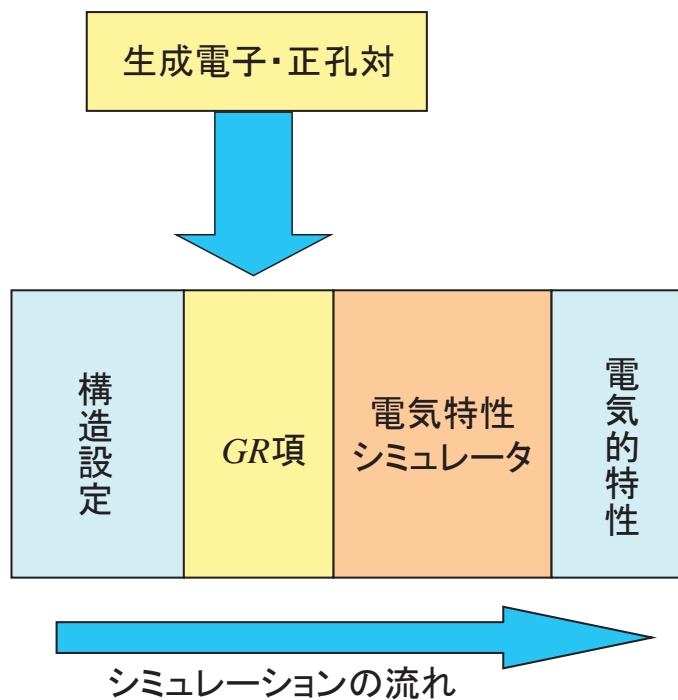
$$\tau_g \cong 2\tau_n \sqrt{\frac{C_n}{C_p}} \cosh\left(\frac{E_T - E_i}{k_B T}\right)$$



受光によるキャリア生成、高エネルギー線照射によるキャリア生成等

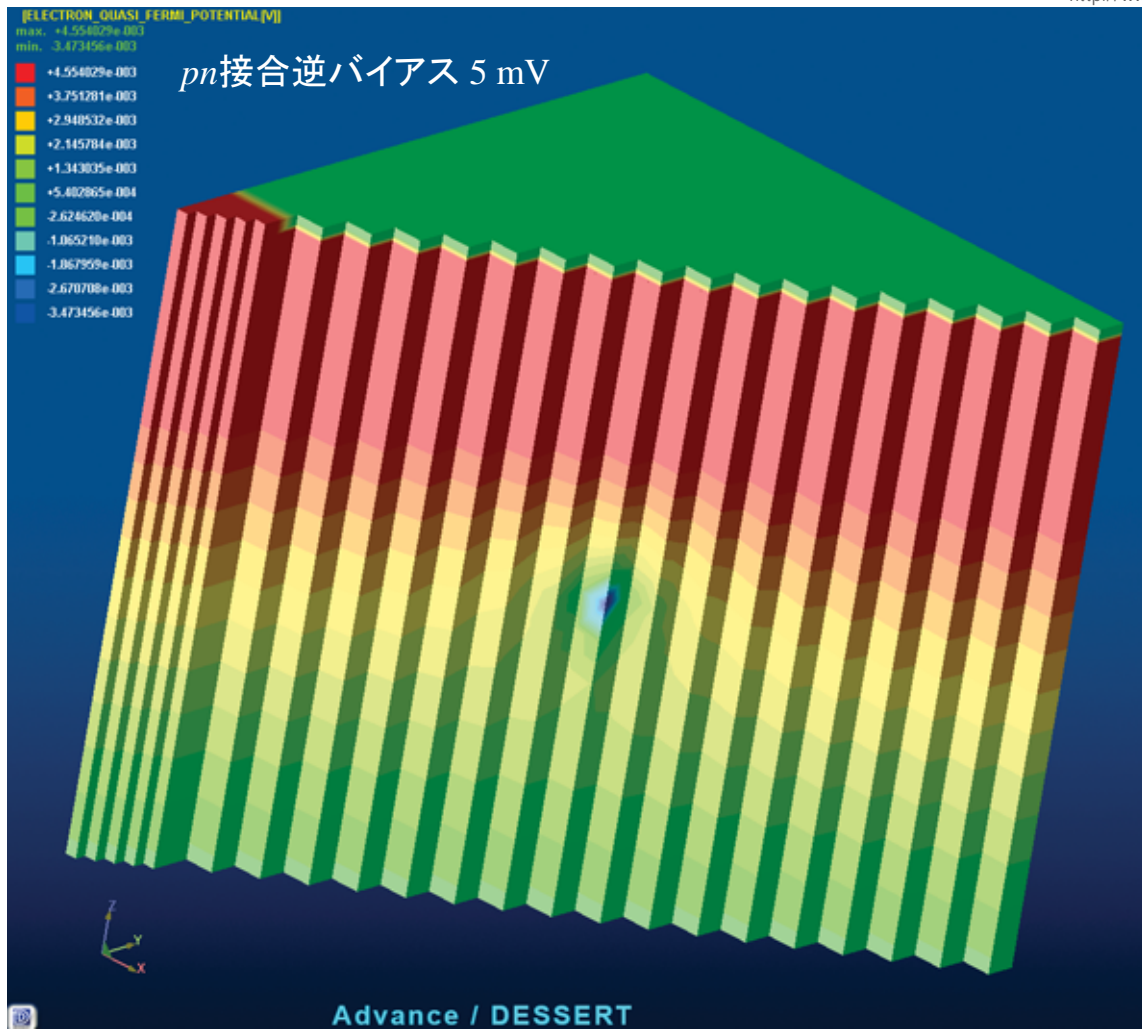


np接合に発生した電子・正孔対の空間分布モデル

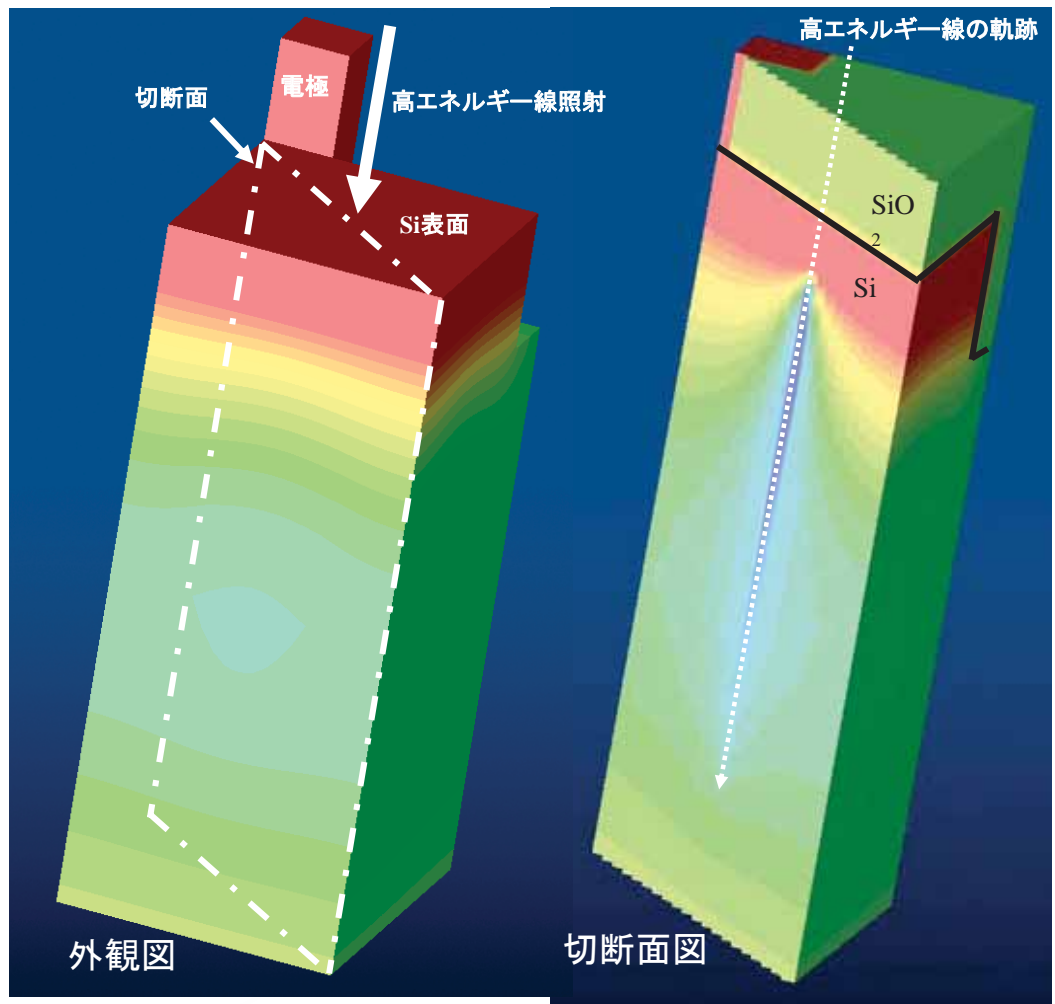


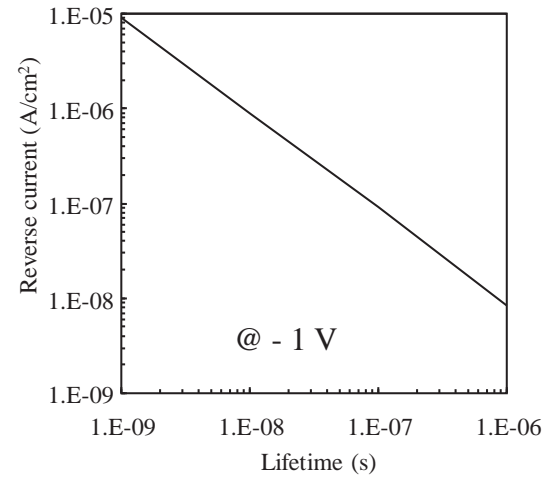
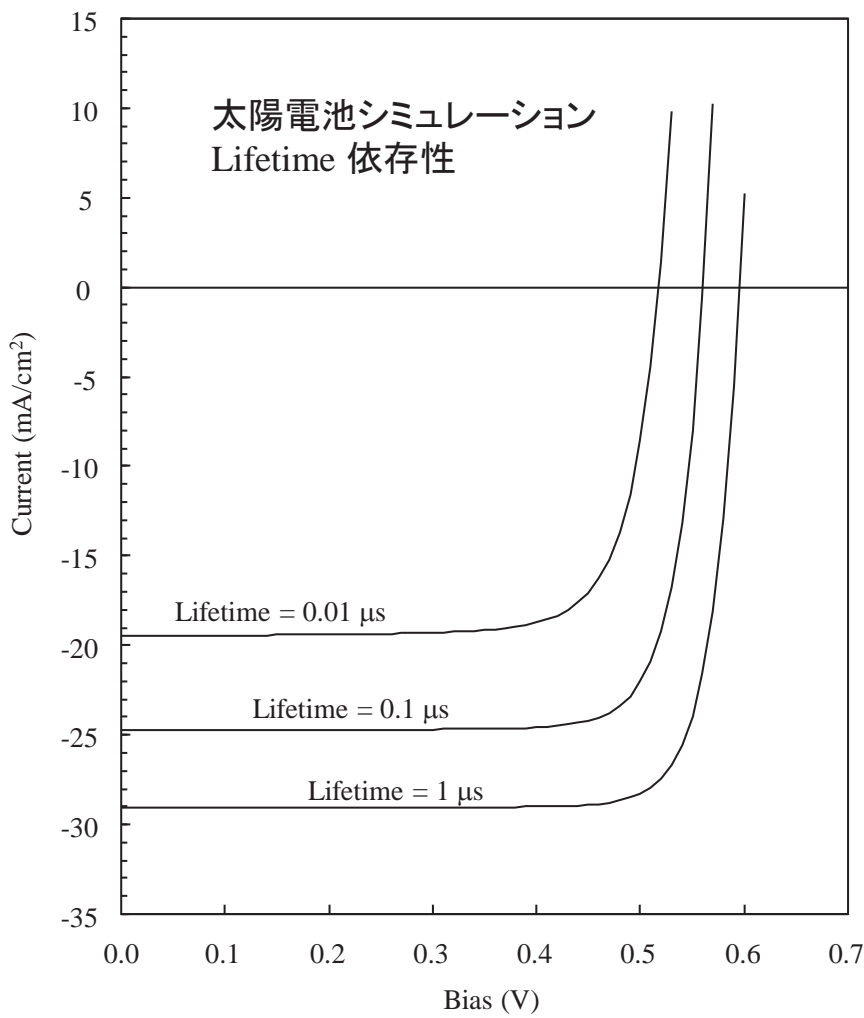
生成電子・正孔対と電気特性シミュレータとの接続法

生成キャリアの点状分布例



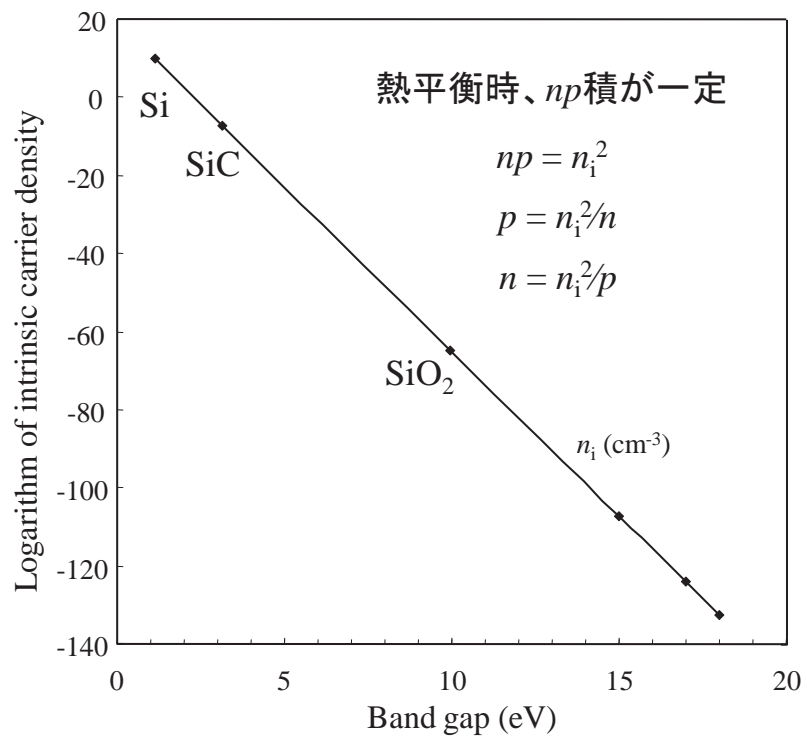
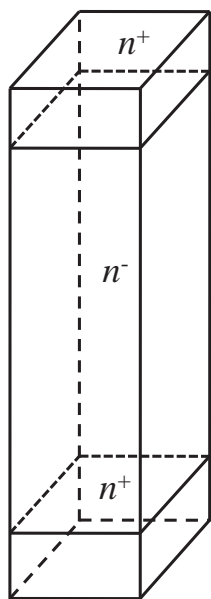
生成キャリアの線状分布例





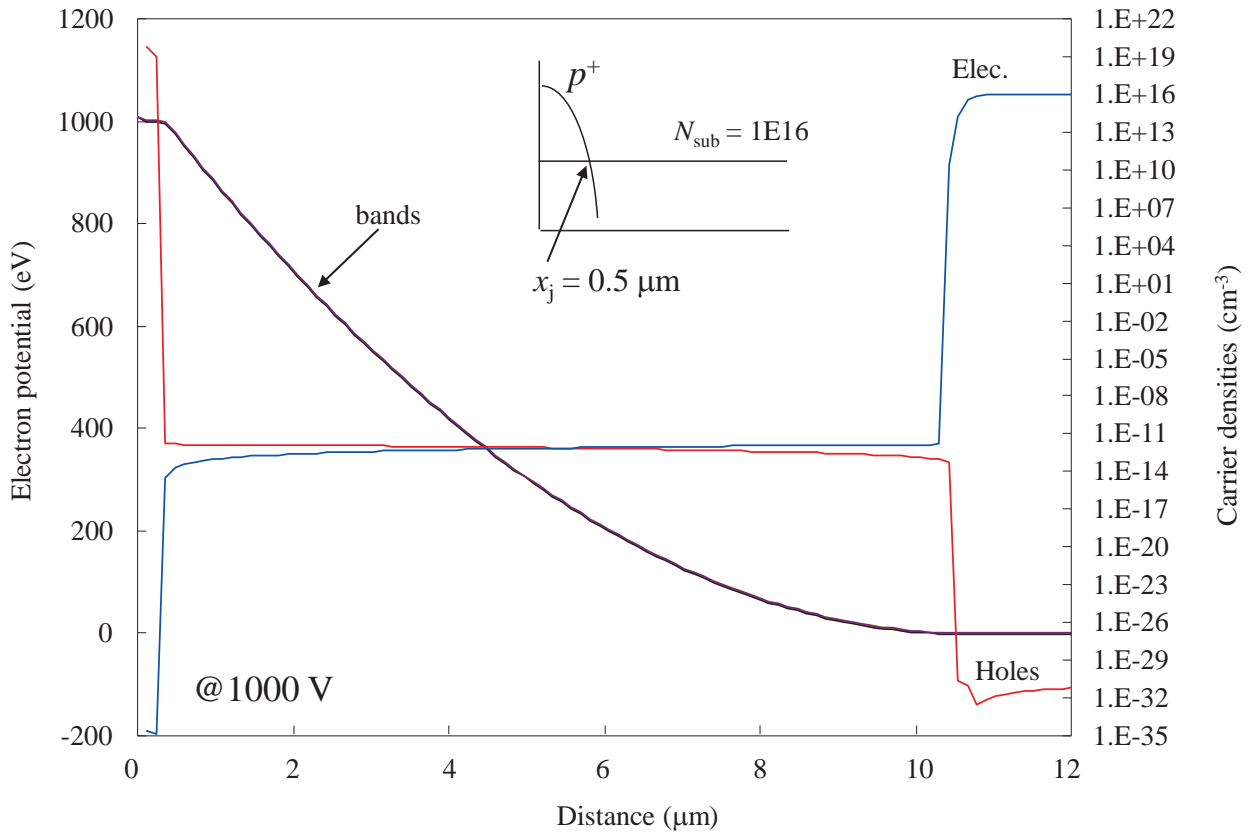
ダイオードの逆方向電流
ライフタイム依存性

ワイドギャップ半導体に対する収束の安定性



問題点: ワイドギャップ半導体ではキャリア密度の変化域が大きい

ワイドギャップ半導体ダイオードの計算例

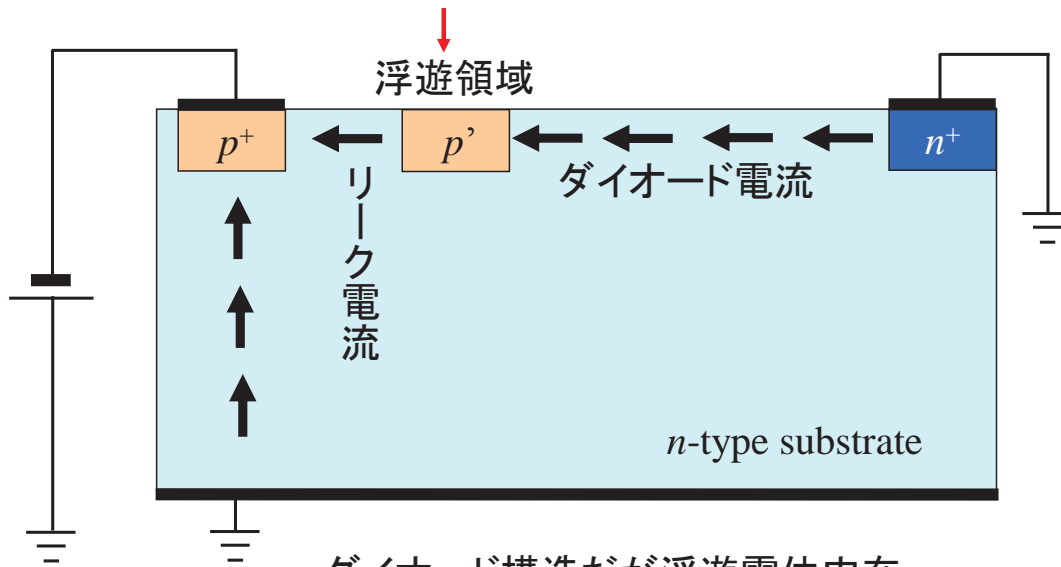


フローティング領域計算のロバスト性

$$R_{SRH} \approx -\frac{n_i}{\tau_g}$$

$$\tau_g \cong 2\tau_n \sqrt{\frac{C_n}{C_p}} \cosh\left(\frac{E_T - E_i}{k_B T}\right)$$

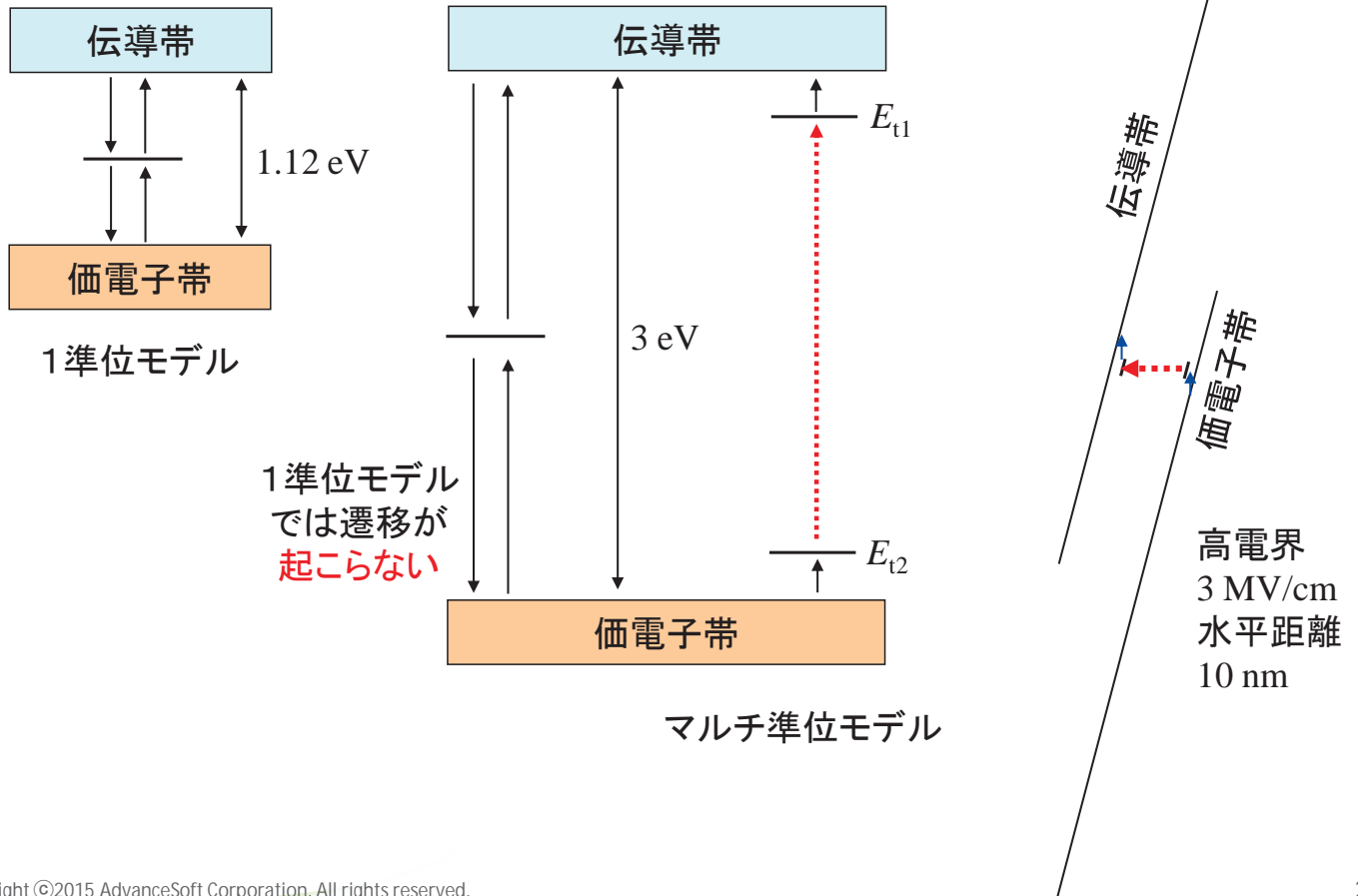
ガードリング



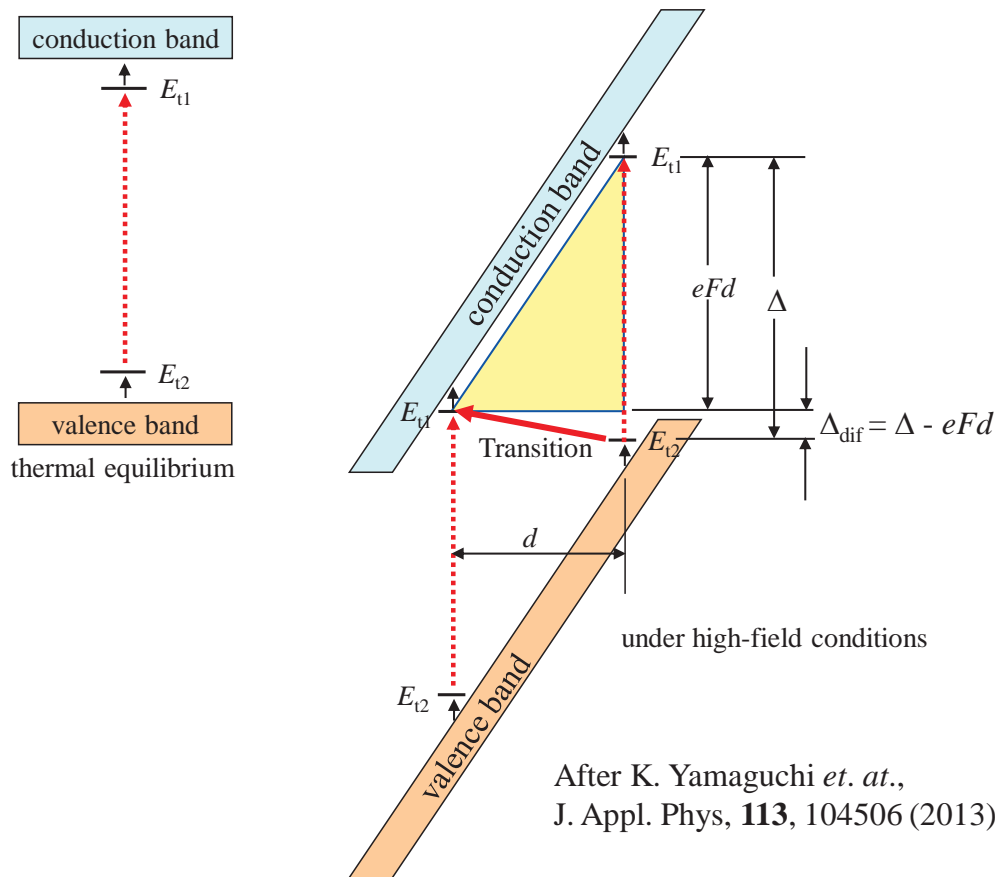
ダイオード構造だが浮遊電位内在

浮遊電位領域付き構造における逆方向降伏特性の計算

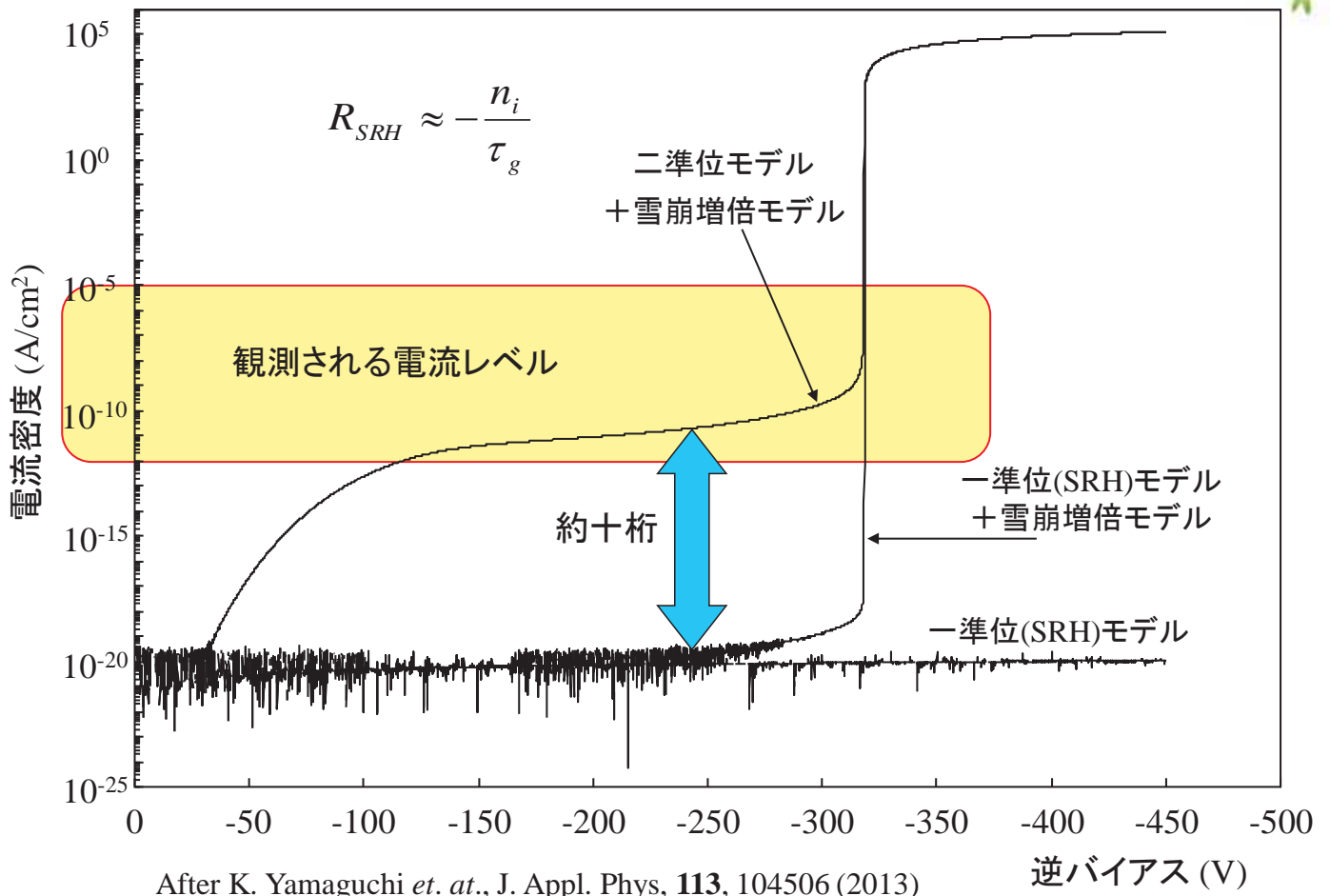
ワイドギャップ半導体における再結合モデル



ワイドギャップ半導体における再結合モデル

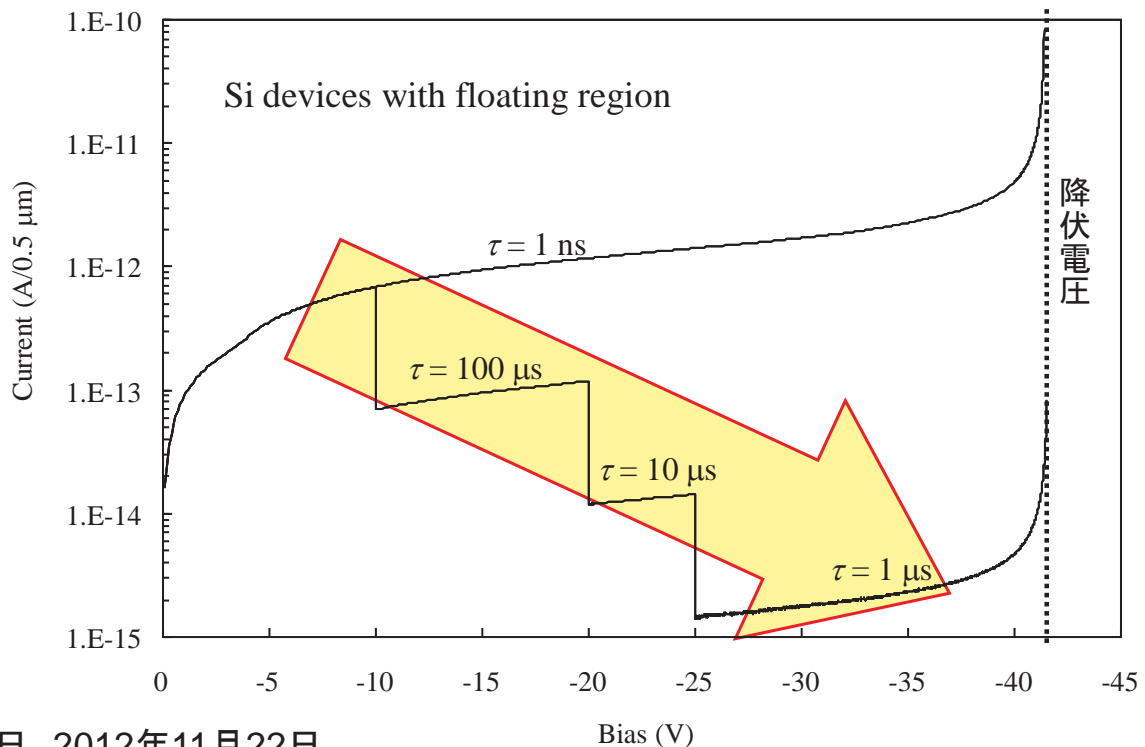


pn接合逆バイアス特性解析



仮想ライフタイム法

降伏電圧は τ と独立



出願日 2012年11月22日
 公開日 2014年6月9日
 特許出願公開番号 特開2014-107277

仮想ライフタイム法

特開2014-107277

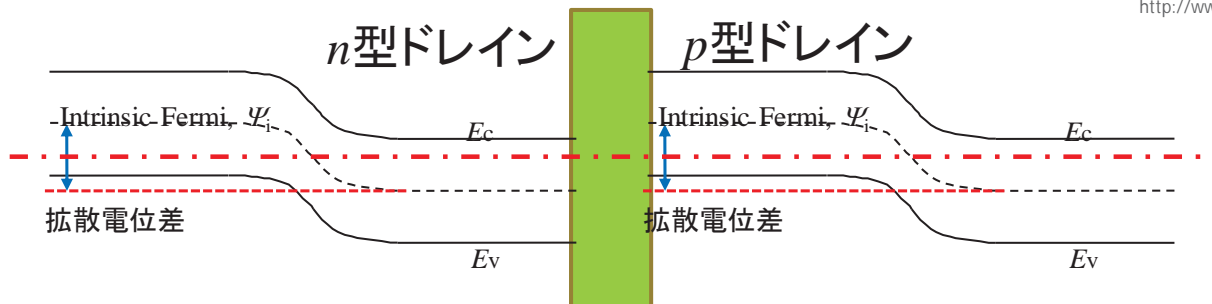
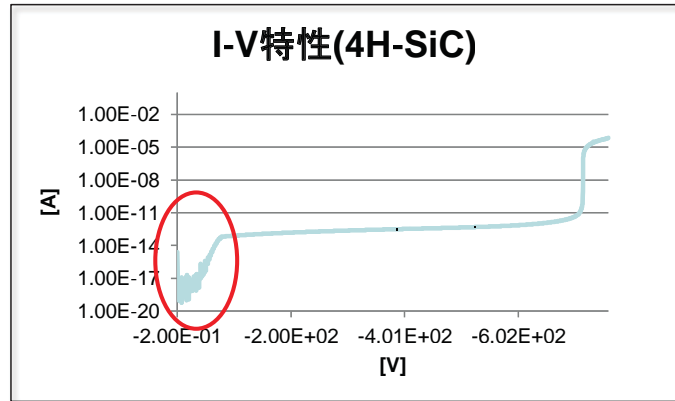
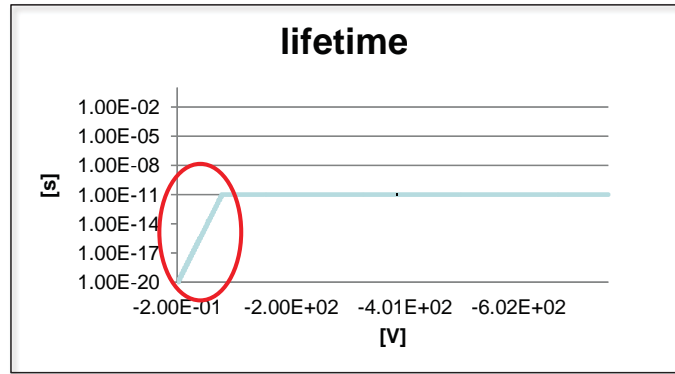
出願日 2012年11月22日

公開日 2014年 6月 9日

$$\tau_{calculation} = \alpha \tau_{true}$$

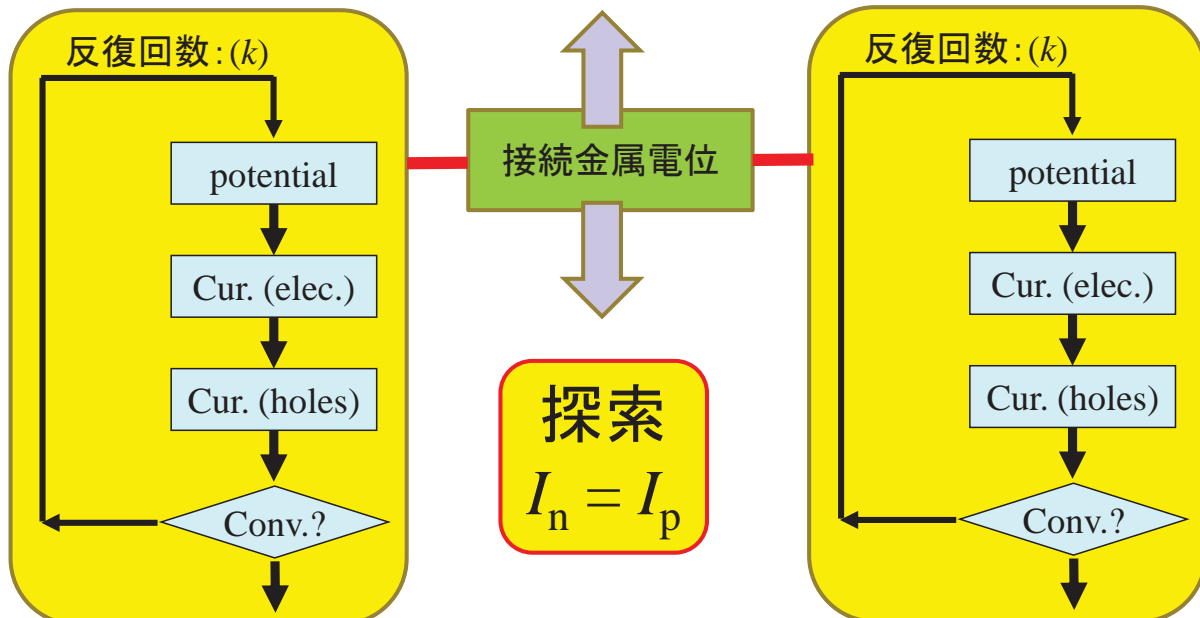
低バイアス領域で α を小さく設定
電流の増加と共に α を徐々に増加
最終的に、 $\alpha=1$ へ戻す

パラメータ調整の自動化

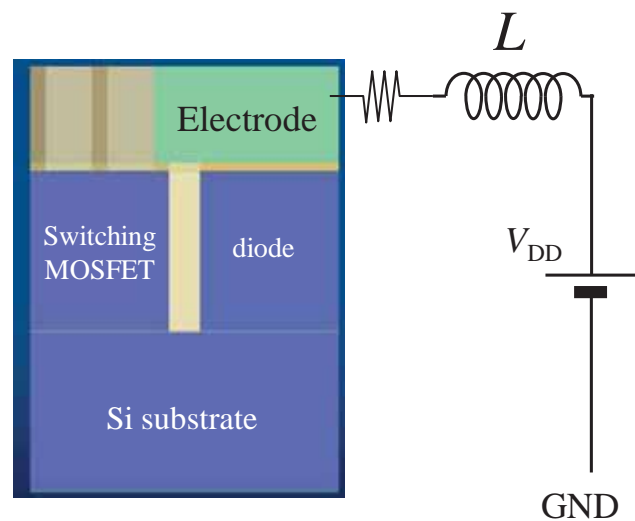
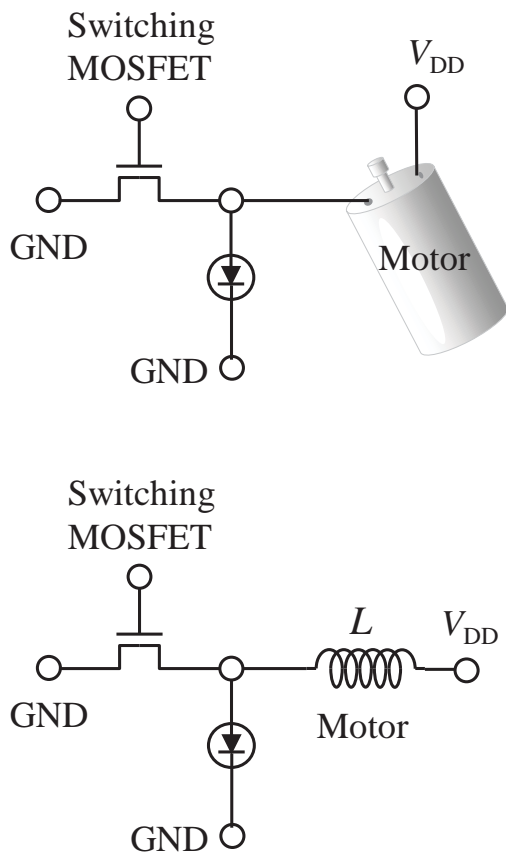
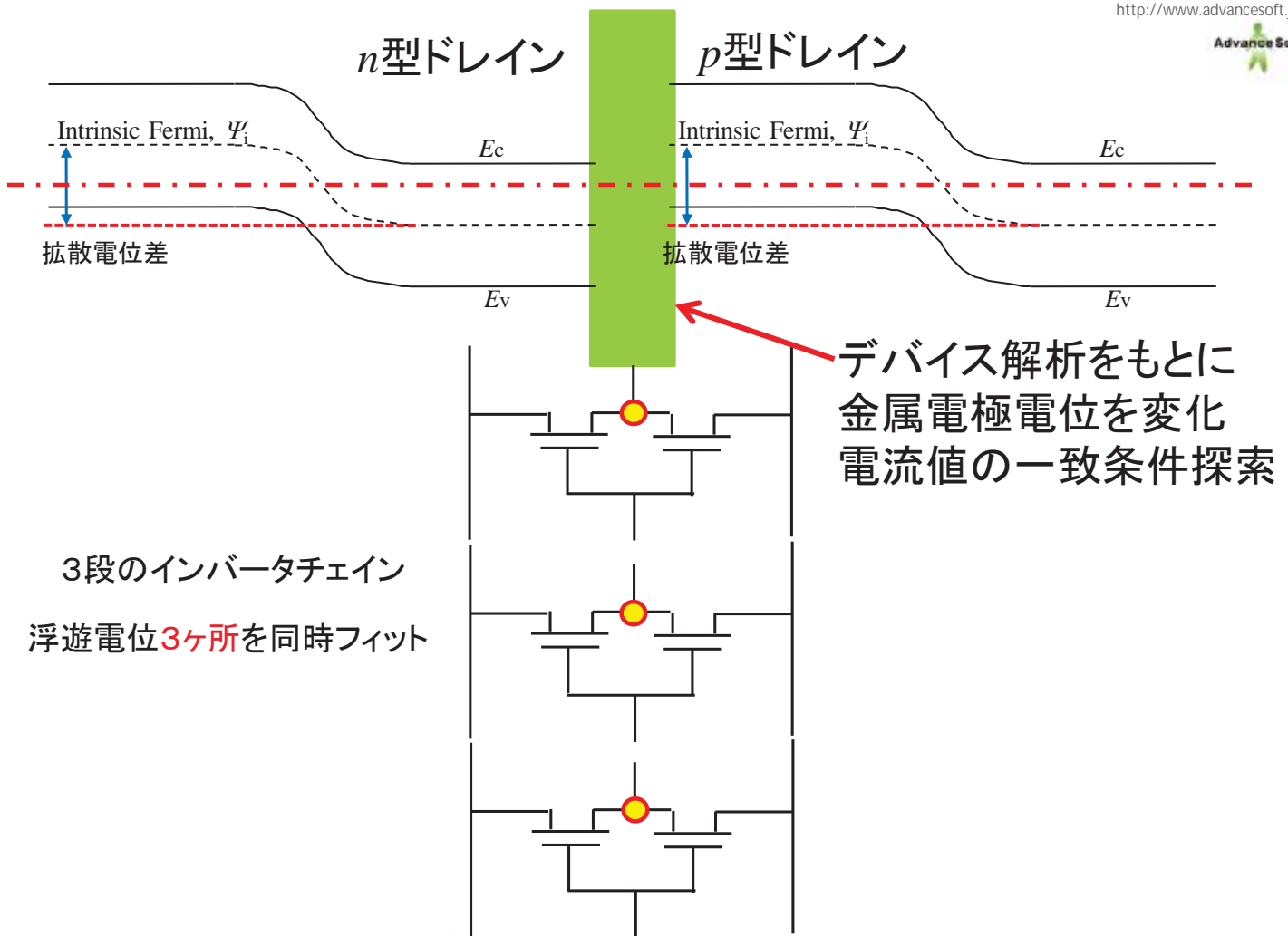


Device sim. for nMOS

Device sim. for pMOS



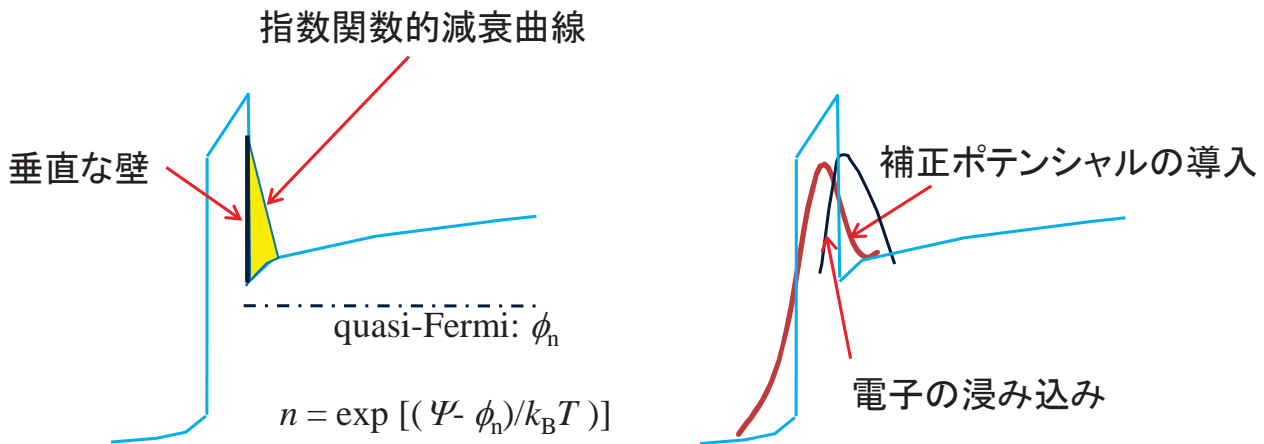
デバイスシミュレータをサブルーティンとした反復計算



複数デバイス一体解析 + L負荷
(MOSFETs + diodes)

流体モデルにおけるトンネルモデル

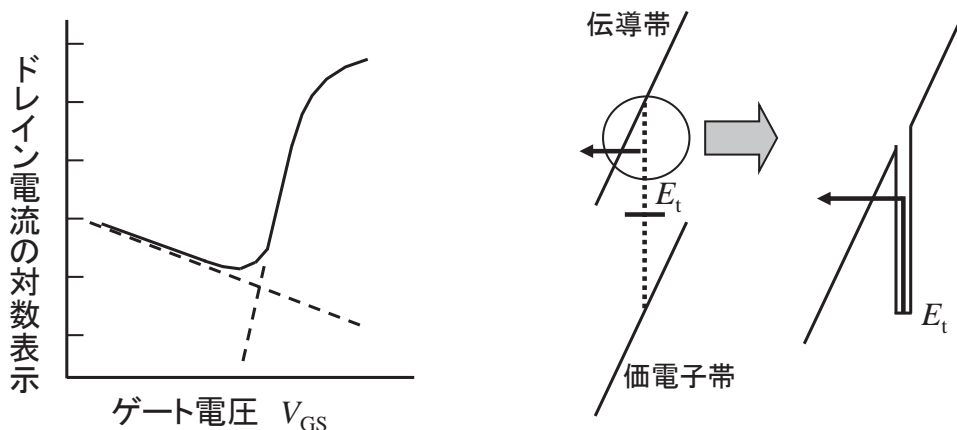
極薄ゲート酸化膜の量子効果補正



R. P. Feynman and A. R. Hibbs, “Quantum Mechanics and Path Integrals”, McGraw Hill, 1965

Tunnel model

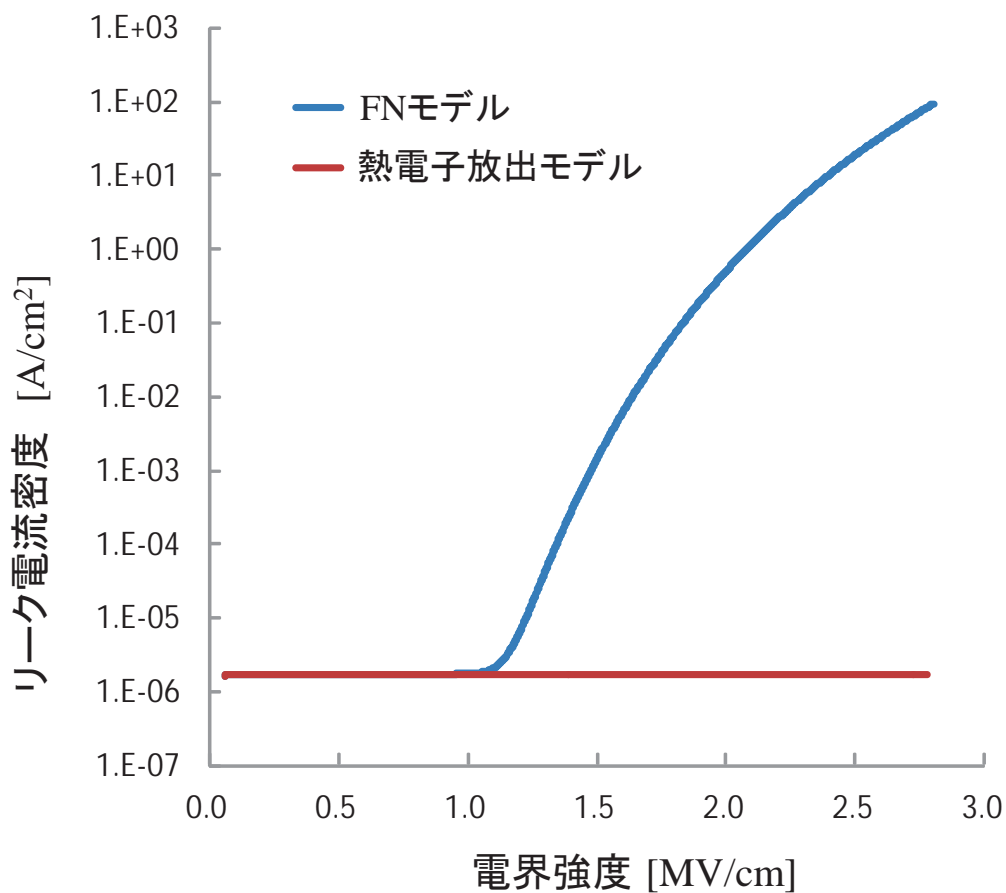
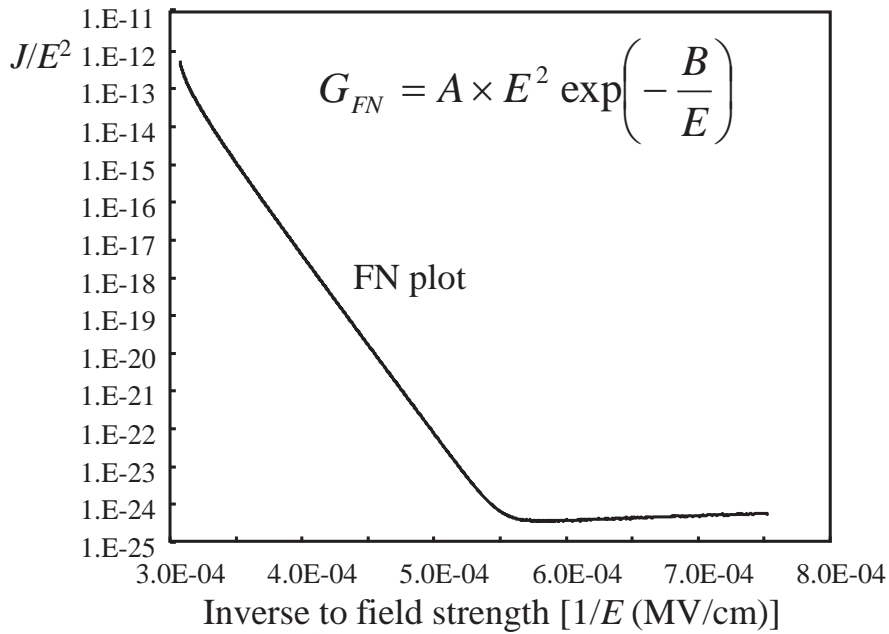
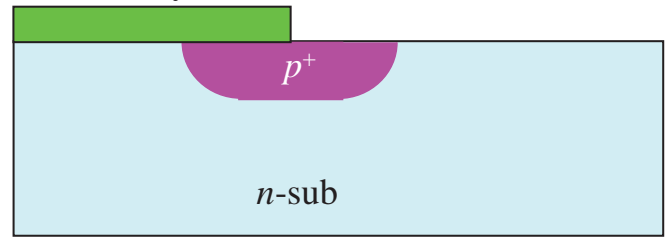
- 1) Feynman & Hibbs potential modeling
- 2) Fowler-Nordheim (FN) modeling
- 3) Gate-induced drain leakage (GIDL)
- 4) Trap-assisted tunneling



ショットキー障壁モデル

Schottky electrode

FN model



ショットキ電極逆バイアス電流の電界強度依存性

まとめ

超微細デバイスからハイパワーデバイスまで幅広い応用分野

1. 簡便操作3D入力とデバイスシミュレーション機能
2. 高精度・高速計算可能なバルスティック輸送モデル
3. 豊富な内蔵モデル(輸送係数、生成・再結合過程モデル、等)
4. 浮遊電位問題と二準位モデル
5. 複数デバイス一括解析機能(大規模・高速化)
6. 量子効果モデルの内蔵

過渡解析と 複数トランジスタの一括解析

研究主席 原田 昌紀

Made in Japan のLSIデバイス設計CADシステム
Advance/TCADのご紹介
2015年6月30日（火）
アドバンスソフト株式会社

発表内容

- デバイスシミュレーションの過渡解析手法
- 複数トランジスタの一括過渡解析
 - 一括解析の必要性
 - 一括解析の手法
 - CMOSインバータのチェーン解析事例
- 外部回路を含んだ過渡解析
 - 外部回路の解析手法
 - 解析事例
- 過渡解析におけるその他の機能
 - レート方程式による空間固定電荷、再結合モデル
 - 過渡解析におけるバイアス印加

発表内容

- デバイスシミュレーションの過渡解析手法
 - 複数トランジスタの一括過渡解析
 - 一括解析の必要性
 - 一括解析の手法
 - CMOSインバータのチェーン解析事例
 - 外部回路を含んだ過渡解析
 - 外部回路の解析手法
 - 解析事例
 - 過渡解析におけるその他の機能
 - レート方程式による空間固定電荷、再結合モデル
 - 過渡解析におけるバイアス印加

デバイスシミュレーションの過渡解析手法

過渡解析の数値計算手法

ポアソン方程式の時間微分式

$$\frac{\partial}{\partial t} [-\nabla \cdot (\epsilon_s \nabla \psi)] + \frac{q}{\epsilon_0} (\nabla \cdot \mathbf{J}_n + \nabla \cdot \mathbf{J}_p) = 0$$

↑ 時間微分

$$-\nabla \cdot (\epsilon_s \nabla \psi) = \frac{q}{\epsilon_0} (-n + p + N_D - N_A)$$

電流連続方程式

$$\frac{\partial n}{\partial t} = \frac{1}{q} \nabla \cdot \mathbf{J}_n - R$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \nabla \cdot \mathbf{J}_p - R$$

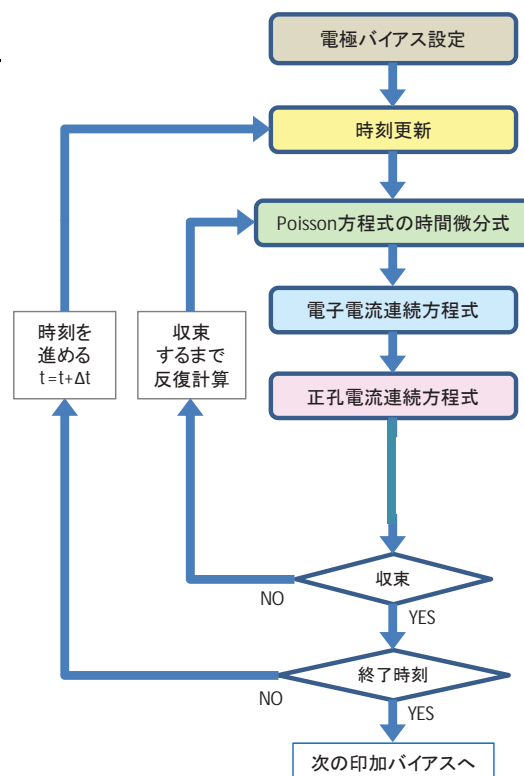
三式の連立方程式の
完全陰解法による反
復計算



静電ポテンシャル: ψ
電子密度: n
正孔密度: p

デバイスシミュレーションの過渡解析手法

計算フロー



発表内容

- デバイスシミュレーションの過渡解析手法
- 複数トランジスタの一括過渡解析
 - 一括解析の必要性
 - 一括解析の手法
 - CMOSインバータのチェーン解析事例
- 外部回路を含んだ過渡解析
 - 外部回路の解析手法
 - 解析事例
- 過渡解析におけるその他の機能
 - レート方程式による空間固定電荷、再結合モデル
 - 過渡解析におけるバイアス印加

複数トランジスタの一括過渡解析

～ 一括解析の必要性 ～

LSIの高集積化と高密度化により、MOSTランジスタ間の電氣的な相互作用を考慮した複数トランジスタ解析の重要度は高まる。

従来の複数トランジスタ解析手法

ミックスモード
シミュレーション

← ユーザ
寄生抵抗
寄生容量
入力

- 3次元の容量解析などにより値を事前に準備する必要がある。
- 3次元構造の寄生抵抗、寄生容量を有限個の抵抗や容量で近似することに対する精度の限界。



複数のトランジスタとそれらを接続する配線からなる系を**一括したデバイスシミュレーション**

- ユーザの負荷が軽減する。
- 3次元構造の寄生抵抗や寄生容量はデバイスシミュレーションで高精度で計算される。

複数トランジスタの一括過渡解析

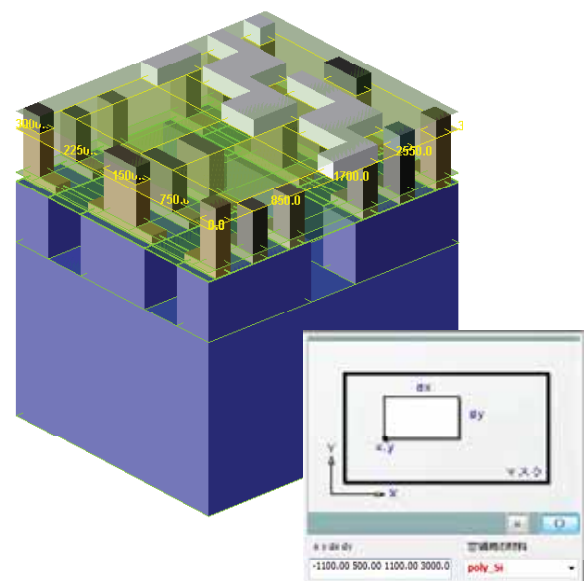
～ 一括解析の解析手法 ～

3次元構造作成機能

マスクを使用しながら半導体プロセスに沿った直観的なGUI操作で3次元構造を作成できる。



トランジスタ間の寄生抵抗、寄生容量などの効果は、実際のデバイスを模擬した3次元構造を作成するだけで自動的に計算に含まれる。

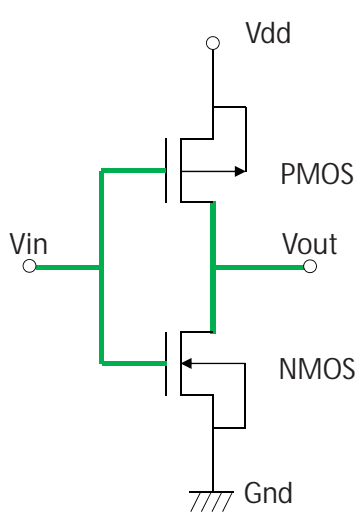


※NMOS E/Dインバータチェーン解析
モデル作成時のGUI操作画面例

複数トランジスタの一括過渡解析

～ 一括解析の解析手法 ～

トランジスタ間配線モデル

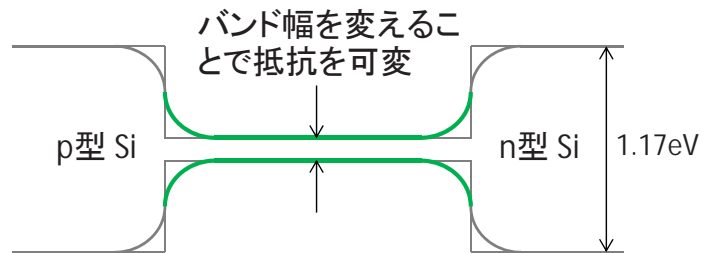


トランジスタ間配線

=n型とp型半導体領域を接続する低抵抗な配線



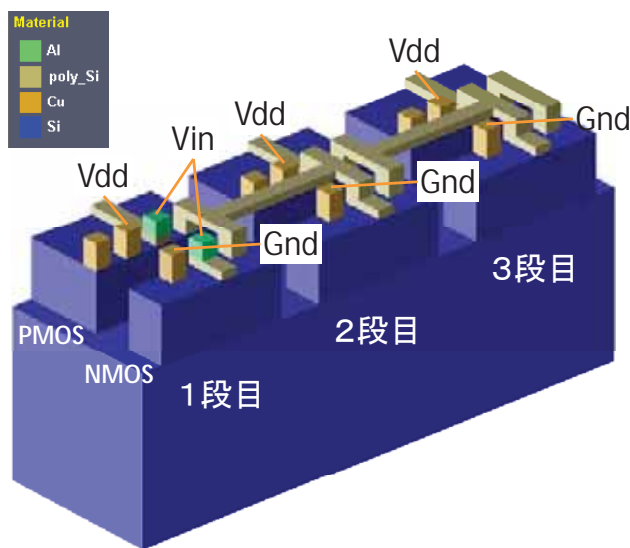
狭いバンドギャップの半導体により配線をモデル化



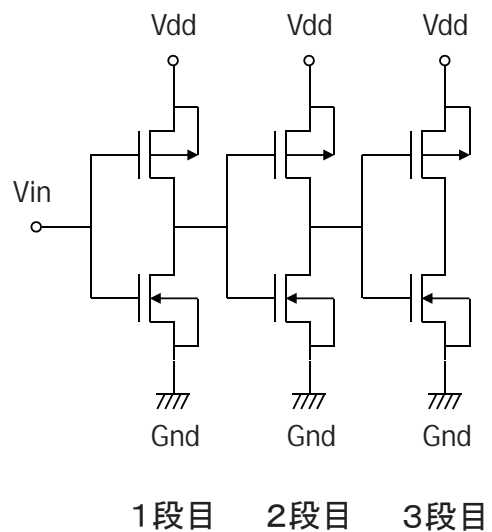
複数トランジスタの一括過渡解析

～ CMOSインバータチェーン解析事例 ～

【構造俯瞰図】



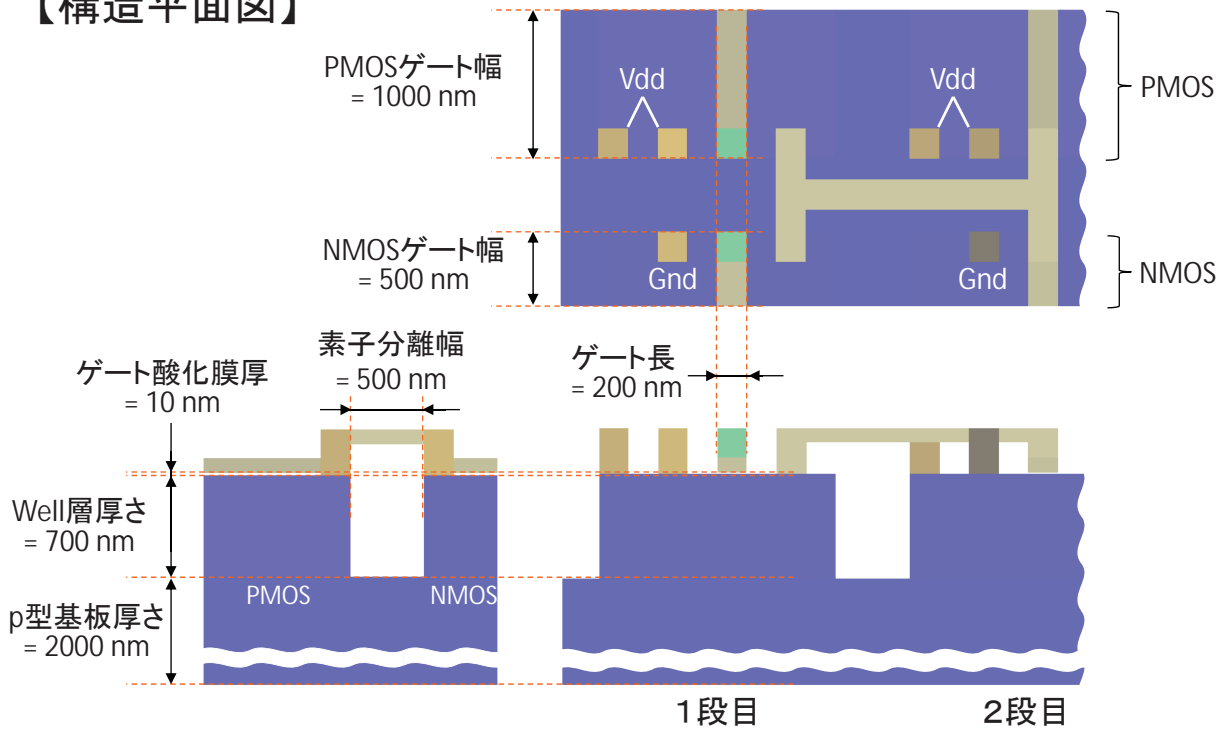
【回路図との対応】



※SiO2は非表示としている。

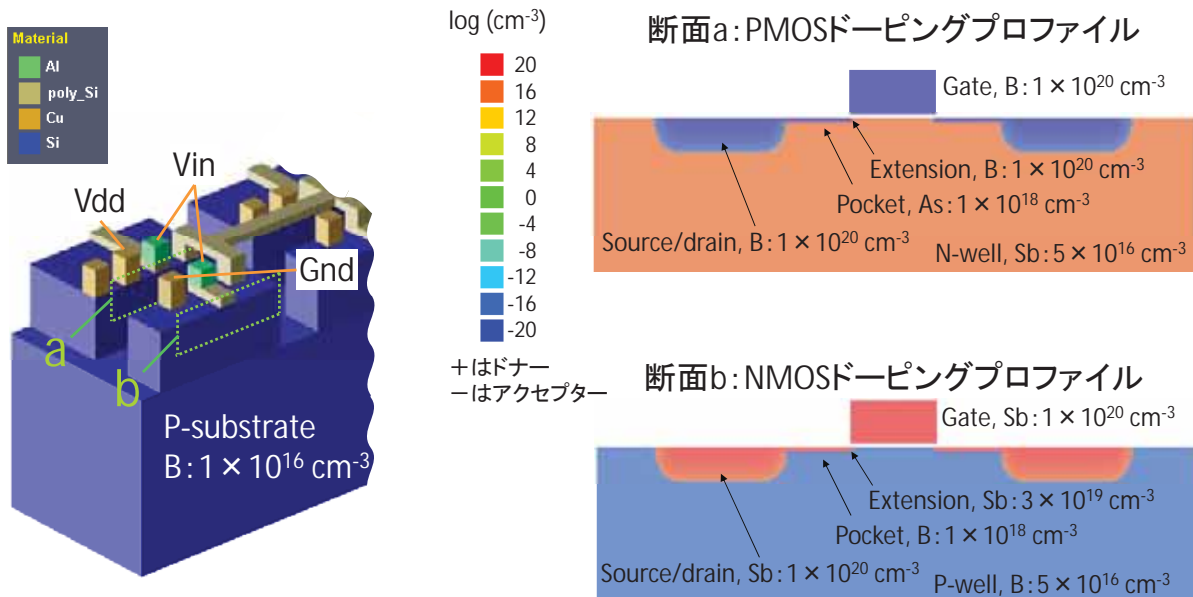
複数トランジスタの一括過渡解析 ～ CMOSインバータチェーン解析事例 ～

【構造平面図】



複数トランジスタの一括過渡解析 ～ CMOSインバータチェーン解析事例 ～

【ドーピングプロファイル】

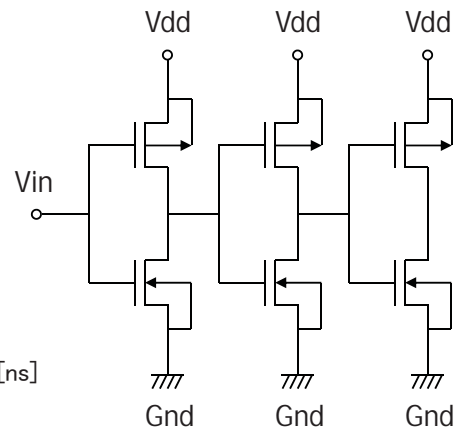
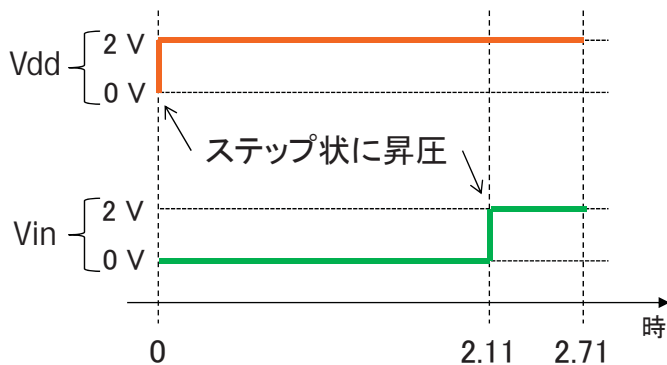


複数トランジスタの一括過渡解析 ～ CMOSインバータチェーン解析事例 ～

【バイアス印加スケジュール】

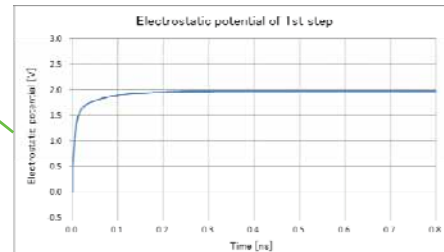
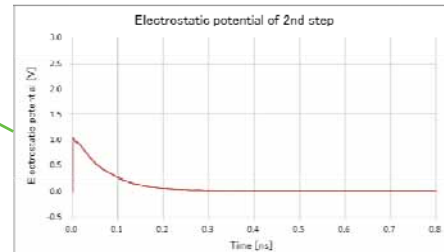
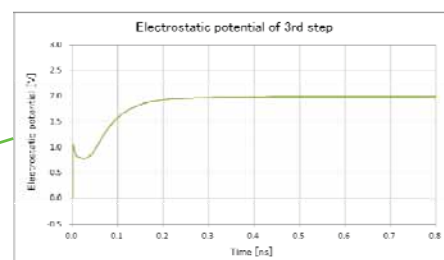
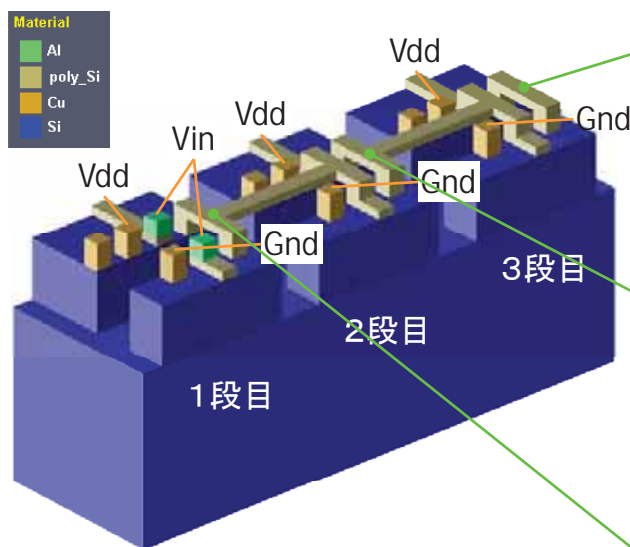
時刻 [ns]	動作	Vdd [V]	Vin [V]	Gnd [V]
0 ~ 2.11*	VddがON	2.0	0.0	0.0
2.11 ~ 2.72*	インバータ動作	2.0	2.0	0.0

*2.11 nsと2.72 nsは試計算の際に定常状態に落ち着いた時刻であり、それ以外の指標で決定した時刻では無い。

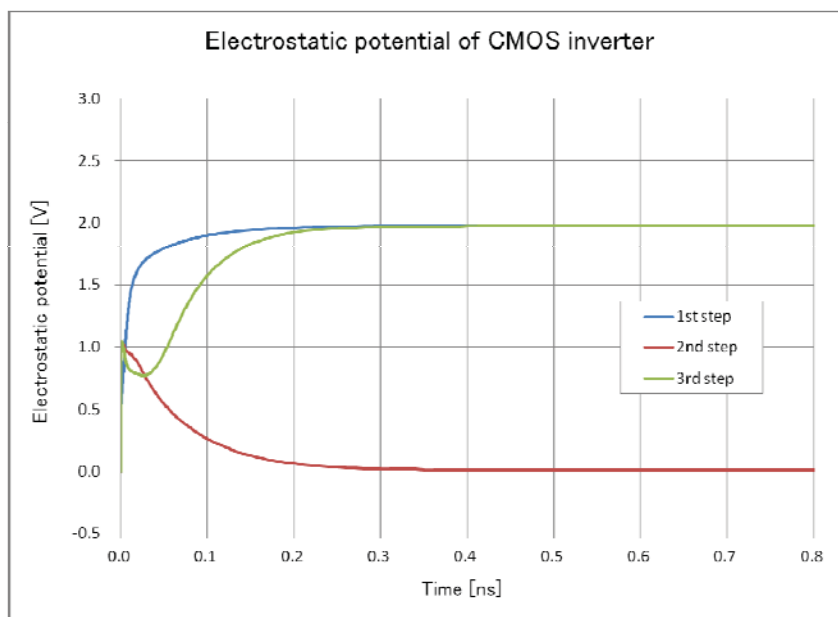


複数トランジスタの一括過渡解析 ～ CMOSインバータチェーン解析事例 ～

【VddがONする際(0～2.11ns)の過渡解析】

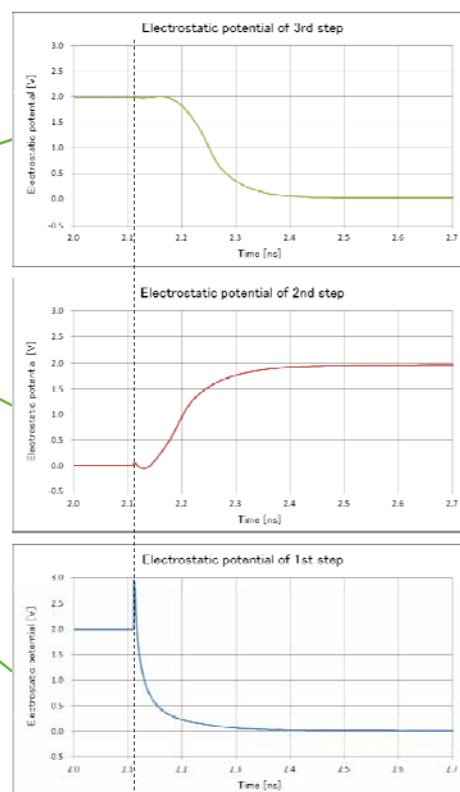
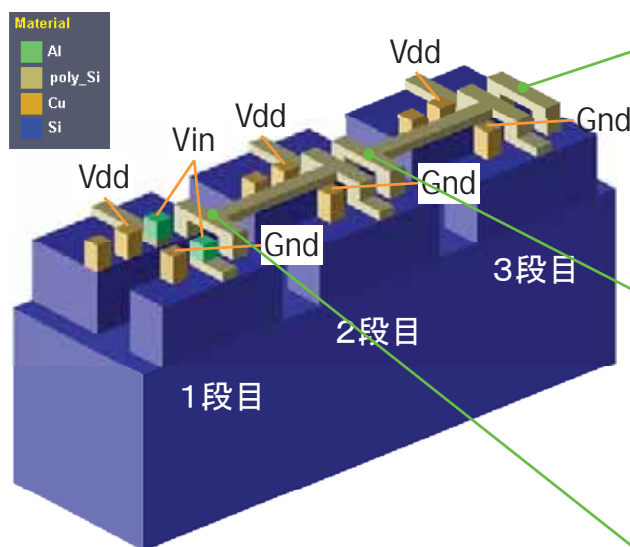


複数トランジスタの一括過渡解析 ～ CMOSインバータチェーン解析事例 ～ 【VddがONする際(0～2.11ns)の過渡解析】



※静電ポテンシャルは0バイアス時の値からの相対値

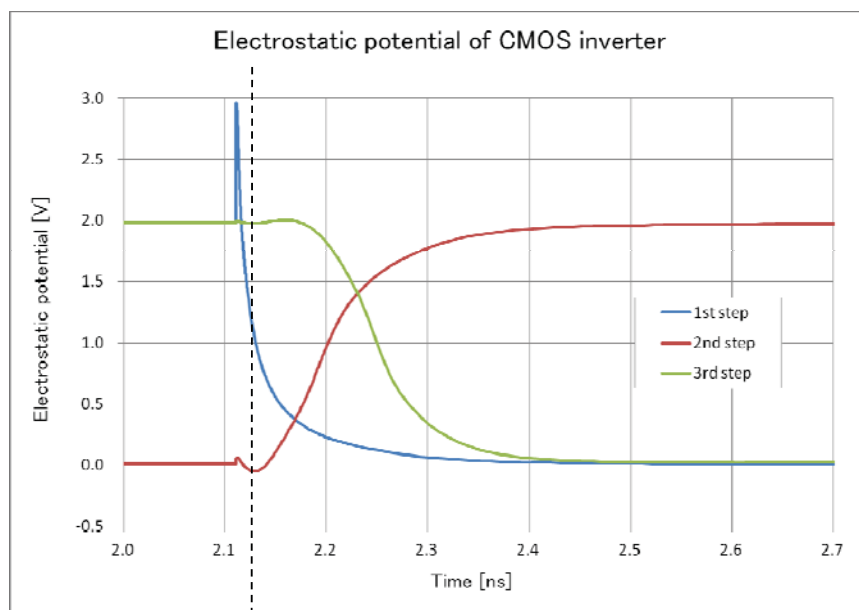
複数トランジスタの一括過渡解析 ～ CMOSインバータチェーン解析事例 ～ 【インバータ動作時の過渡解析】



Vin昇圧0→2V, t=2.11ns

複数トランジスタの一括過渡解析 ～ CMOSインバータチェーン解析事例 ～

【インバータ動作時の過渡解析】



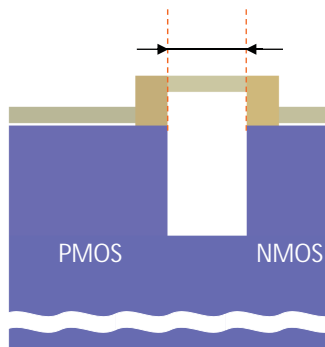
Vin昇圧0→2V
t=2.11ns

※静電ポテンシャルは0バイアス時の値からの相対値

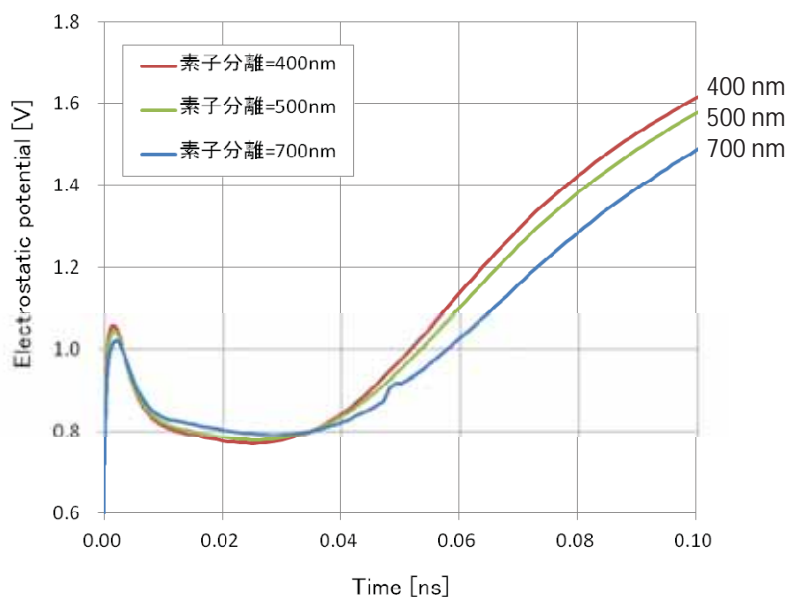
複数トランジスタの一括過渡解析 ～ CMOSインバータチェーン解析事例 ～

【素子分離の影響調査】

素子分離幅
=400, 500, 700 nm



Electrostatic potential of 3rd stage (0~0.1ns)



発表内容

- デバイスシミュレーションの過渡解析手法
- 複数トランジスタの一括過渡解析
 - 一括解析の必要性
 - 一括解析の手法
 - CMOSインバータのチェーン解析事例
- 外部回路を含んだ過渡解析
 - 外部回路の解析手法
 - 解析事例
- 過渡解析におけるその他の機能
 - レート方程式による空間固定電荷、再結合モデル
 - 過渡解析におけるバイアス印加

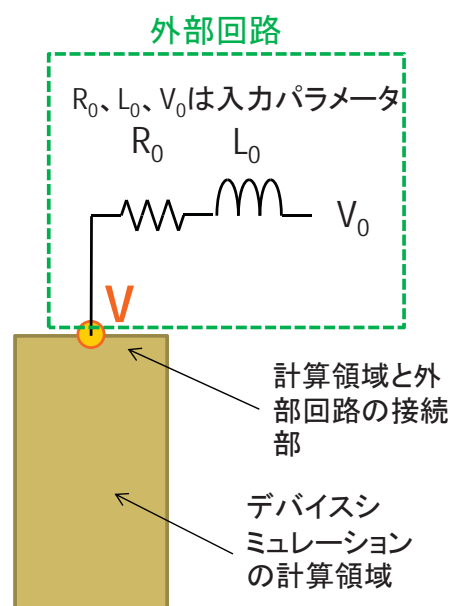
外部回路を含んだ過渡解析 ～ 外部回路の解析手法 ～

概要

デバイスシミュレーションの金属端子にインダクタンスなどの外部回路が外部接続されている場合のシミュレーション。



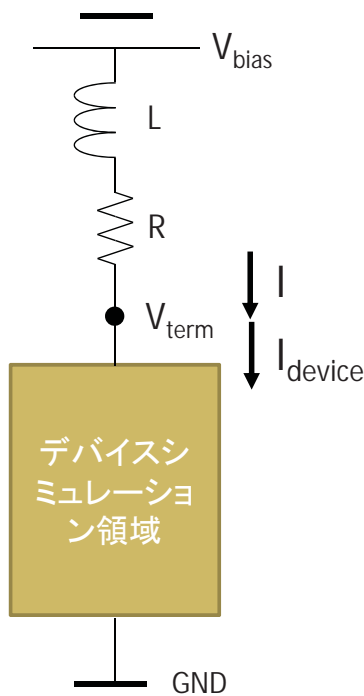
デバイスシミュレーションでは扱えないインダクタンスを扱える。



外部回路を含んだ過渡解析

～ 外部回路の解析手法 ～

計算手法



外部回路側はLR直列回路の解析解を直接計算

$$V_{bias} - V_{term} = IR + L \frac{dI}{dt}$$

一般解: $I(t) = \frac{V_{bias} - V_{term}}{R} - \left(\frac{V_{bias} - V_{term}}{R} - I(0) \right) \exp\left(-\frac{R}{L}t\right)$

L=0の場合: $I(t) = \frac{V_{bias} - V_{term}}{R}$

R=0の場合: $I(t) = \frac{V_{bias} - V_{term}}{L}t + I(0)$



V_{term} を電位の境界条件としたデバイスシミュレーションで求めた接合部での電流 I_{device} が外部回路の電流 I と一致するように、 V_{term} を求める。

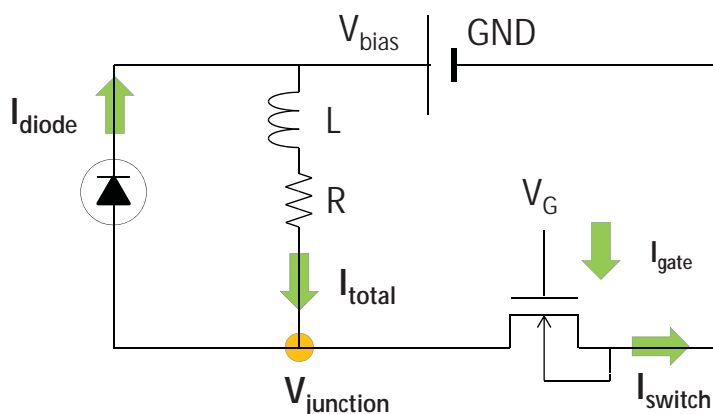
ニュートン法を使用。

外部回路を含んだ過渡解析

～ モータのスイッチングデバイスの解析事例 ～

モータのスイッチングデバイス (LR外部回路の検証計算)

スイッチオフ時のデバイス動作解析用回路



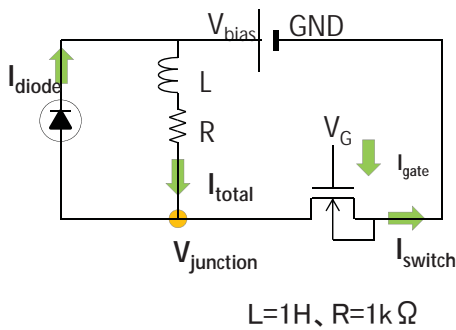
解析対象とする回路動作

- ① MOSFETスイッチがオンしていてモーター(L)が動作している状態を初期状態とする。
- ② スwitchをオフすると逆起電力によりV_{junction}の電圧がV_{bias}以上になる。
- ③ 電流はスイッチではなく、ダイオードに流れるようになる。

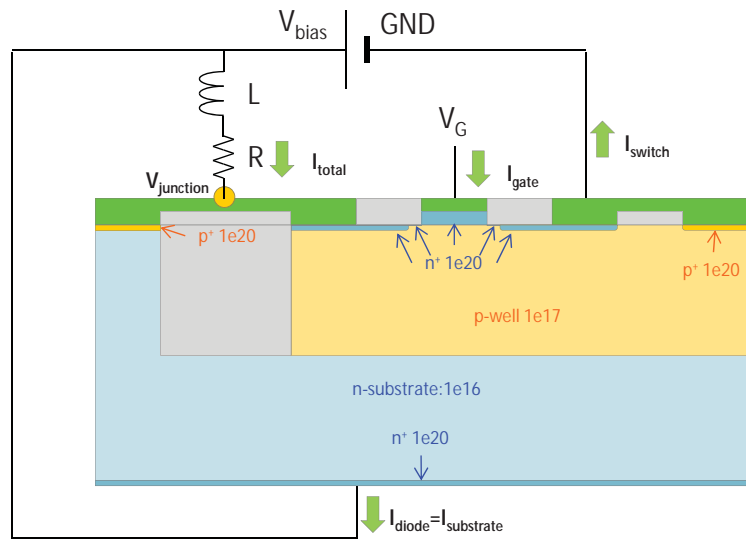
外部回路を含んだ過渡解析

～ モータのスイッチングデバイスの解析事例 ～

回路



デバイスシミュレーションモデル



バイアススケジュール

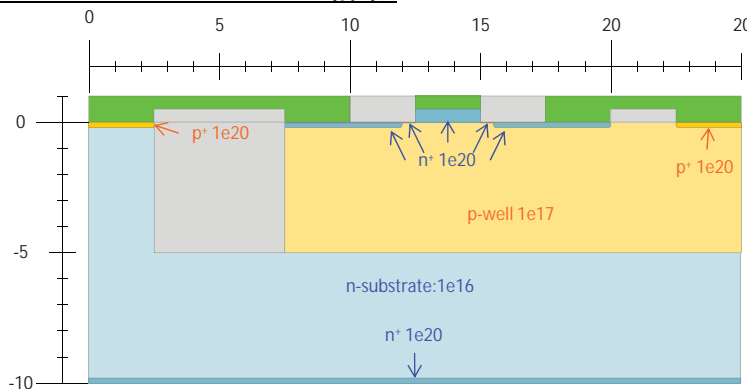
- ① V_G : 0→2V 定常計算
- ② V_{bias} : 0→10V 定常計算
- ③ V_G : 2V→0V (スイッチOFF)後の過渡解析

$$I_{total} - I_{switch} - I_{diode} + I_{gate} = 0$$

外部回路を含んだ過渡解析

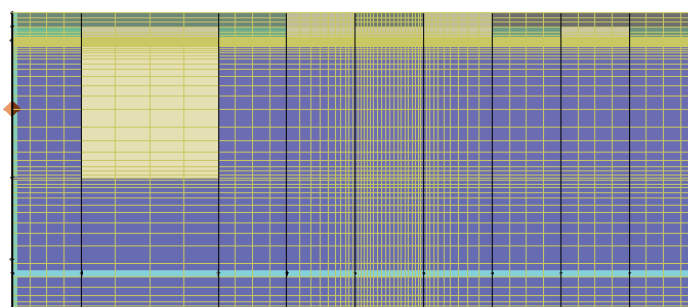
～ モータのスイッチングデバイスの解析事例 ～

デバイスシミュレーションモデル詳細



- 単位: μm
- 奥行き $100\mu m$
- 材質
 - 緑: Al
 - グレー: SiO₂
 - ゲート: poly-Si
 - それ以外は Si
- ゲート酸化膜厚 $10nm$

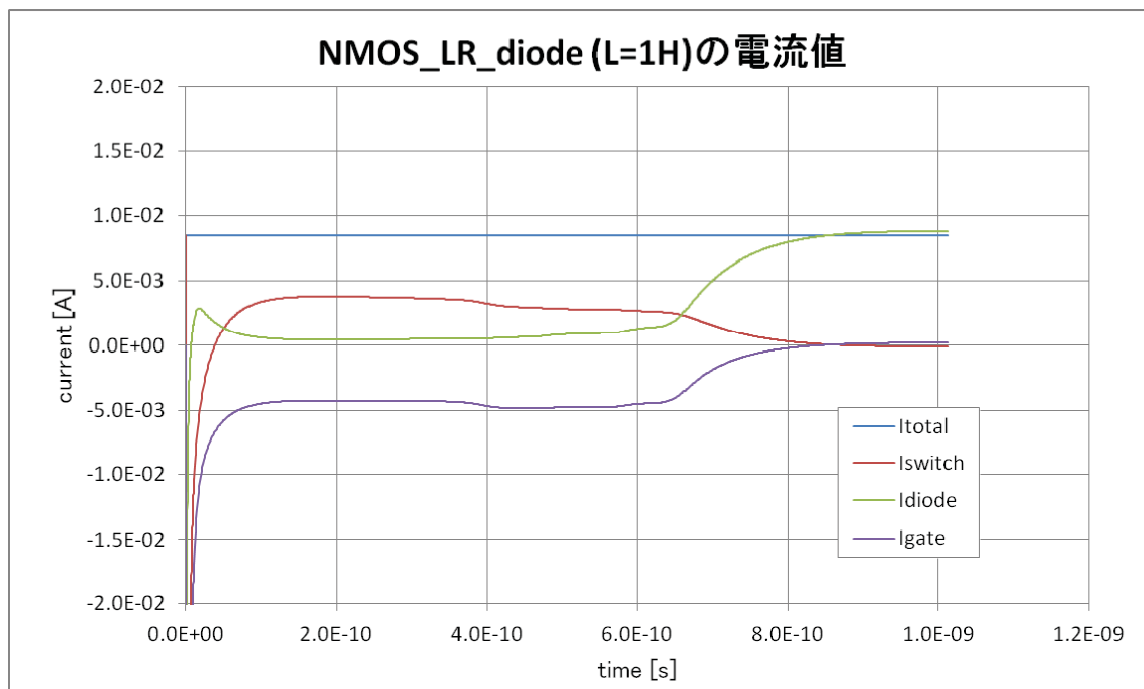
メッシュ分割



Material
poly_Si
Al
SiO ₂
Si

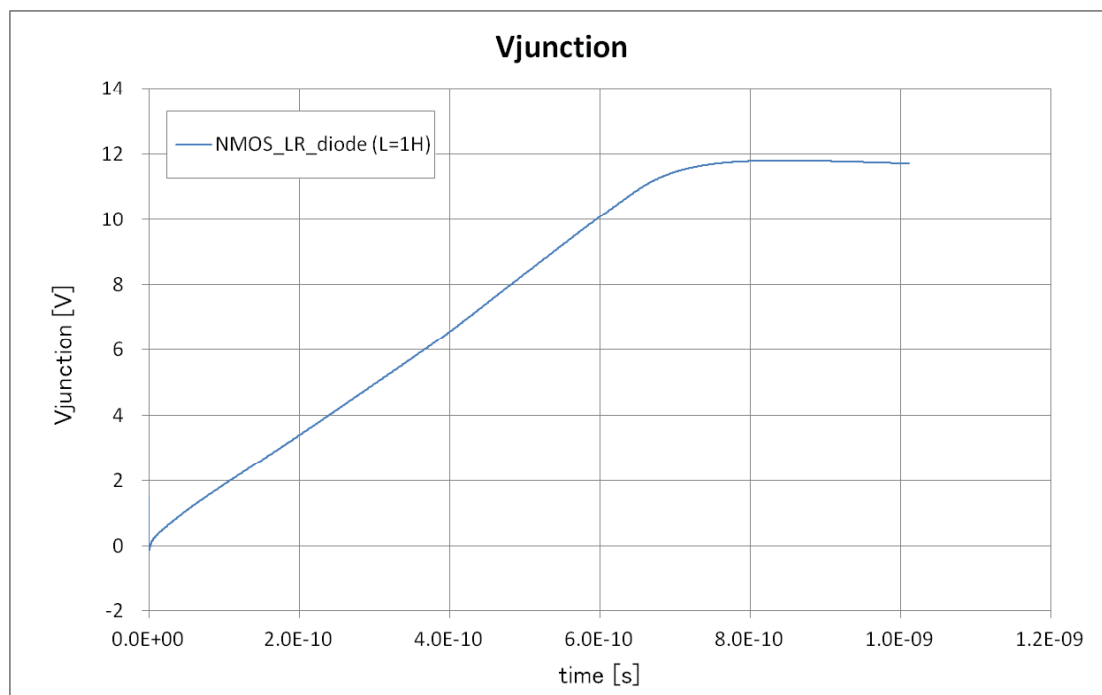
外部回路を含んだ過渡解析

～ モータのスイッチングデバイスの解析事例 ～



外部回路を含んだ過渡解析

～ モータのスイッチングデバイスの解析事例 ～



発表内容

- デバイスシミュレーションの過渡解析手法
- 複数トランジスタの一括過渡解析
 - 一括解析の必要性
 - 一括解析の手法
 - CMOSインバータのチェーン解析事例
- 外部回路を含んだ過渡解析
 - 外部回路の解析手法
 - 解析事例
- 過渡解析におけるその他の機能
 - レート方程式による空間固定電荷、再結合モデル
 - 過渡解析におけるバイアス印加

過渡解析におけるその他の機能

～ レート方程式による空間固定電荷、再結合モデル～

概要

界面準位や不純物準位へのキャリアの捕獲、放出により、ドナー、アクセプターイオンによる空間電荷の変化、電子や正孔の生成・消滅がおこる。

過渡解析では、これらの準位における電子の占有率 f に関する時間依存式を計算し、そこから空間電荷とキャリアの生成・消滅の時間発展を計算する。

過渡解析におけるその他の機能 ～ レート方程式による空間固定電荷、再結合モデル～

準位の電子占有率 f の式 (レート方程式)

$$\frac{df}{dt} = v_e \sigma_e [n(1-f) - n_1 f] - v_p \sigma_p [pf - (1-f)p_1]$$

$v_{n,p}$: 電子, 正孔の熱速度
 $\sigma_{n,p}$: 電子, 正孔の捕獲断面積
 N_i : 準位の濃度

再結合項 R の計算

$$R = -\frac{dn}{dt} = v_e \sigma_e n N_i (1-f_t) - v_e \sigma_e N_i f_t N_c \exp(-\varepsilon_t / k_B T)$$

$$R = -\frac{dp}{dt} = v_p \sigma_p p N_i f_t - v_p \sigma_p N_i (1-f_t) N_v \exp[-(E_g - \varepsilon_t) / k_B T]$$

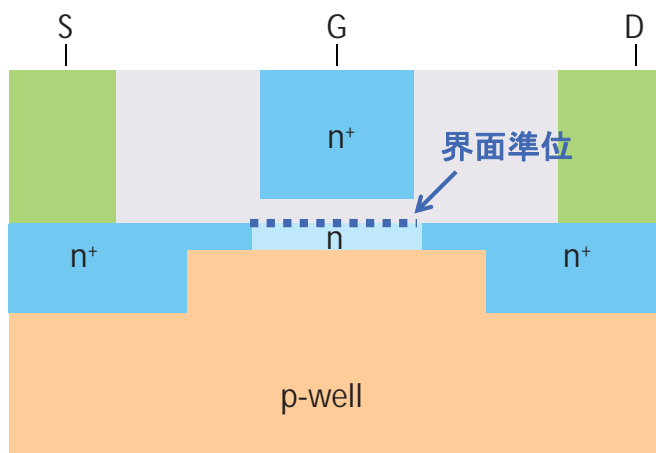
空間電荷の計算

ドナー型: $N_i(1-f_t)$

アクセプタ型: $-N_i f_t$

過渡解析におけるその他の機能 ～ レート方程式による空間固定電荷、再結合モデル～

解析事例: NMOSFET 界面準位によるドレイン電流過渡応答への影響



デプレッション型NMOSFET

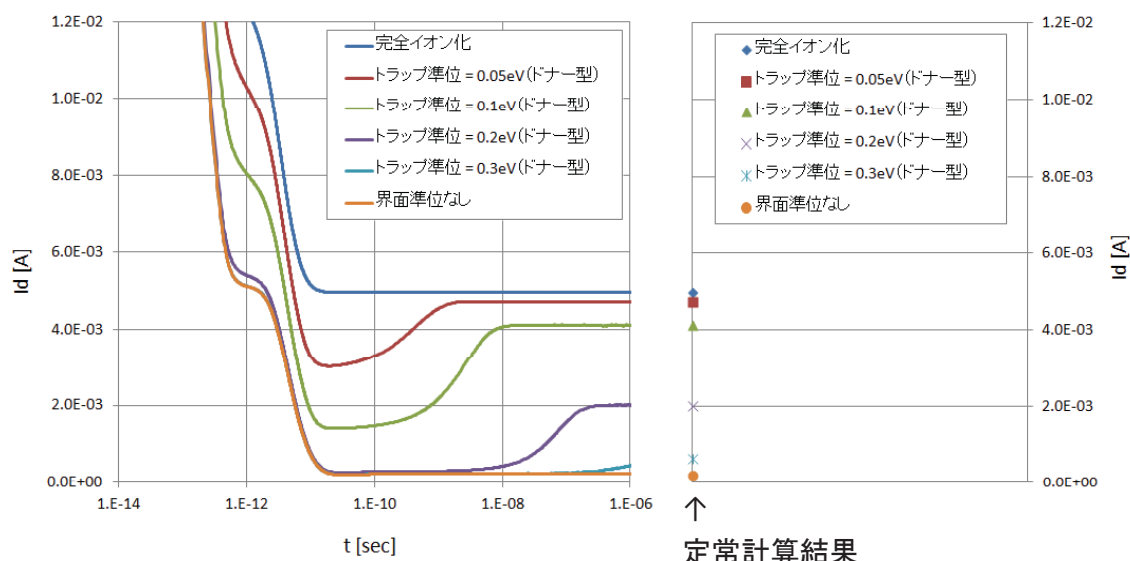
バイアス印加方法

- ① $V_d = 3V$ 、 $V_g = 0V$ で定常計算。
- ② $t = 0$ sec でステップ状に $V_g = -3V$ を印加し過渡解析。

過渡解析におけるその他の機能

～ レート方程式による空間固定電荷、再結合モデル～

解析事例: NMOSFET 界面準位によるドレイン電流時間変化への影響



過渡解析におけるその他の機能

～ 過渡解析におけるバイアス印加 ～

概要

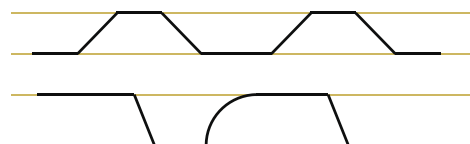
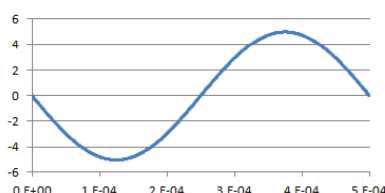
過渡解析では印加バイアスは時刻に応じて変化する。印加バイアス値をユーザー入力ファイルとすることによって、任意の波形、任意のタイミングでのバイアス印加が可能である。

バイアス印加ファイル入力例

```
# TIME [S], VOLTAGE [V]
1
1
Electrode_AL_1
1001
0.000E+00, 0.000000
5.000E-07, -0.031416
1.000E-06, -0.062830
1.500E-06, -0.094242
2.000E-06, -0.125650
2.500E-06, -0.157054
...
```

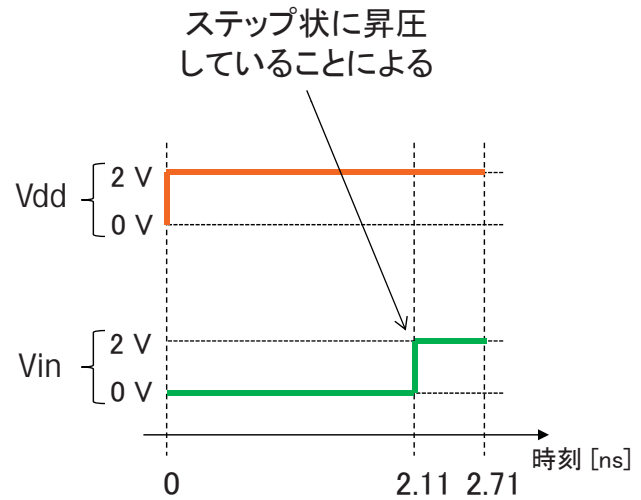
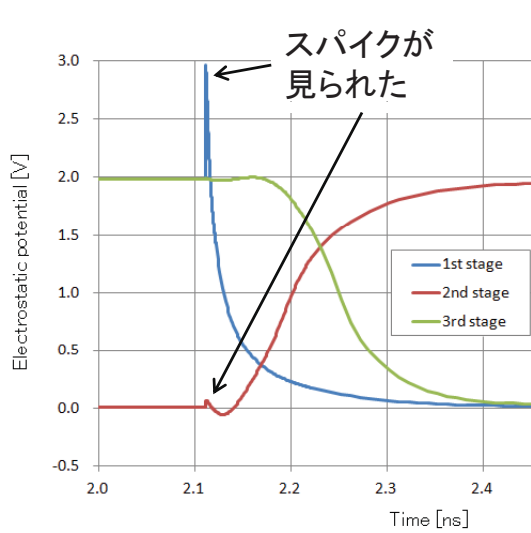


任意のバイアス印加



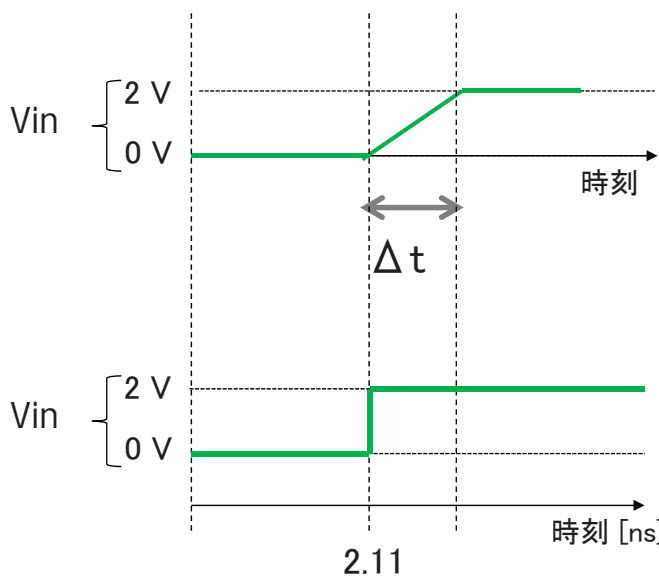
過渡解析におけるその他の機能 ～ 過渡解析におけるバイアス印加 ～

CMOSインバータにおける使用例



過渡解析におけるその他の機能 ～ 過渡解析におけるバイアス印加 ～

CMOSインバータにおける使用例

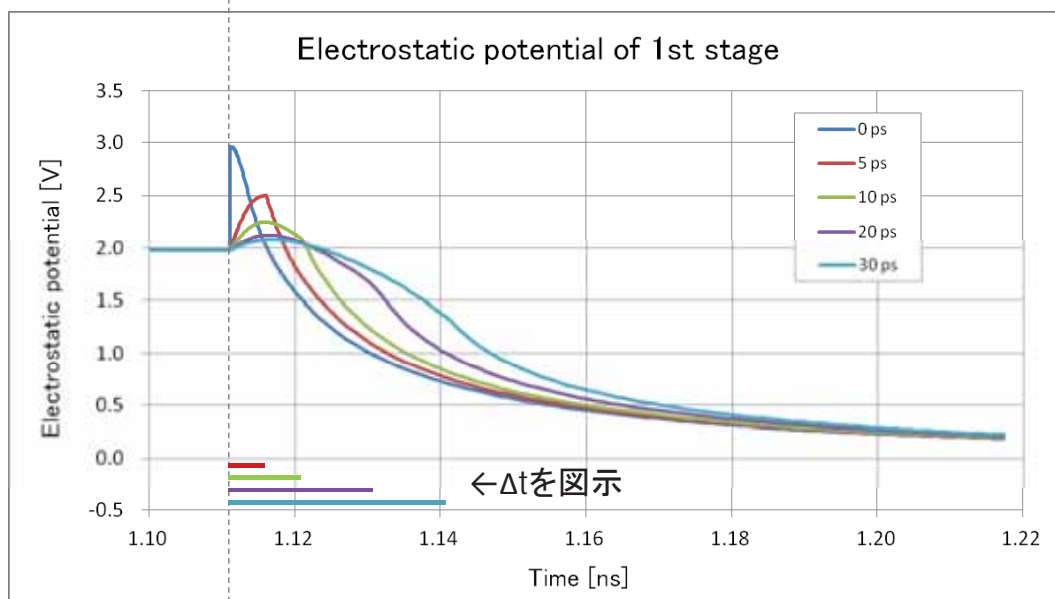


$\Delta t = 0, 5, 10, 20, 30\text{ps}$ で計算。

$\Delta t =$ のときは従来と同じステップ状バイアス印加。

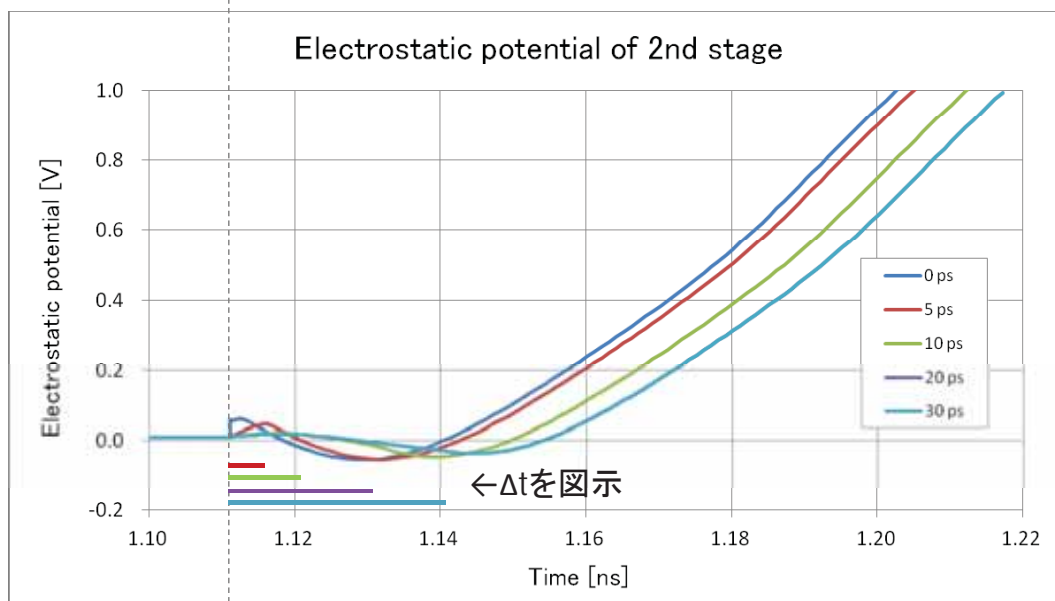
過渡解析におけるその他の機能 ～ 過渡解析におけるバイアス印加 ～

CMOSインバータにおける使用例



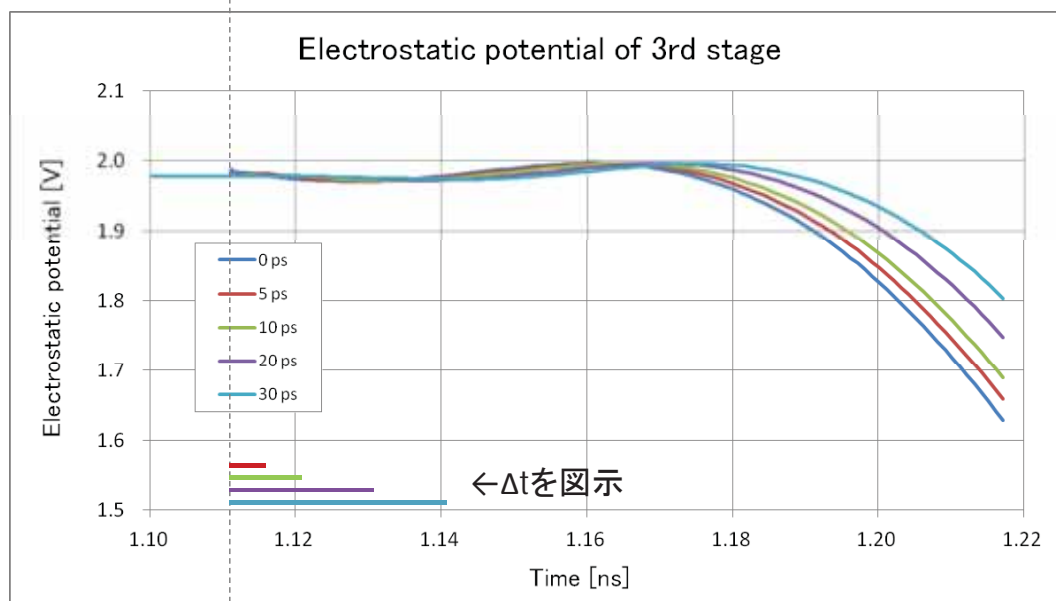
過渡解析におけるその他の機能 ～ 過渡解析におけるバイアス印加 ～

CMOSインバータにおける使用例



過渡解析におけるその他の機能 ～ 過渡解析におけるバイアス印加 ～

CMOSインバータにおける使用例



まとめ

- デバイスシミュレーションの過渡解析手法
- 複数トランジスタの一括過渡解析
 - 一括解析の必要性
 - 一括解析の手法
 - ✓ 3次元構造作成機能
 - ✓ トランジスタ間配線モデル
 - CMOSインバータのチェーン解析事例
 - ✓ 解析モデル、解析条件
 - ✓ 解析結果
- 外部回路を含んだ過渡解析
 - 外部回路の解析手法
 - 解析事例
- 過渡解析におけるその他の機能
 - レート方程式による空間固定電荷、再結合モデル
 - 過渡解析におけるバイアス印加

ご清聴ありがとうございました。

プロセスシミュレータの概要と特徴

主管研究員 大倉 康幸

Made in Japan のLSIデバイス設計CADシステム
Advance/TCADのご紹介
2015年6月30日（火）
アドバンスソフト株式会社

発表内容

Advance/TCADのプロセスシミュレータは、

- ・デバイスの形状を計算する
堆積／エッチング、酸化
- ・デバイス中の不純物分布を計算する
イオン注入、不純物拡散
- ・形状が変化したとき及び熱工程に伴う応力を計算するという機能を持つ。

この報告では、
堆積／エッチング(3次元形状モデル)
不純物拡散(拡散モデル)
酸化及び応力(3次元酸化モデル)
について報告する。

イオン注入計算
入出力GUI(統合プラットフォーム)
拡散計算の並列化
は別に報告。

3次元形状処理モデル

形状処理モデルの対応関係

	物理モデル ^[1-2]	幾何学モデル
デポジション	エピタキシャル成長	平坦化デポジション、(等方性デポジション)
	PVD、CVD	等方性デポジション、平坦化デポジション
エッチング	プラズマエッチング	異方性エッチング、等方性エッチング
	反応性イオンエッチング(RIE)	異方性エッチング、(等方性エッチング)
	溶液エッチング	等方性エッチング
	化学的機械的研磨(CMP)	平坦化エッチング



ポイント

処理後の形状がコントロールしやすい(理想的な形状を再現)

高速に処理が出来る

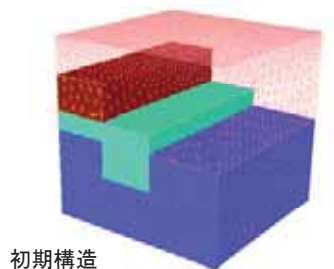
形状表現に適した非構造四面体メッシュに対応

[1] リアライズ社, 最新/半導体プロセス・デバイスシミュレーション技術, 1990

[2] 角南英夫 著, VLSI工学製造プロセス編, 電子情報通信学会編, 2006, コロナ社

3次元形状処理モデル

3次元形状処理《デポジション》



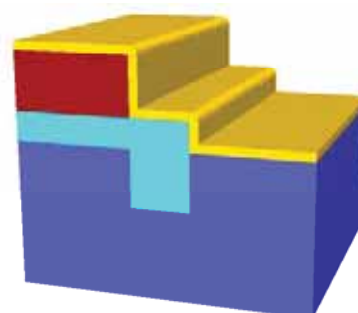
初期構造

等方性 + デポジション



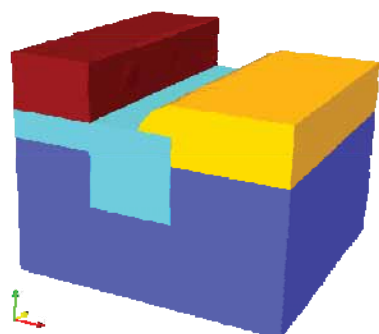
基本機能: 表面に等方的に材質を堆積させる

- どの材質でも同一の処理が行われる
- 縦横比の調節が可能

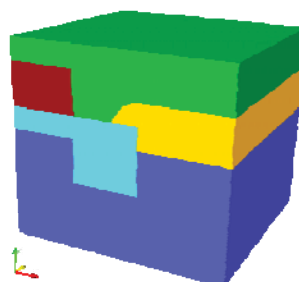


エピタキシャル成長機能:

特定材質の表面に等方的に材料を堆積させる

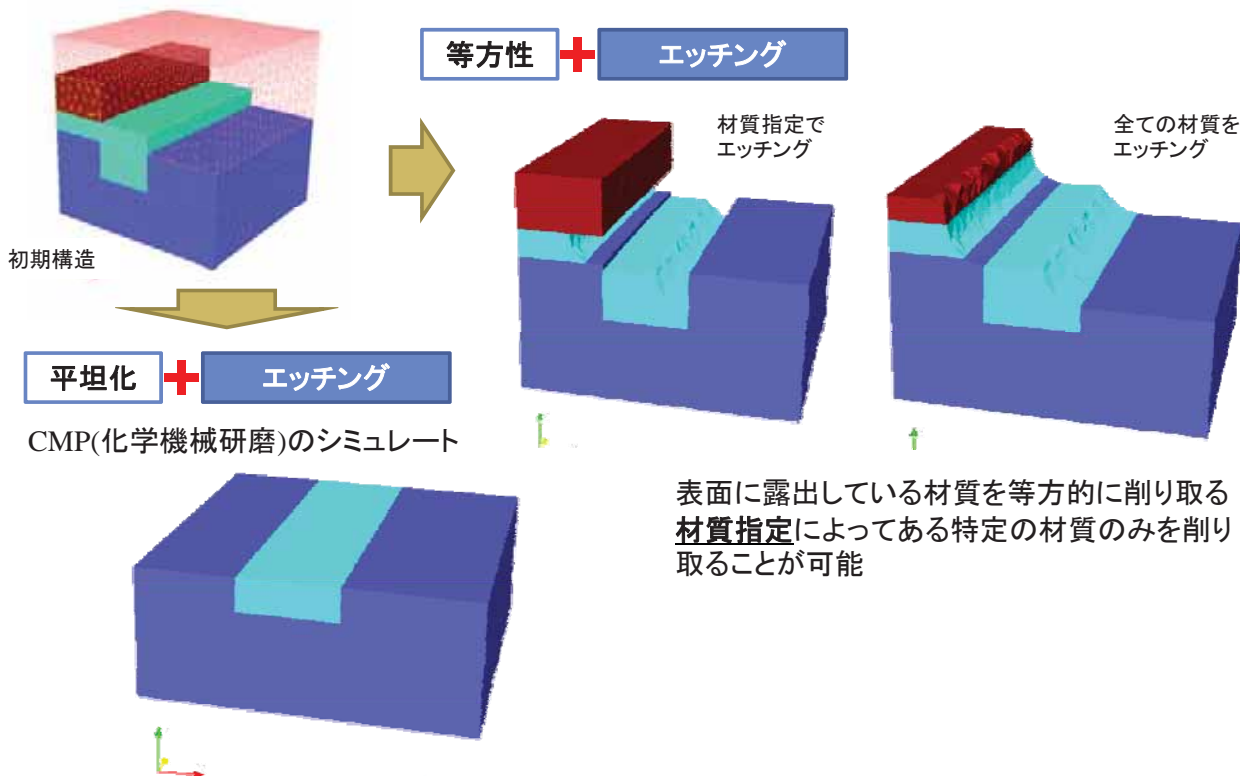


平坦化 + デポジション

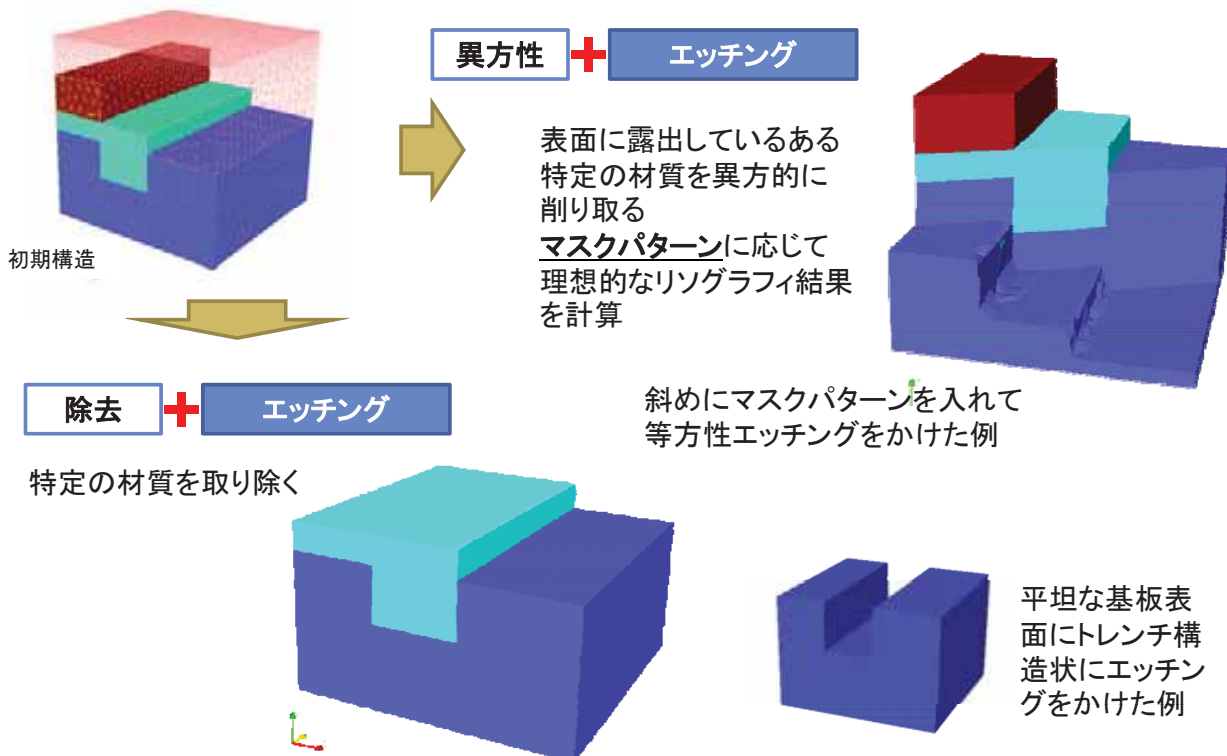


ある高さまで平坦に積み上げる

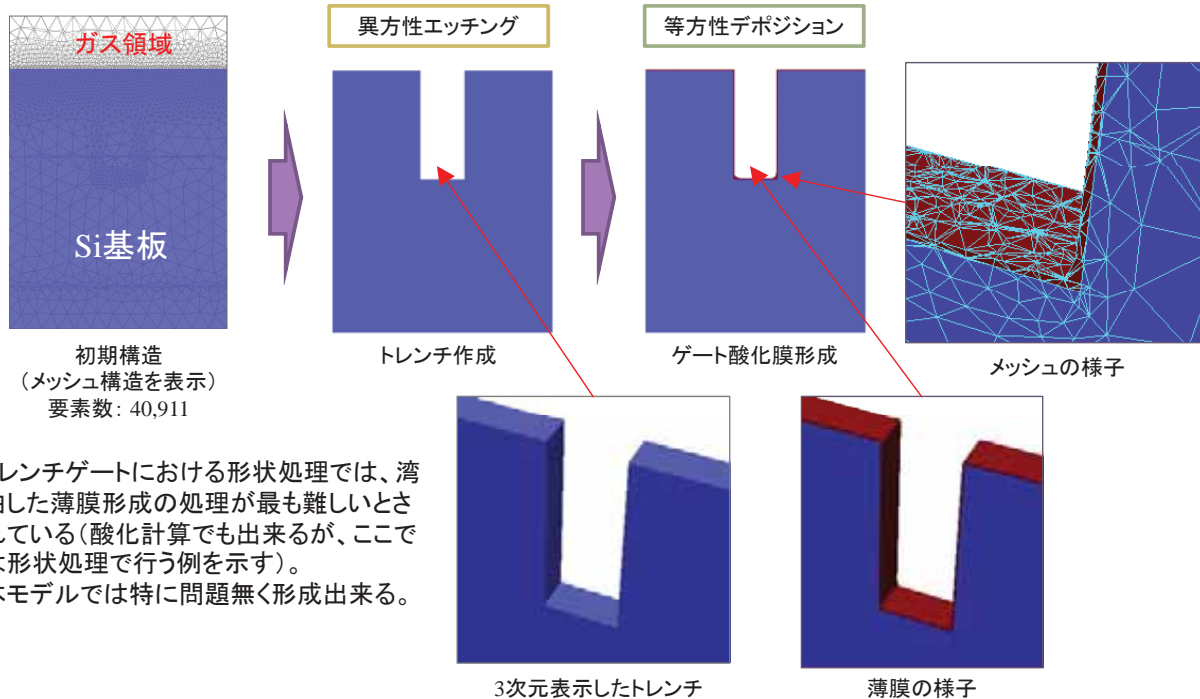
3次元形状処理《エッチング》



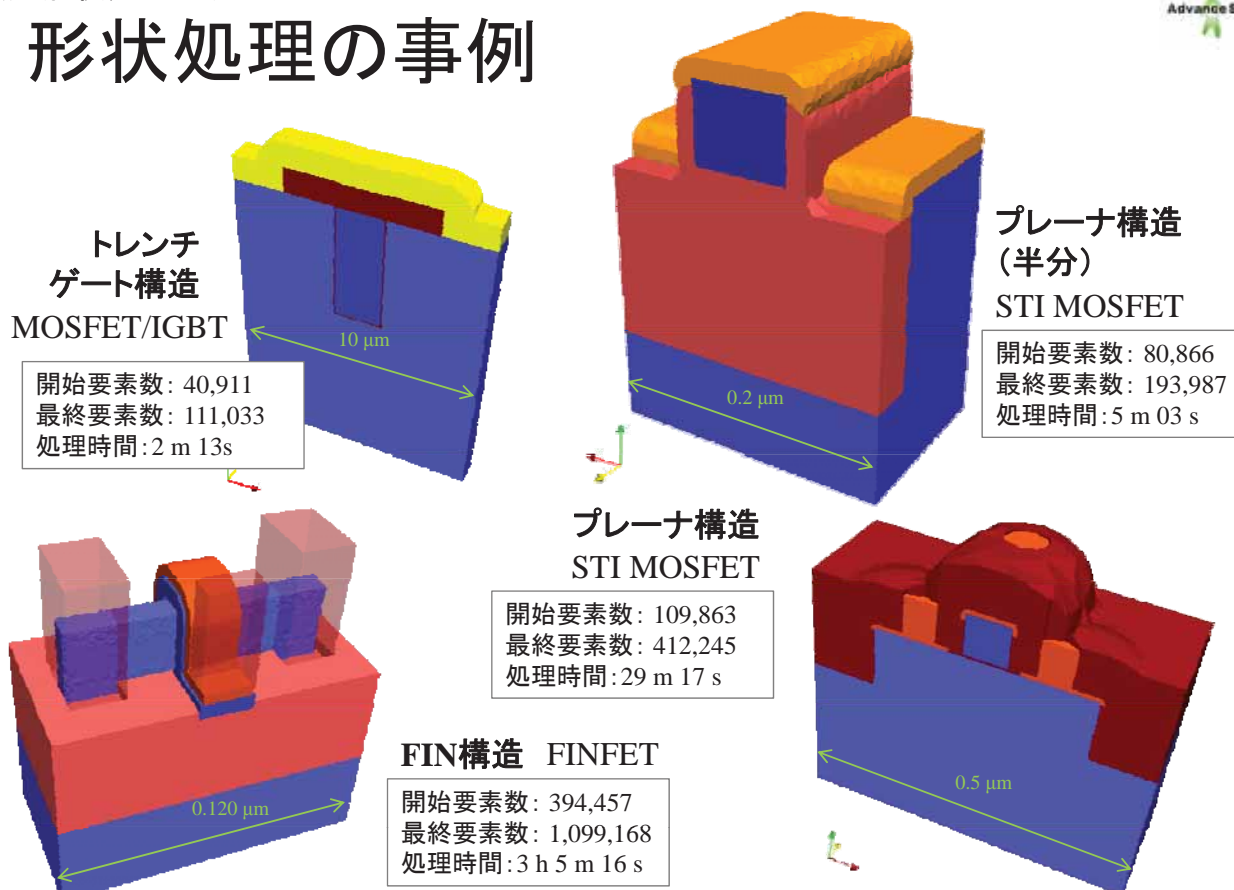
3次元形状処理《エッチング》



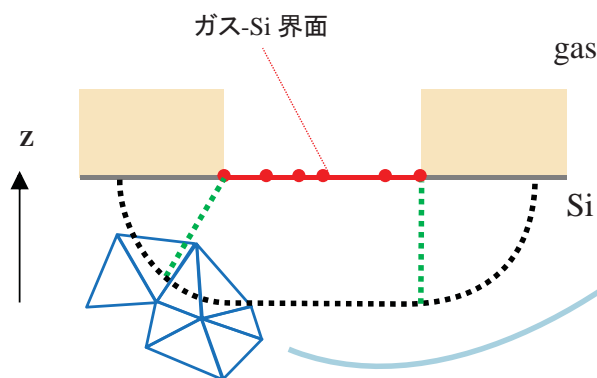
形状処理の事例(トレンチゲート)



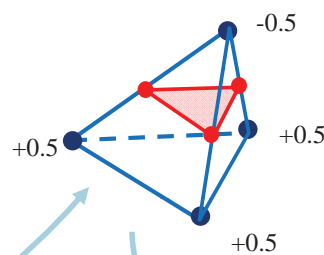
形状処理の事例



移動境界の方法

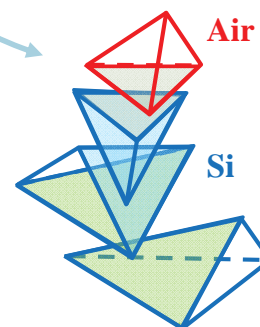


距離関数から要素内界面の頂点座標を求める



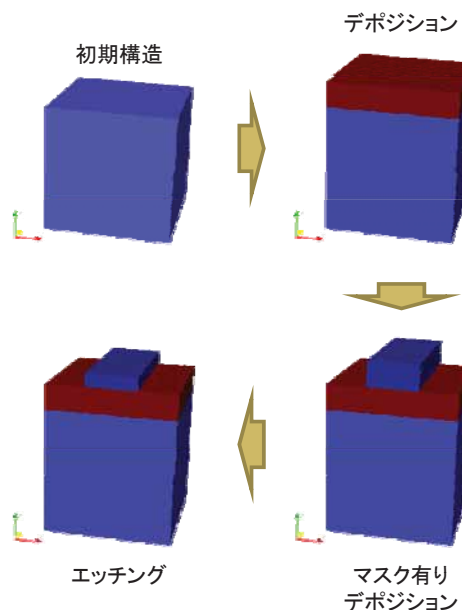
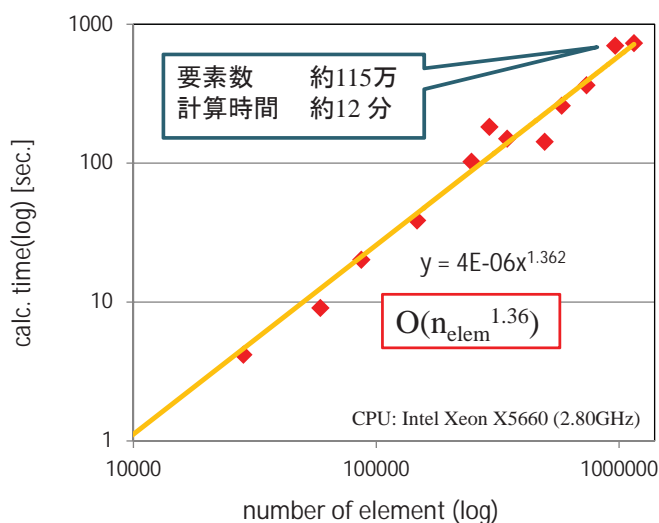
1. あるメッシュ格子点に関して、元界面頂点との最短距離を求める
2. 距離関数から新界面頂点を求める
3. 要素を分割する

別のプロセスへ移るときに要素分割を行い、四面体に置き換えるとともに、材質情報を書き換える



計算処理速度(メッシュ規模依存性)

単純なベンチマーク(3ステップ)についてCPU1コア(並列なし)で計算メッシュ作成や実作業の時間を含まない計算処理時間のみ

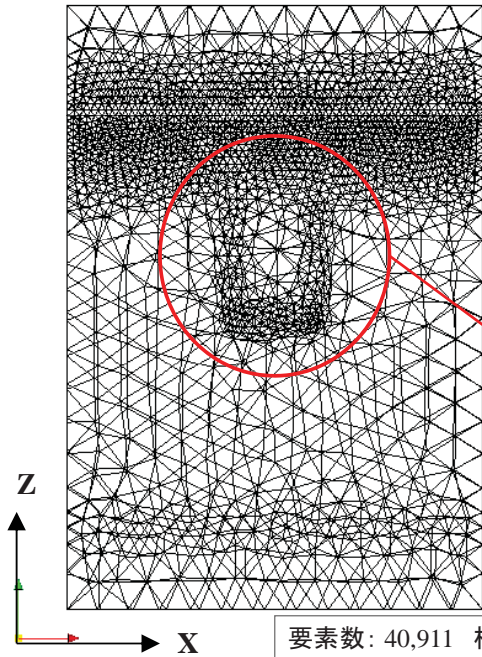


要素数に対して $O(n_{elem}^{1.36})$ の速度性能を実現

メッシュ作成例

プロセスシミュレータには専用の四面体メッシュャーが付属。

トレンチゲート用擬似2Dメッシュ

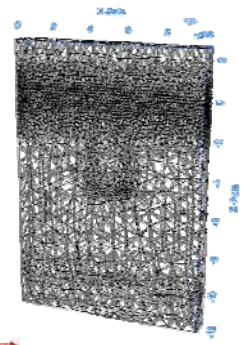


密度制御は、基板表面とマスクパターン近傍で指定可能

界面領域は不純物注入拡散のためにメッシュ密度を高く設定

トレンチ構造を作成するために奥行き方向に均一な密度制御を行う
特に界面に湾曲が生まれる角の部分を細かく設定

p/n junctionのために少しだけ密度を高く設定



要素数: 40,911 格子点数: 8,185

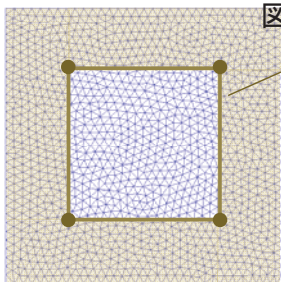
マスクパターン設定

マスクファイルによる指定

```
!MASK, NAME="MODEL01", FILE="model01.msk"
!MASK, NAME="MODEL02"
0.3, 0.3
0.3, 0.5
0.5, 0.5
0.5, 0.3
```

入力制御ファイルに直接指定する方法

Si-ガス界面を上から(Z軸方向)から見た



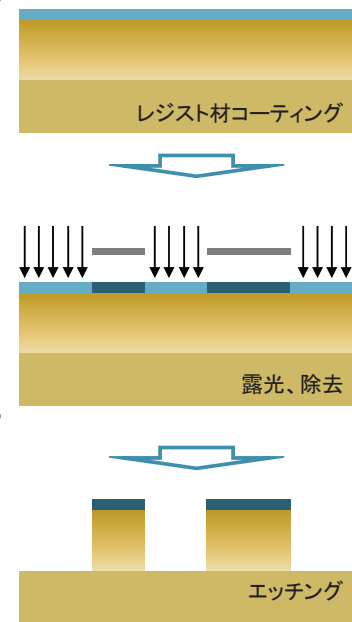
マスクパターン

この領域内部(ポジの場合)にデポジションまたはエッチング処理が施されます。

幾何学モデルでは省略される



幾何学モデルにおけるマスクパターンは、実際のプロセス工程におけるリソグラフィのフォトリソエッチング工程の中間過程を省略し、理想的な処理(高解像度)を再現



エッチング模式図

拡散シミュレーションの概要

- ① 要素中心コントロールボリューム法を利用
- ② ニュートン法による非線形解析
- ③ 行列ソルバは汎用ライブラリLIS_[1] を利用
- ④ 拡散モデル は非平衡反応拡散モデル及び平衡拡散モデル (フェルミモデル)
 - 点欠陥、不純物反応
 - 点欠陥クラスタ反応
 - 不純物不活性化反応
- ⑤ 半導体プロセスで用いられる熱処理条件
 - 高温長時間 1200°C 数時間
 - 高温短時間 RTA, Spike, Flush (急激な温度変化)
 - 低温長時間 600°C 数時間

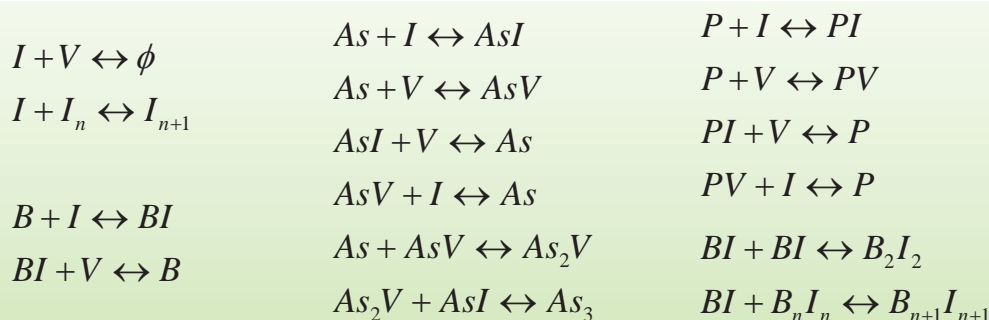


パラメータ記述で
多様なモデルに対応可能

[1] <http://www.ssisc.org/lis/index.ja.html>

非平衡反応拡散モデル

実プロセス対応モデル B,P,As 混在_[2]



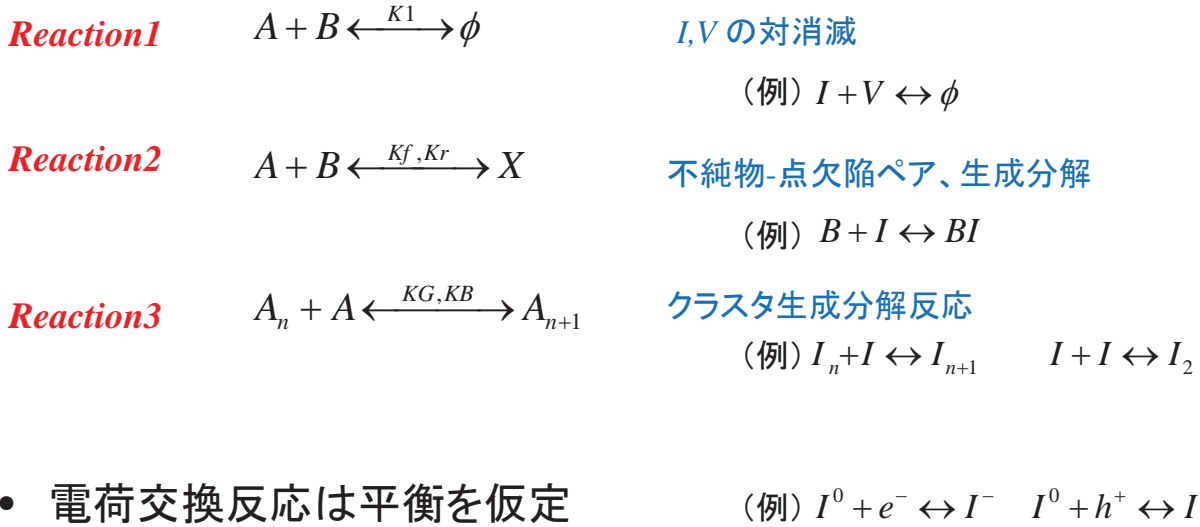
推奨パラメータを構築

I, V, BI, PI, PV, AsI, AsV : 拡散種 7種
 As, P, B : 活性種 (ドナー・アクセプタ) 3種
 I_n, B_nI_n, As₂V, As₃ : 不活性化種 4種 合計 14 種
 ポアソン方程式を含め 15個の偏微分方程式

[2] H. Sakamoto, et.al., SISPAD,137(1997).

反応拡散汎用ソルバ

- 反応拡散モデルをパラメータファイルで記述
- 多様な非平衡拡散モデルに対応可能
- 反応タイプは以下の3種を想定



空孔・格子間Siの熱平衡濃度・拡散係数^[3]

Si内でのZnの拡散(広がり抵抗)

→空孔・格子間Siの熱平衡濃度・拡散係数

Brachtによる定数

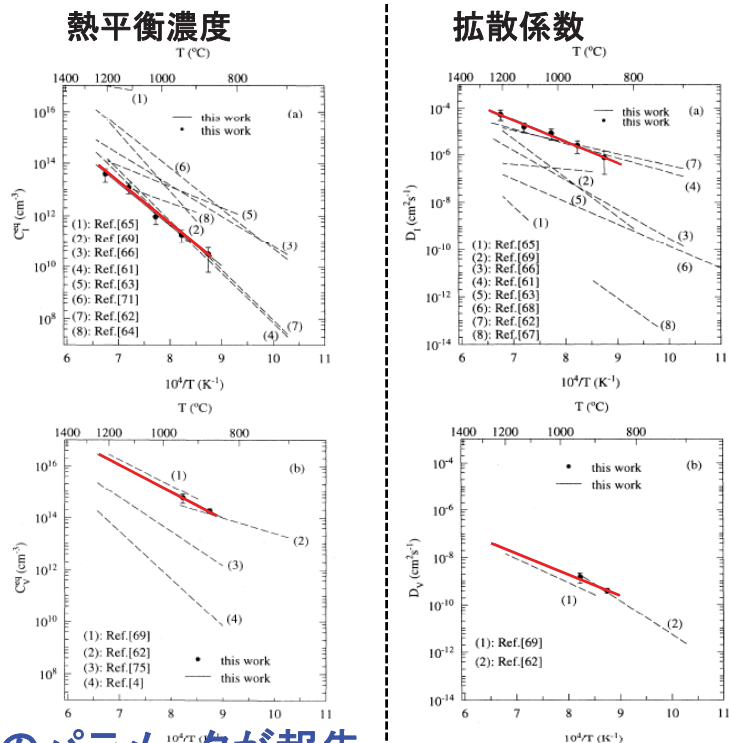
	Interstitial	Vacancy
$C^{eq} (1/cm^3)$	2.9×10^{24}	1.4×10^{23}
$E_{ceq} (eV)$	3.18	2.0
$D (cm^2/s)$	51	3.0×10^{-2}
$E_D (eV)$	1.77	1.8



B, As不純物拡散における推奨パラメータを決定

多くのグループより多数のパラメータが報告

⇒ Brachtらの結果を採用 [3] H. Bracht, et. al., Phys. Rev. B., 52, 16542(1995).



パラメータキャリブレーション例①

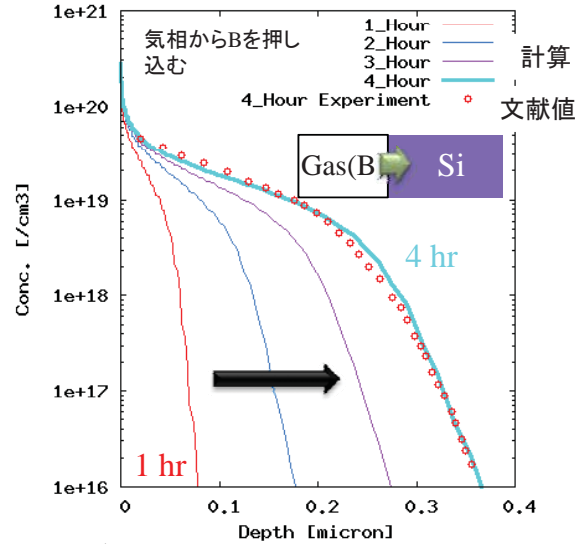
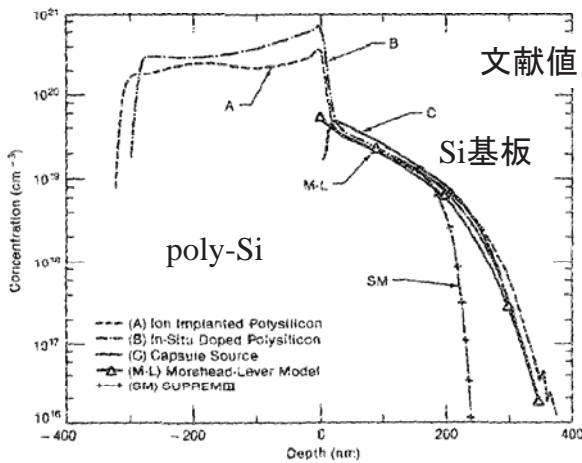
B拡散

- 格子間シリコン拡散係数、平衡濃度は文献値(Bracht)^[3]

(poly Si (gas) $4 \times 10^{20} \text{ 1/cm}^3$)

Si-poly Si基板を850°C、4 hr [4]

[4] W. A. Orr Arienzo, et. al., J. Appl. Phys, **63**, 116(1988).



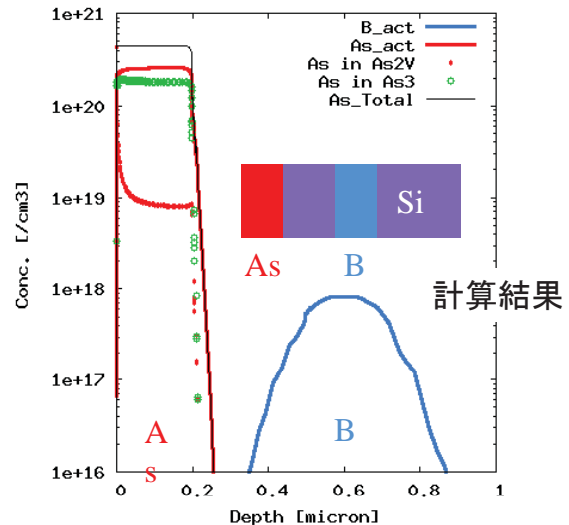
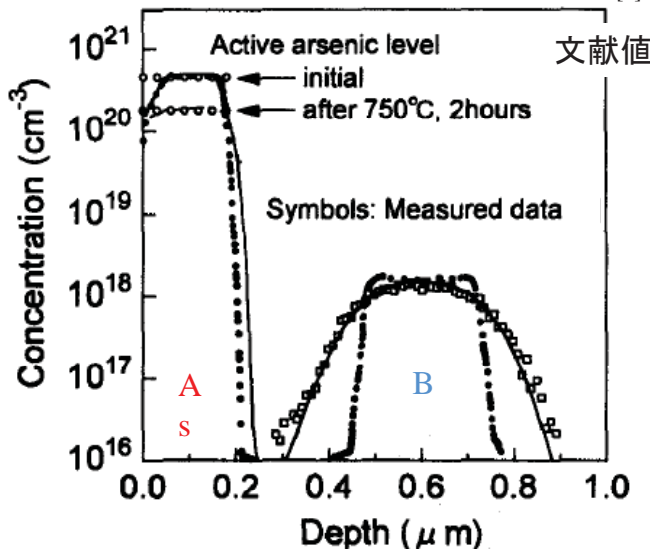
BIペアの拡散係数・反応定数のキャリブレーションで実験を再現

パラメータキャリブレーション例②

Asの不活性化によるBの拡散

エピタキシャル成長によるAs・B層の拡散^[5]

750 °C、2 hrのアニール後の計算結果

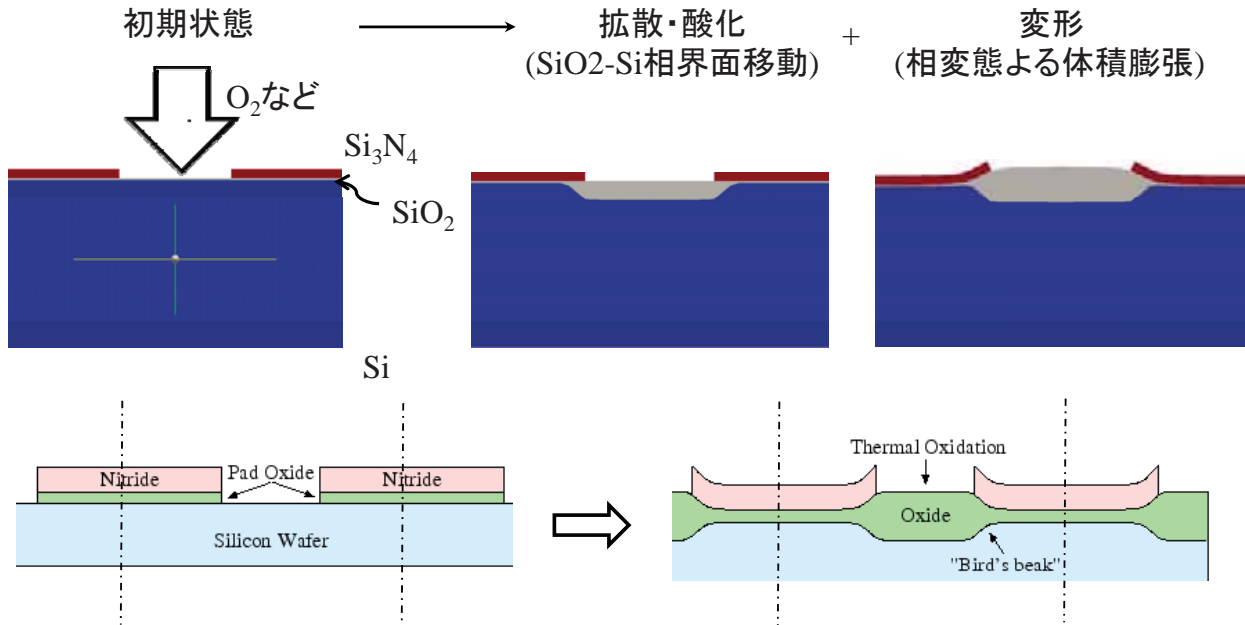


[5] P. M. Rousseau, et. al., IEDM Tech. Digs., 861(1999).

Asの不活性化によるIの発生 ⇒ **Bの拡散が再現**

粘弾性モデルによる三次元酸化解析機能概要

酸素拡散--> 相界面移動--> 相変態による体積変化--> 変形
を
考慮したシミュレーション機能



三次元酸化モデル 実装方法

1. 酸素拡散計算

拡散方程式: $\nabla(D\nabla C) = 0$

SiO2-Si界面: $[C]v - [D\nabla C \cdot n] = 0$

O2-SiO2界面: $-D\nabla C \cdot n = k(C - C^*)$; $C^* = K_H p$; K_H : Henry定数、 p : O₂分圧

2. SiO2-Si界面移動

$$dh = \frac{k_s c_{\text{界面}} dt}{N_i}$$

酸化種の流入量
SiO₂内単位体積内酸化種の分子数

3. 体積膨張: 体積ひずみ ϵ_v として導入

4. 変形解析

つり合い式 $\nabla\sigma + b = 0$

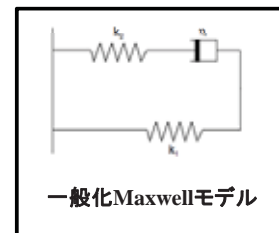
材料構成式: $d\sigma = Dd\nabla u$

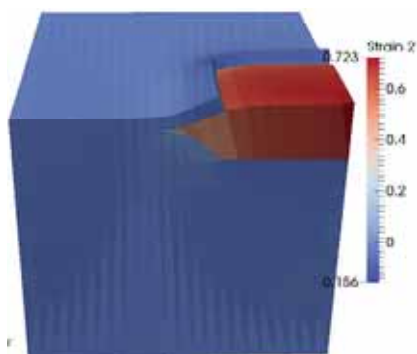
体積力: $b = K\epsilon_v$

弾性(等方性、直交異方性):

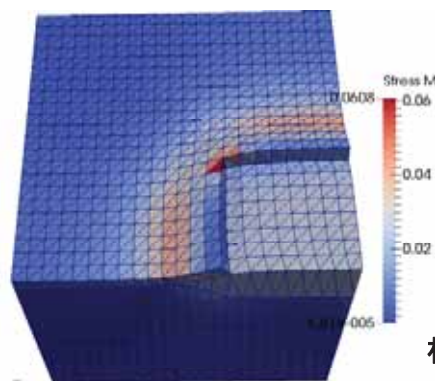
$D = D(\nabla u, T)$

粘弾性(一般化Maxwellモデル、等方性のみ): $D = D(\nabla u, \nabla \dot{u}, T)$

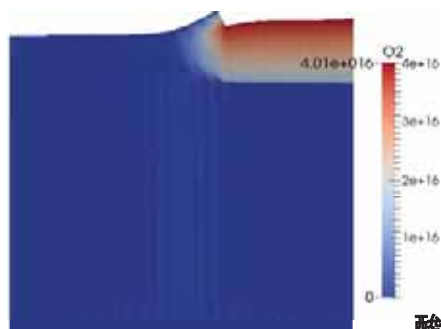




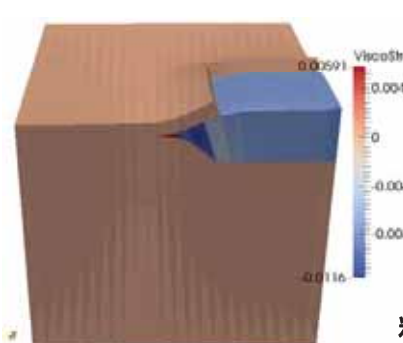
ひずみ



相当応力



酸素濃度



粘性ひずみ

Thank you for listening!

イオン注入計算 (Si、SiC)

研究員 岡本 稔

Made in Japan のLSIデバイス設計CADシステム
Advance/TCADのご紹介
2015年6月30日 (火)
アドバンスソフト株式会社

発表内容

- 理論枠組み
- 機能概要
 - ◆ 設定可能関連項目
 - ◆ プロセスシミュレータ共通出力ファイルへの出力内容
 - ◆ 1次元不純物分布データ
- 実験値との比較 (4H-SiC)
- 3次元構造へのイオン注入
 - ◆ 正方孔 (Si)
 - ◆ 六角トレンチ (Si)
 - ◆ MOS Extension (Si, 4H-SiC)
- 並列計算

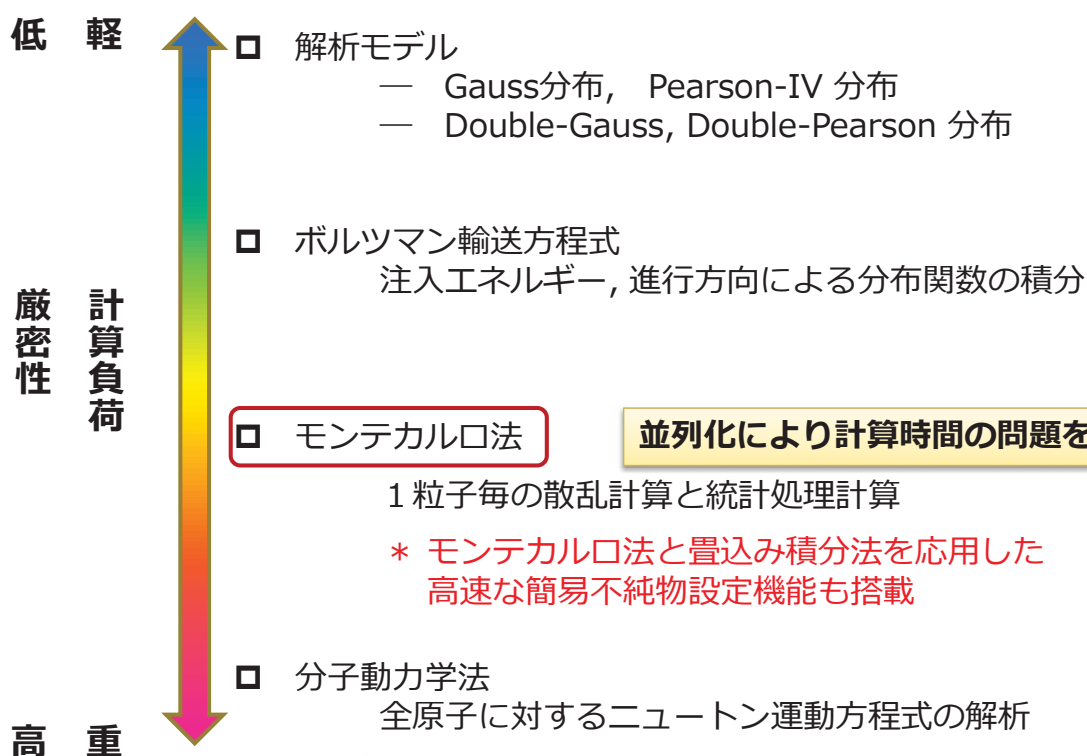
発表内容

- 理論枠組み
- 機能概要
 - ◆ 設定可能関連項目
 - ◆ プロセスシミュレータ共通出力ファイルへの出力内容
 - ◆ 1次元不純物分布データ
- 実験値との比較 (4H-SiC)
- 3次元構造へのイオン注入
 - ◆ 正方孔 (Si)
 - ◆ 六角トレンチ (Si)
 - ◆ MOS Extension (Si, 4H-SiC)
- 並列計算

➤ 理論枠組み

イオン注入モデル

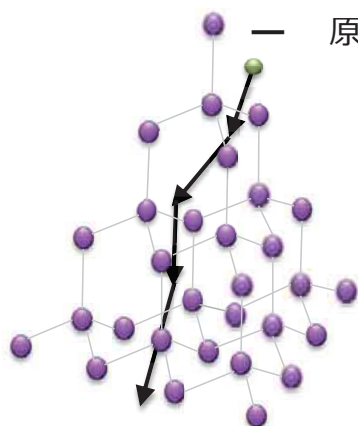
所望のデバイス特性を得る最適なソース・ドレイン/ チャネル不純物分の設計に大きく寄与



➤ 理論枠組み

モンテカルロ法

- 注入イオンと材質構成原子との散乱を直接取り扱う
- 3次元の多様な構造に対しシミュレーション可能
- 対応固体材料
 - ◆ アモルファス材質 : 平均自由行程モデル
 - ◆ 結晶材質 : 周期的に並べた単位胞内で衝突原子を探索
 - 結晶破壊モデル : Kinchin-Peace モデル
 - 熱振動モデル : Debyeモデルによる熱振動振幅
- 2体衝突近似
 - 原子間相互作用 : ZBL ポテンシャル
 - 原子・電子間相互作用 : LSS, Firsov モデル ← アモルファス材質
VIENNA モデル ← 結晶材質



- 結晶構造を正確に反映した2体散乱を取り扱う
- 対応可能結晶系 : 立方晶(Si, 3C-SiC),
六方晶(4H-SiC, 6H-SiC, GaN)

Copyright ©2015 AdvanceSoft Corporation. All rights reserved.

5

発表内容

- 理論枠組み
- 機能概要
 - ◆ 設定可能関連項目
 - ◆ プロセスシミュレータ共通出力ファイルへの出力内容
 - ◆ 1次元不純物分布データ
- 実験値との比較 (4H-SiC)
- 3次元構造へのイオン注入
 - ◆ 正方孔 (Si)
 - ◆ 六角トレンチ (Si)
 - ◆ MOS Extension (Si, 4H-SiC)
- 並列計算

Copyright ©2015 AdvanceSoft Corporation. All rights reserved.

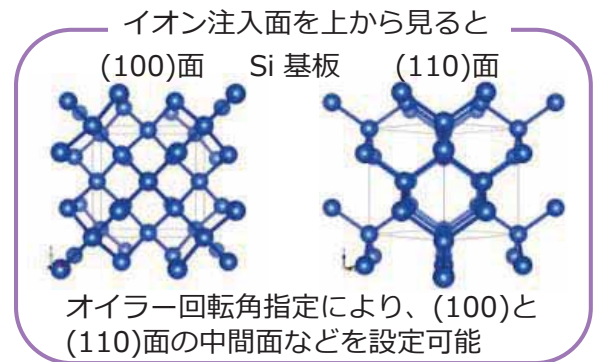
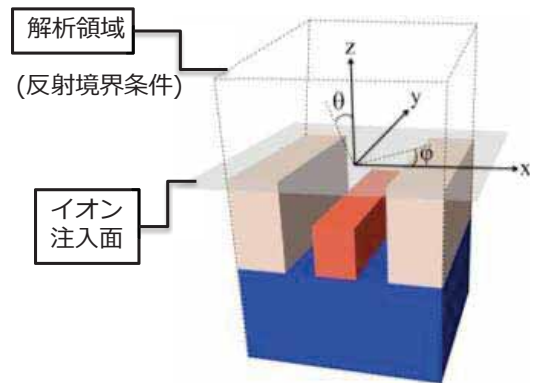
6 69

機能概要

設定可能関連項目

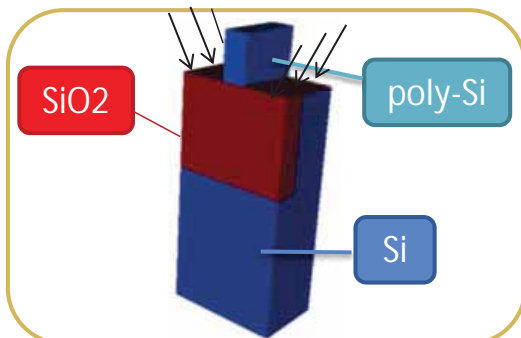
設定記入項目一覧	
基盤材質	Si, 3C-SiC, 4H-SiC, 6H-SiC, GaN
モデルパラメータ	弊社提供ファイル
初期不純物濃度	実数値 [cm ⁻³]
ミラー指数	(100), (110), (111), (0001)
オイラー回転角	実数値 [度数]
注入イオン種	B, P, As, Sb, Al, N, BF ₂ , ユーザー定義イオン
注入エネルギー	実数値 [keV]
ドーズ量	実数値 [cm ⁻²]
代表粒子数	整数値
初期乱数	整数値
Tilt 角	実数値 [度数]
ローテーション角	実数値 [度数]
複数ローテーション角設定	開始ローテーション角, 回転間隔角, 終了時角
拡張領域	実数値 [μm]

基板の面方位・Tilt角θ・Rotation角φ



機能概要

プロセスシミュレータ共通出力ファイルへの出力内容



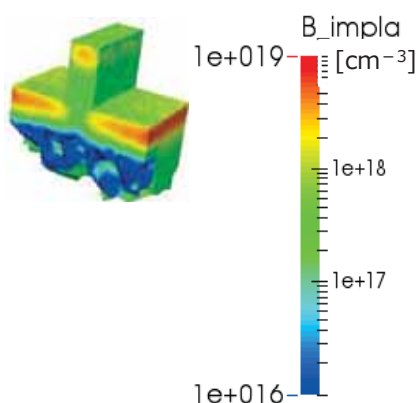
左図構造作成手順：

- ・ Si基板(100面, 初期不純物濃度 $3 \times 10^{17} \text{cm}^{-3}$)をSTIエッチング
- ・ SiO₂をSi基板の最上面から2nmの高さまでデポジション
- ・ SiO₂膜上にpoly-Siをデポジション

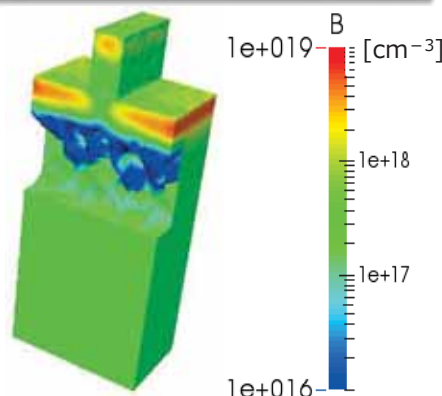
イオン注入条件：

注入種 B, 注入エネルギー 2keV, ドーズ量 $1 \times 10^{13} \text{cm}^{-2}$, ティルト角15°, ローテーション角0°, 180°

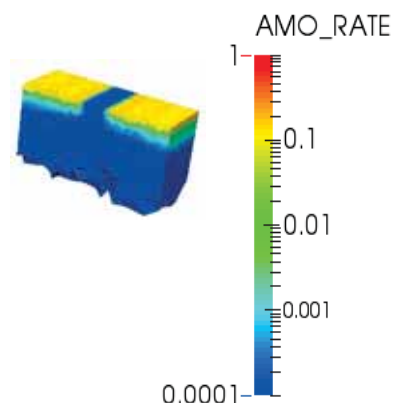
各注入イオン濃度



各不純物全濃度 (初期基板濃度 + 注入イオン濃度)

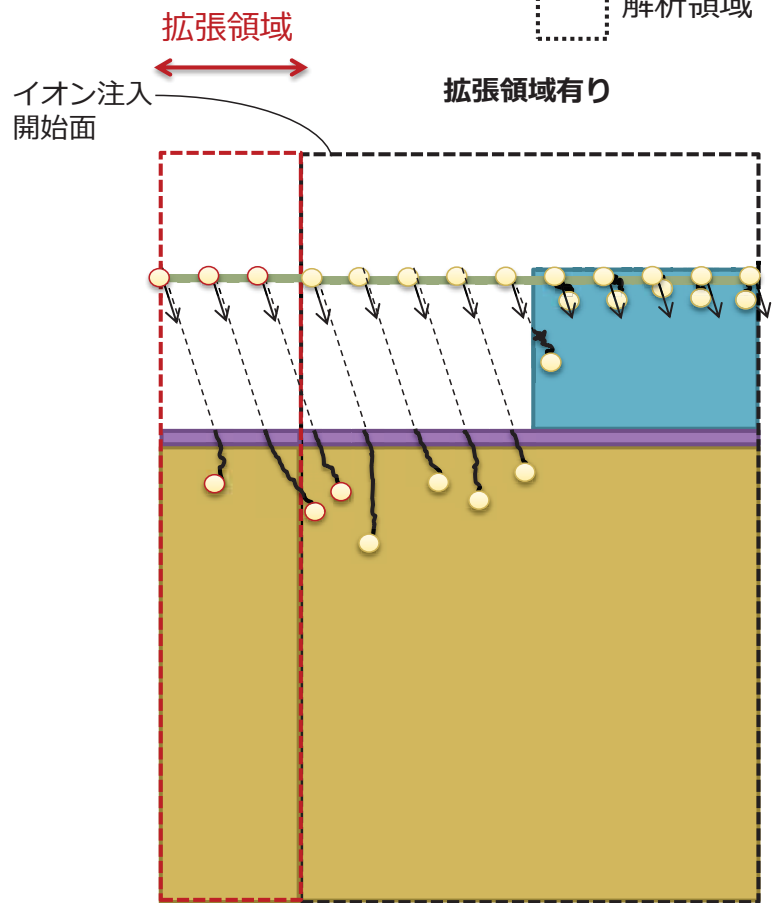
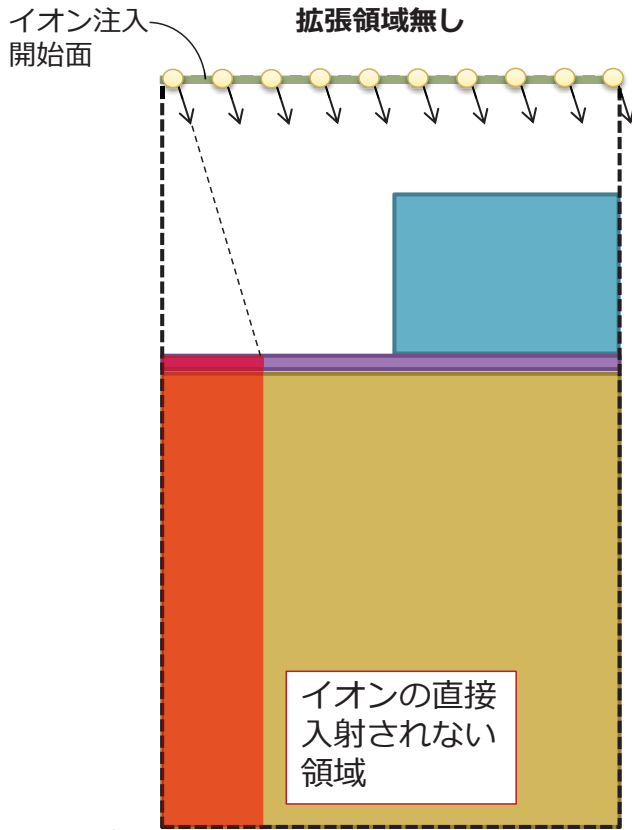


結晶破損率



機能概要

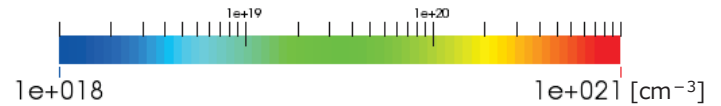
拡張領域の適用



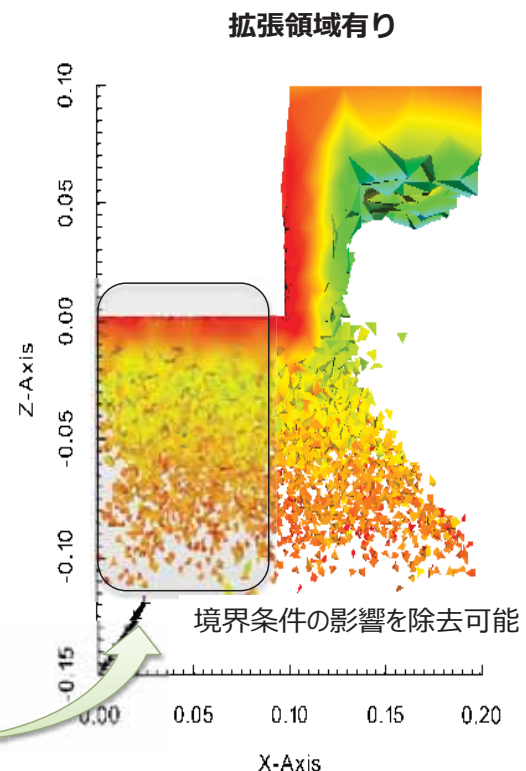
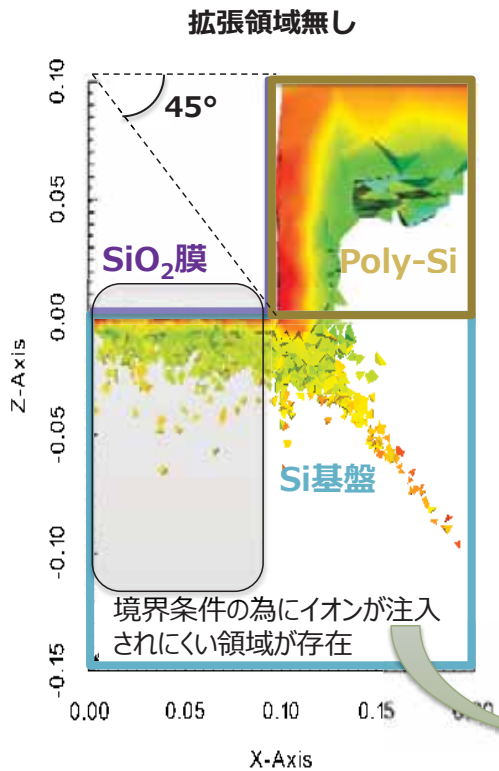
Copyright ©2015 AdvanceSoft Corporation. All rights reserved.

機能概要

拡張領域の適用



Boron, 4keV, $1 \times 10^{15} \text{cm}^{-2}$, into (100)-Silicon, ティルト角 45°



Copyright ©2015 AdvanceSoft Corporation. All rights reserved.

機能概要

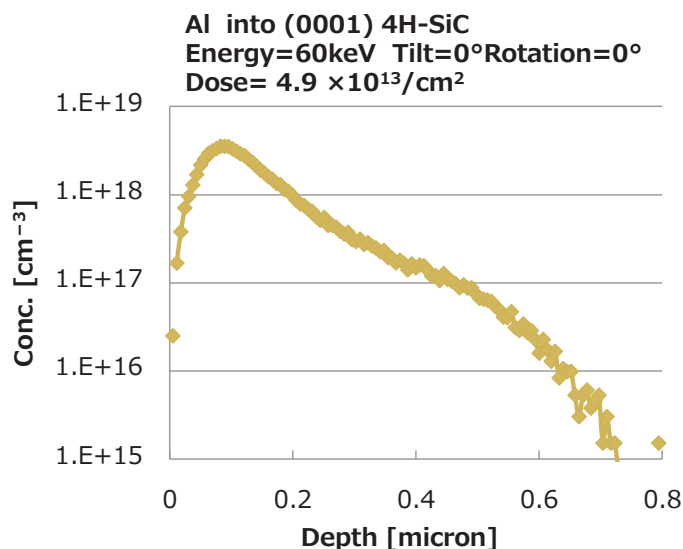
1 元深さ方向不純物密度分布データ

csv ファイル形式 ["出力ファイル名".csv]

1列目: Z座標 (材質上面 ~ 最深部進入イオン位置)

2列目: 不純物濃度

実験値と比較し、パラメーターファイルを適切に変更することにより、より高精度にパラメーター調整可能



[Material]

```
## 材質名定義中に空行 (コメントのみの行) は禁止,
## 順序も以下のとおりとする
## 材質名 属性 電子阻止能モデル名
Material Si CRYSTAL VIENNA
NUM_KIND_OF_ATOMS 1 ## 材質構成原子種の数
ATOM[1] a_Si 4.99678E28 ## 単位体積原子数[/m3]
LATTICE_CONST 5.43E-10 ## 格子定数 [m]
THERMAL_VIBRATION 6.40E-12 ## 熱振動振幅 [m]
NUMBER_OF_ATOM_IN_UNIT 8 ## 単位胞の原子数
LPoint[1] 0.000E0 0.000E0 0.000E0 a_Si
LPoint[2] 0.250E0 0.250E0 0.250E0 a_Si
<<省略>>
```

```
### 以下、電子阻止能、欠陥発生モデルは既定値設定あり
# --- 指定部のみ既定値から変わる
### LSS fitting parameter (Default = 1.0 )
### LSS_CK[ion_name][material_name]
[LSS_MODEL]
LSS_CK[a_B][Si] 1.50
LSS_CK[a_P][Si] 1.30
<<省略>>
```

パラメータファイル内容
(一部抜粋)

発表内容

- 理論枠組み
- 機能概要
 - ◆ 設定可能関連項目
 - ◆ プロセスシミュレータ共通出力ファイルへの出力内容
 - ◆ 1次元不純物分布データ
- 実験値との比較 (4H-SiC)
- 3次元構造へのイオン注入
 - ◆ 正方孔 (Si)
 - ◆ 六角トレンチ (Si)
 - ◆ MOS Extension (Si, 4H-SiC)
- 並列計算

実験値との比較 (4H-SiC基板)

Al into (0001) 4H-SiC

Energy=60keV Tilt=0°Rotation=0°
Dose=0.63, 1.3, 3.4, 4.9 ×10¹³ cm⁻²

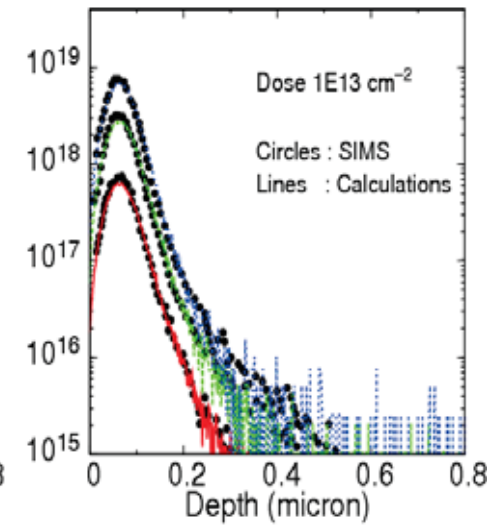
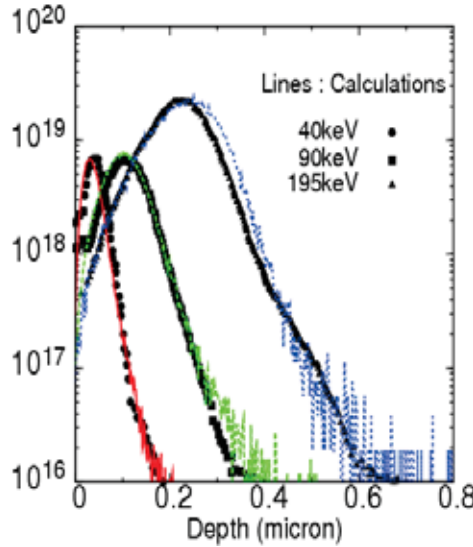
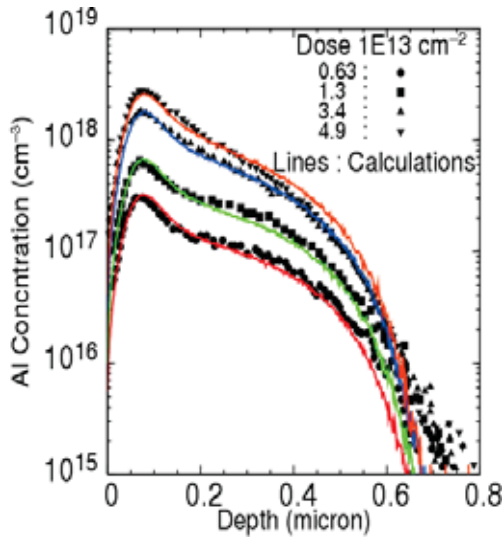
Al into (0001) 4H-SiC

Tilt=7.5°Rotation=0°

Energy (keV)/ Dose(10¹³cm⁻²)
= 40/3.0, 90/7.9, 195/38 [1]

Al into (0001) 4H-SiC

Energy=60keV, Tilt=9°, Rotation=0°
Dose=0.48, 2.1, 5.1 ×10¹³cm⁻² [2]



同一パラメータ値において、
結晶方位へのチャネリング・Tilt角・ドーズ量依存性を再現

Experimental data:

[1] J. Wong-Leung et al., Journal of Applied Physics 93, 8914 (2003)

[2] Sang-Sun Lee et al., Journal of the Korean Physical Society, 41, 5, 591 (2002)

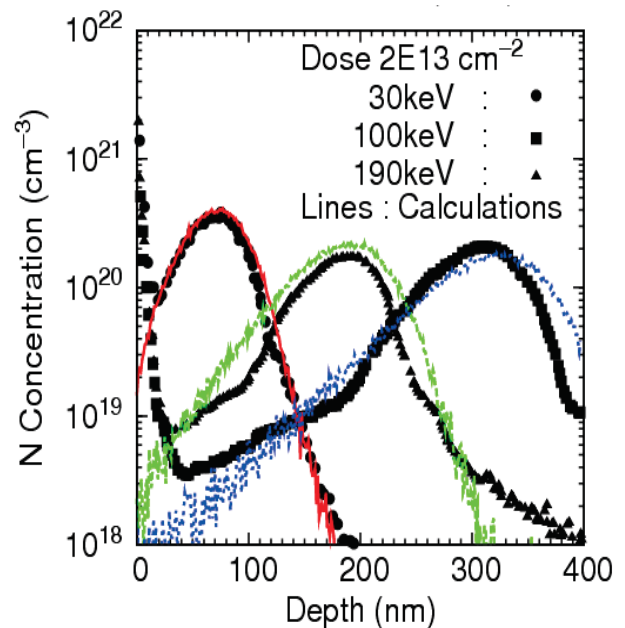
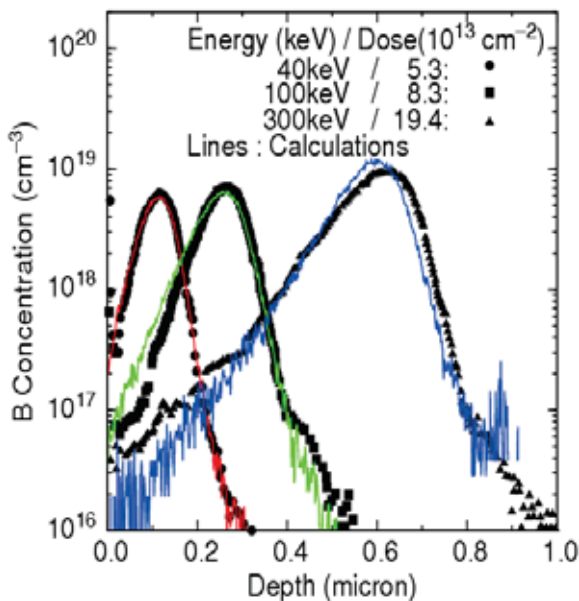
実験値との比較 (4H-SiC基板)

Boron, into (0001) 4H-SiC Tilt=7.5°,

Energy(keV)/Dose(10¹³cm⁻²)=
40/5.3, 100/8.3, 300/19.4 [2]

Nitrogen into (0001) 4H-SiC Tilt=7.5°,

Dose=2×10¹³ cm⁻², Energy= 30, 100, 190 keV [2]



多様なイオンに対してパラメータチューニング済み

Experimental data:

[2] Sang-Sun Lee et al., Journal of the Korean Physical Society, 41, 5, 591 (2002)

発表内容

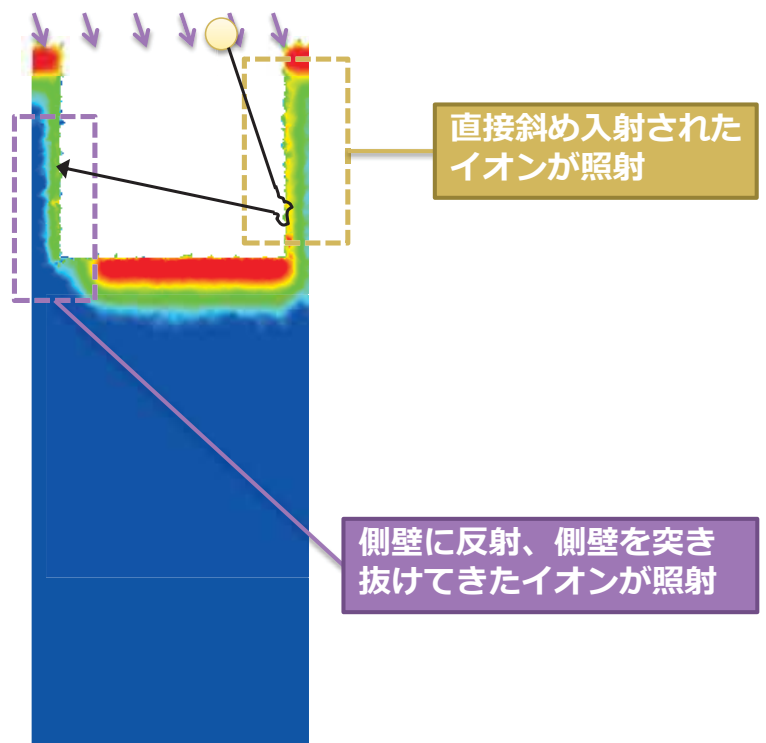
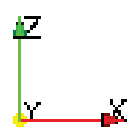
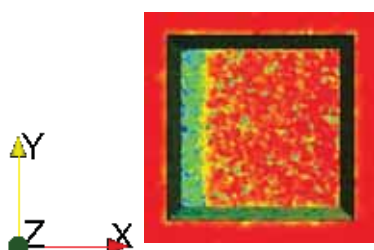
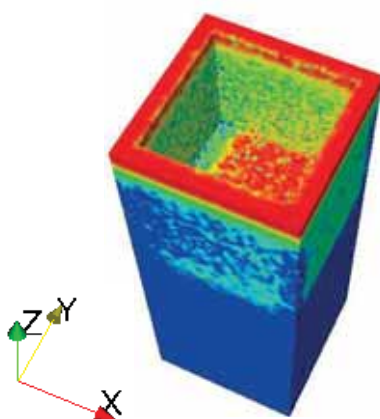
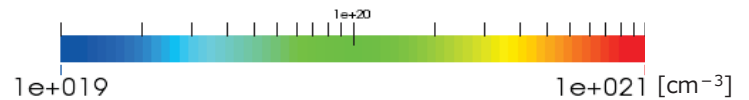
- 理論枠組み
- 機能概要
 - ◆ 設定可能関連項目
 - ◆ プロセスシミュレータ共通出力ファイルへの出力内容
 - ◆ 1次元不純物分布データ
- 実験値との比較 (4H-SiC)
- 3次元構造へのイオン注入
 - ◆ 正方孔 (Si)
 - ◆ 六角トレンチ (Si)
 - ◆ MOS Extension (Si, 4H-SiC)
- 並列計算

➤ 3次元構造へのイオン注入計算事例

正方孔(Si 基板)

B, 5 keV, $1 \times 10^{15} \text{ cm}^{-2}$ into (100)-Silicon, Tilt 10° , Rotation 0°

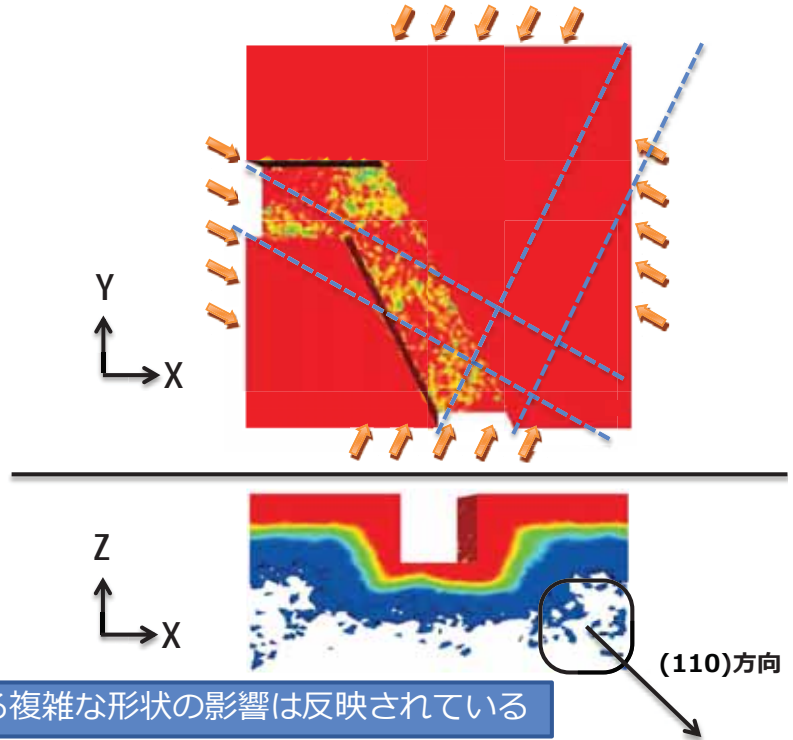
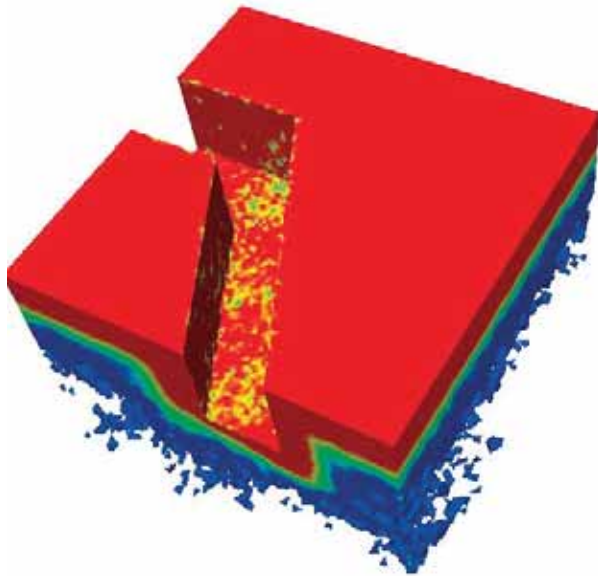
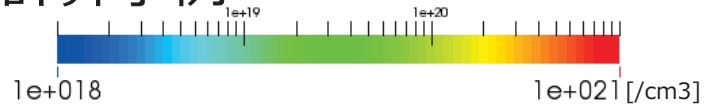
計算粒子数：100万個，計算時間：2635 s by Intel(R) Xenon(R) X5660 2.80GHz 1core



3次元構造へのイオン注入計算事例

六角トレンチ構造(Si基板)

Boron, 5keV, $1 \times 10^{15} \text{ cm}^{-2}$ into (100)-Silicon, Tilt 50° ,
Rotation $60^\circ, 150^\circ, 240^\circ, 330^\circ$ (右図矢印方向)
計算粒子数: 400万個, 計算時間: 6205s (Intel(R) Xenon(R) 2.80GHz 1core)



Tilt角・Rotation角, あらゆる複雑な形状の影響は反映されている

3次元構造へのイオン注入計算事例

MOSFET プロセス工程

STIエッチング



絶縁膜形成



ゲートポリシリコン形成

Halo & Extension へのイオン注入

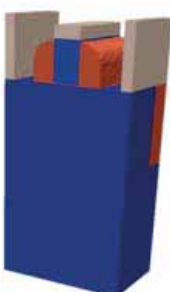
側壁デポジション

拡散層へのイオン注入 + 活性化

薄膜除去



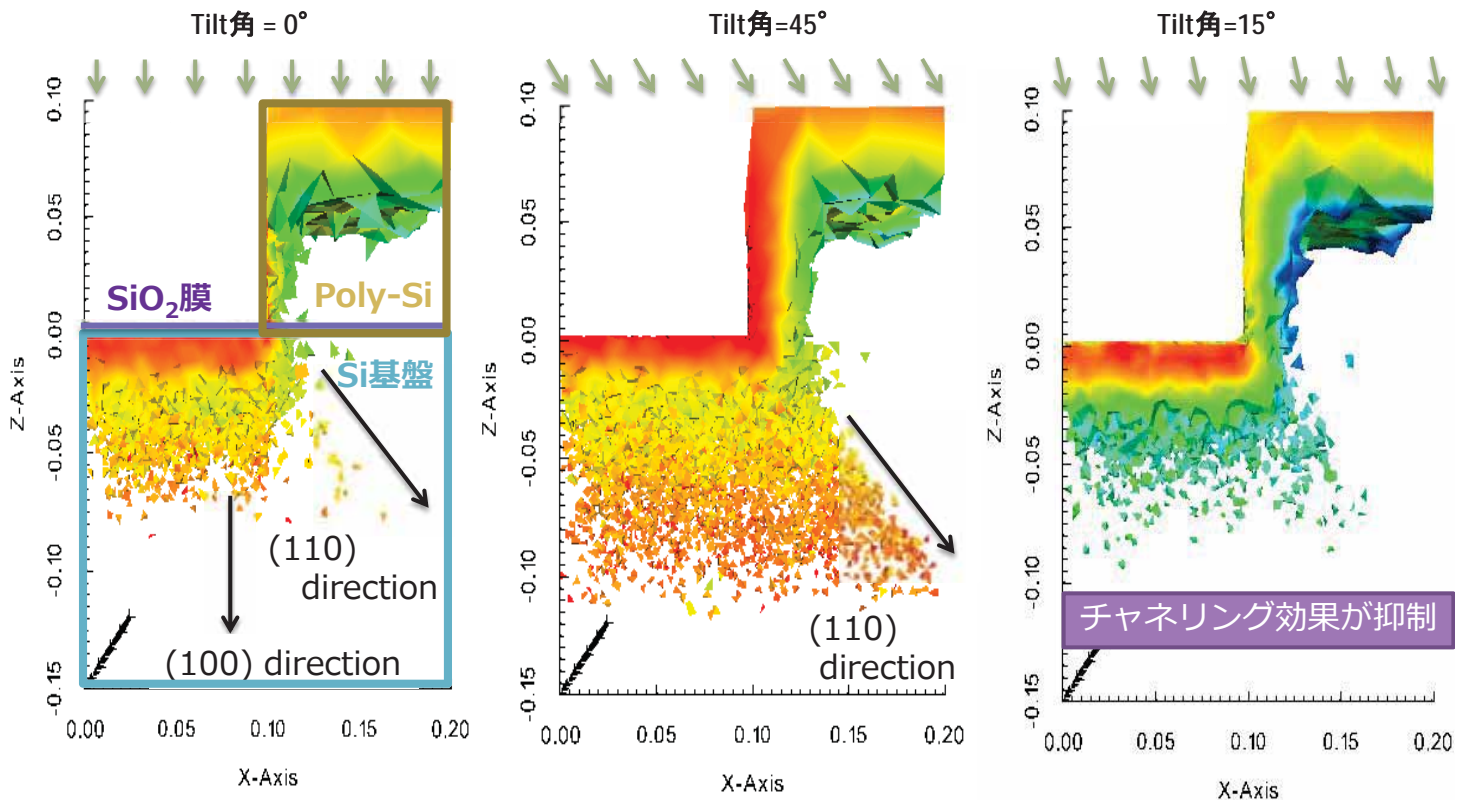
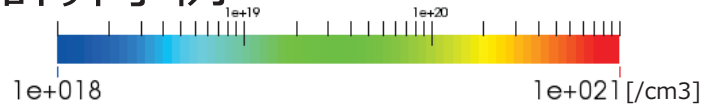
電極形成



3次元構造へのイオン注入計算事例

Si MOSFET extension注入

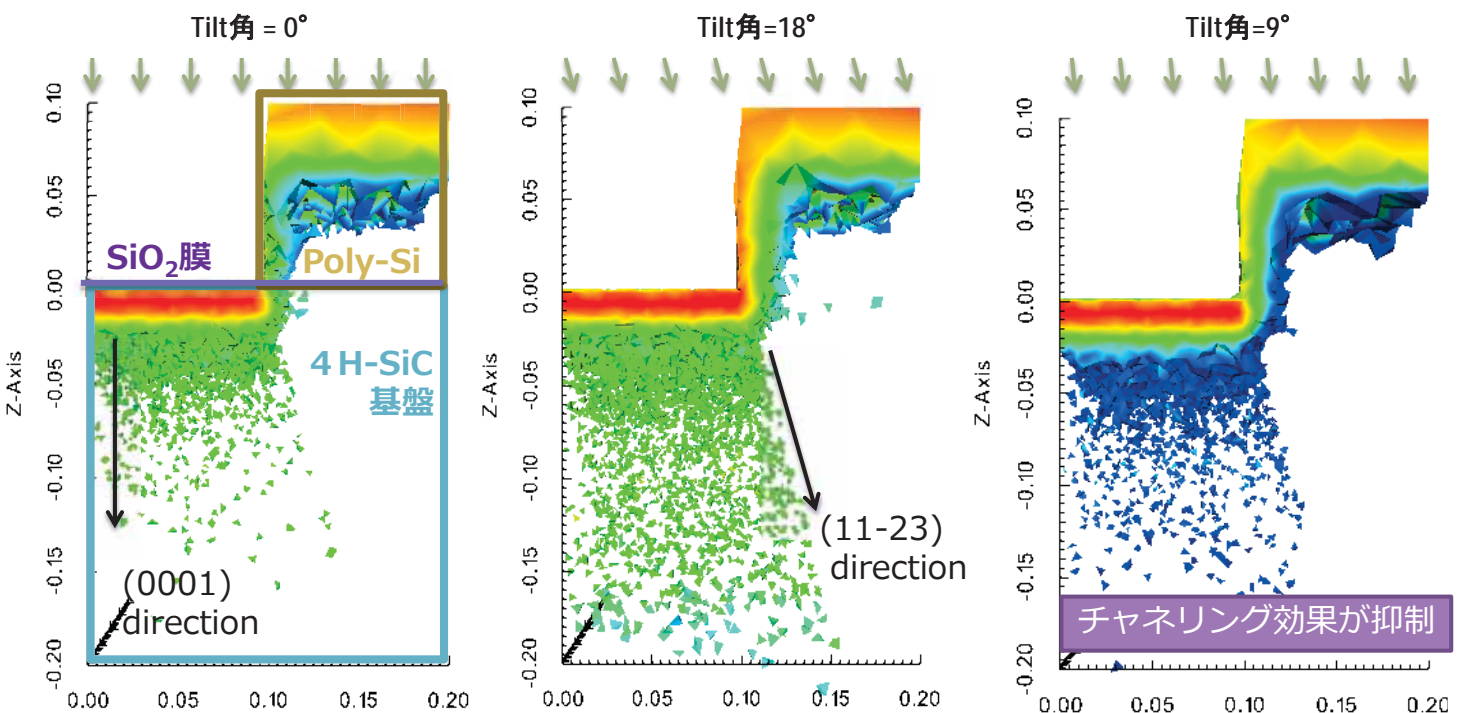
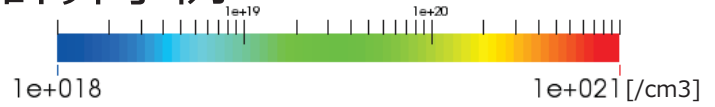
Boron, 2keV, $1 \times 10^{15} \text{ cm}^{-2}$, into (100)-Silicon



3次元構造へのイオン注入計算事例

4H-SiC MOSFET extension注入

Aluminum, 5.0keV, $1 \times 10^{15} \text{ cm}^{-2}$, into (0001) 4H-SiC



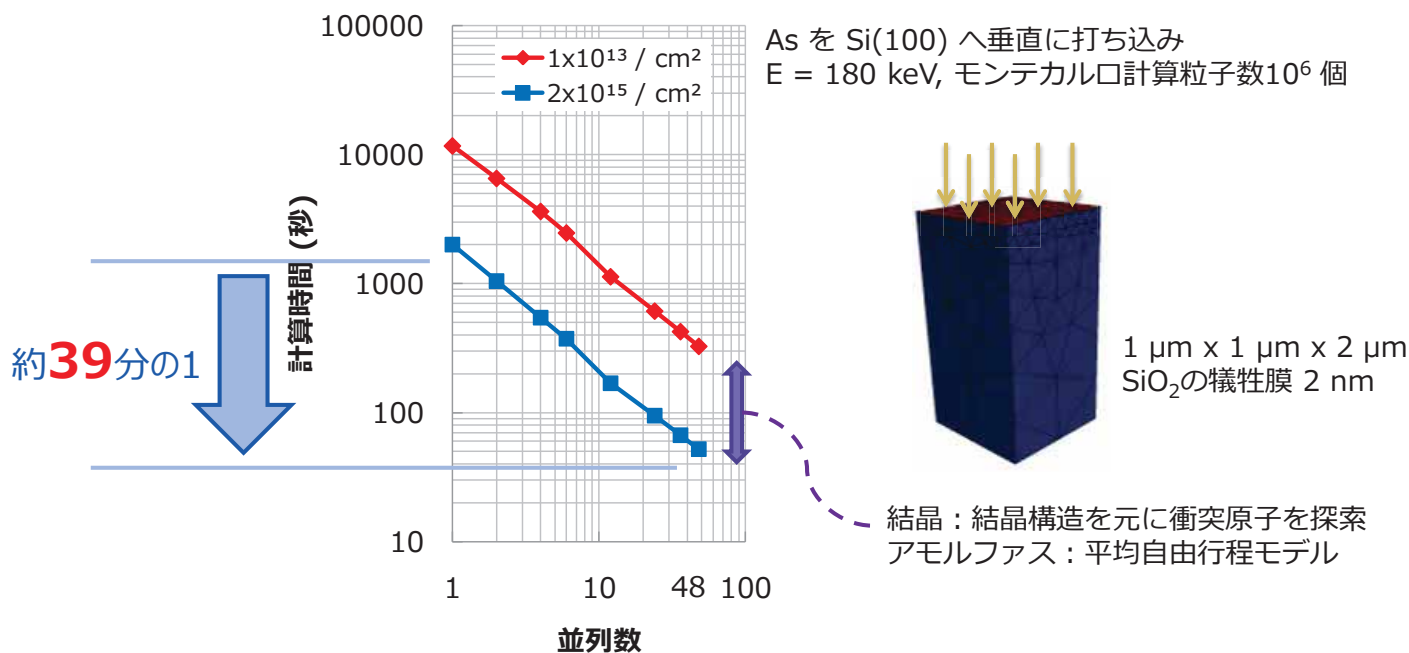
(100)・(0001)軸以外に、(110)・(11-23)軸にも捕捉され、横方向(x軸)に広がる

発表内容

- 理論枠組み
- 機能概要
 - ◆ 設定可能関連項目
 - ◆ プロセスシミュレータ共通出力ファイルへの出力内容
 - ◆ 1次元不純物分布データ
- 実験値との比較 (4H-SiC)
- 3次元構造へのイオン注入
 - ◆ 正方孔 (Si)
 - ◆ 六角トレンチ (Si)
 - ◆ MOS Extension (Si, 4H-SiC)
- 並列計算

➤ 並列計算

逐次計算では … 最後まで計算粒子を1つずつ注入
 並列計算では … **プロセッサで等分配**して注入(結晶破損情報の同期を定期的に行う)
 プロセッサ間のデータ授受はMPI(Message Passing Interface)を利用



並列数にほぼ反比例して計算時間が減少

Intel Xeon
 X5660 2.80GHz (#1~6)
 E5-2640 2.50GHz (#12~48)

まとめ

- 理論枠組み
 - モンテカルロ法
 - 扱える結晶系：立方晶、六方晶
- 機能概要
 - 基板材質、注入条件の設定
 - 3次元不純物密度、結晶破損率分布、1次元不純物密度分布の出力
- 実験値との比較（4H-SiC）
 - パラメータチューニングの結果、各イオンにおいて同一パラメータ値で様々な注入条件に対する実験値を再現。
- 3次元構造へのイオン注入
 - 複雑な注入条件, 形状の影響の反映。
 - 拡張領域の適用により、境界条件からの影響の除去。
- 並列計算
 - 48並列で約39分の1の計算時間短縮を実現。

ご清聴ありがとうございました

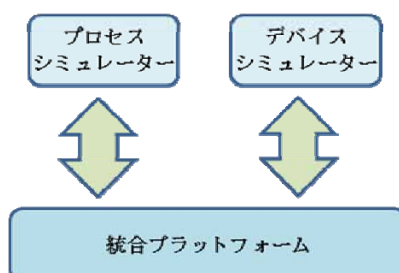
統合プラットフォーム

主事研究員 徳屋 純一

Made in Japan のLSIデバイス設計CADシステム
Advance/TCADのご紹介
2015年6月30日（火）
アドバンスソフト株式会社

統合プラットフォームとは

- Advance/TCAD の中核となる計算ソルバーは、プロセスソルバー、デバイスソルバーの 2 つの独立したプログラム
- その 2 つのソルバー間の連携を取るための GUI として統合プラットフォームを開発
- 各ソルバーの入カデータの作成と管理、計算結果可視化を行なう



ソルバーの特長を生かした GUI

- Advance/TCAD プロセスシミュレーターの特長
 - 四面体メッシュによる実物に近い形状表現
 - プロセスステップ単位でのシミュレーション
- Advance/TCAD デバイスシミュレーターの特長
 - 計算安定性を重視した六面体と三角柱の組合せメッシュ
 - 物理的制約の無い材料定数入力
 - ユーザーが指定した、メッシュ点以外の位置に“測定点“を設定し、その位置における計算物理量の出力

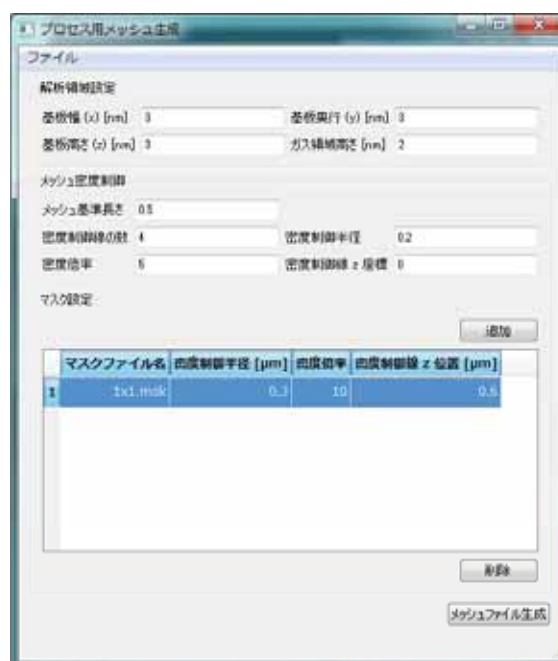
GUIメイン画面



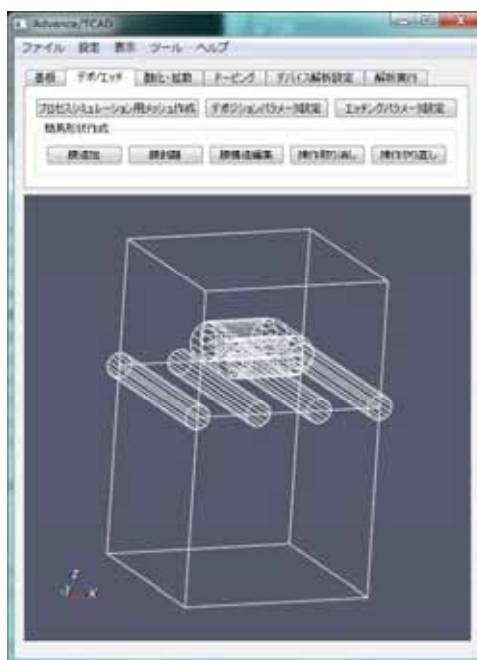
プロセスシミュレーション 1

- 四面体メッシュ生成
 - 基板境界のメッシュを細かくするために「密度制御」という方法を導入
 - 密度制御範囲は Y 軸に平行な円筒領域で行なう
 - さらに、密度制御はマスク辺でも可能とした

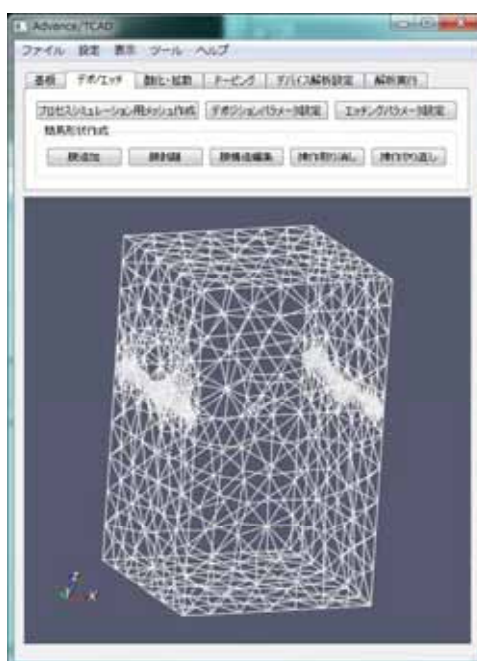
メッシュ生成パラメータ 1



メッシュ生成パラメータ 2



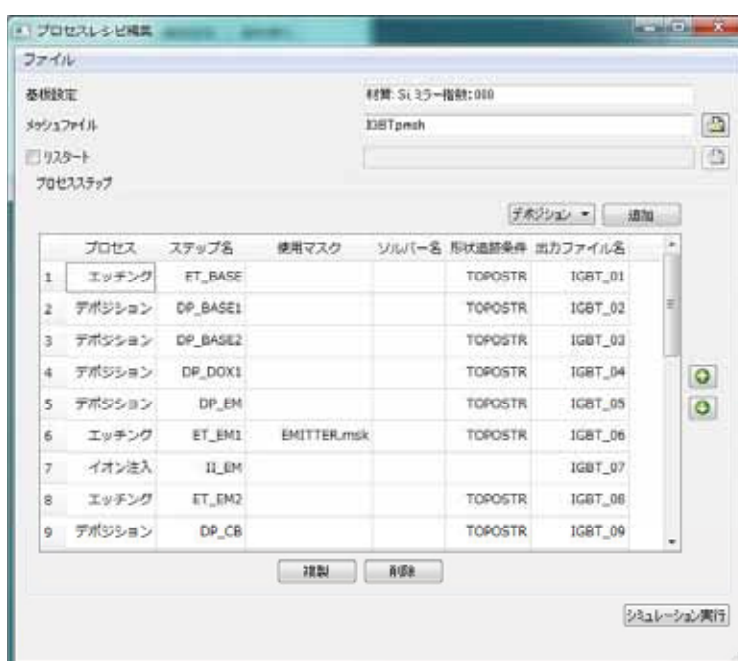
生成したメッシュ



プロセスシミュレーション 2

- デポ、エッチ、酸化・拡散、インプラの各プロセスステップ毎に計算条件を入力

プロセスステップ一覧画面

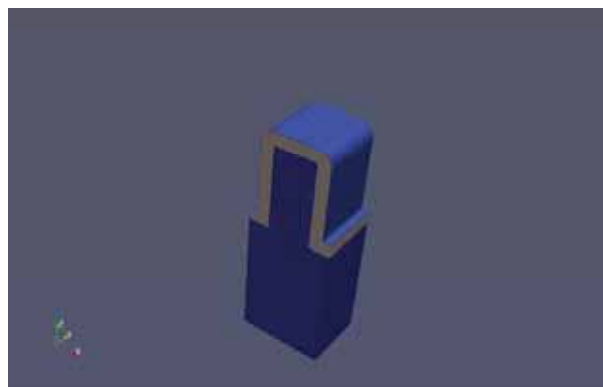
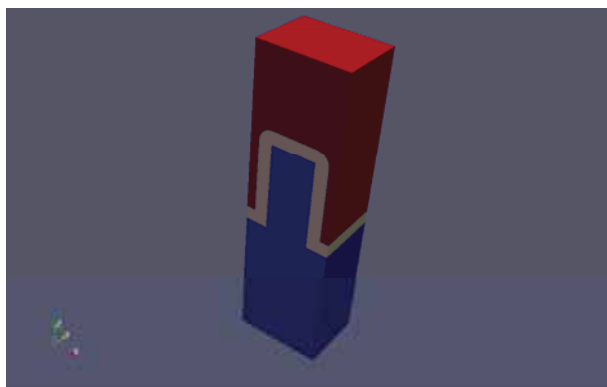


プロセス条件入力画面



プロセスシミュレーション結果表示

- 曲面形状の例



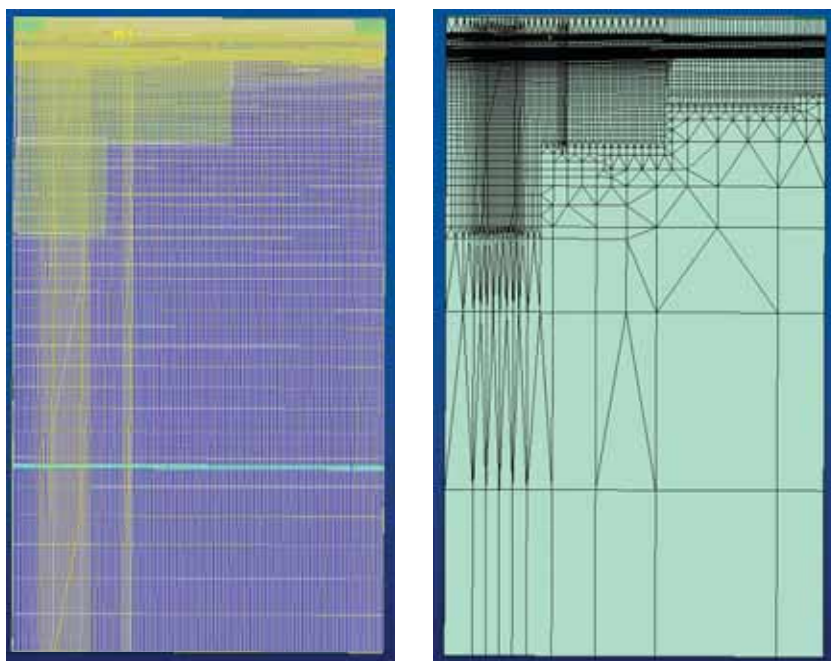
シミュレーション結果変換

- プロセスシミュレーションの計算結果から、デバイスシミュレーション用の構造および不純物分布データを作成する
- プロセスシミュレーション結果の四面体メッシュから、デバイスシミュレーション用の六面体近似形状を作成
- 六面体近似形状でメッシュを張る
- 不純物分布をマッピング

デバイスシミュレーション用メッシュ生成

- 基礎となるメッシュは六面体の構造格子で張る
- デバイス特性に影響の無い領域のメッシュ密度を落してシミュレーション計算の速度を上げる
- 元のメッシュ密度とメッシュ密度を疎にした領域に三角柱メッシュを挟んだメッシュとする

メッシュ調整例



材料定数入力

- CVS 形式のファイルからの設定を可能とした
- GUI では材料定数の入力値チェックは行なっていないので、新素材デバイスのシミュレーションも可能である

種類,半導体
誘電率,9.6
電子親和力 [eV],4.12
バンドギャップエネルギー [eV],2.416

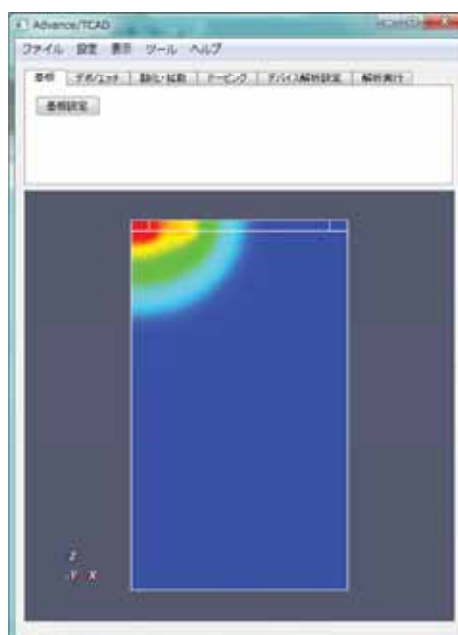
測定点設定

- 画面でクリックした箇所に測定点を定義する
- 測定点の座標はキーボード入力による編集も可能としている



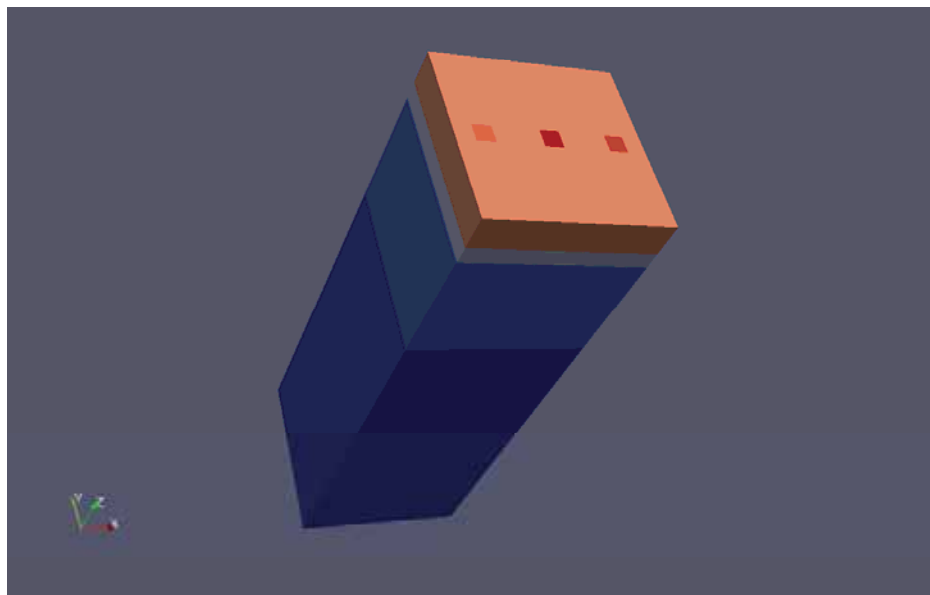
デバイスシミュレーション結果表示

- 静電ポテンシャル分布の様子



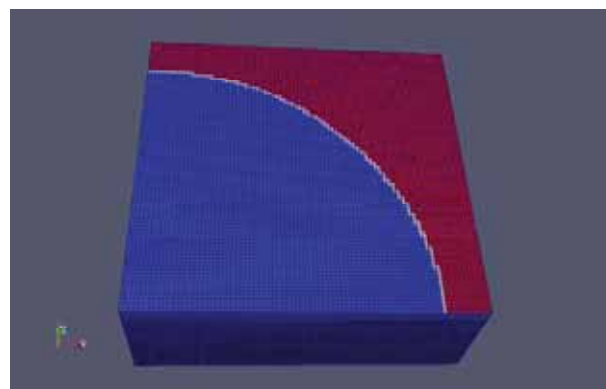
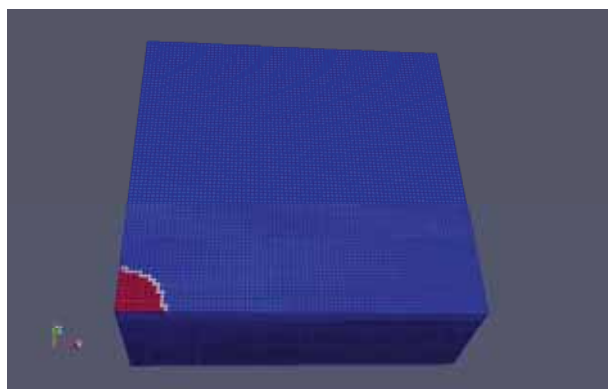
プロセスシミュレーションと連携しないデバイスシミュレーション 1

- 形状は直方体で構成する



プロセスシミュレーションと連携しないデバイスシミュレーション 2

- Gaussian による不純物分布設定
- ガードリングデバイスのシミュレーションにおける左図は B の分布、右図は P の分布表示



並列計算機能

主任研究員 桑原 匠史

Made in Japan のLSIデバイス設計CADシステム
Advance/TCADのご紹介
2015年6月30日（火）
アドバンスソフト株式会社

Index

- デバイスシミュレータ、プロセスシミュレータについて
- 並列計算について
- プロセスシミュレータ(拡散計算)の並列化
- デバイスシミュレータの並列化

デバイスシミュレータ、プロセスシミュレータについて

- デバイスシミュレータ
 - 有限体積法
 - 3次元
 - 構造格子
 - FORTRAN90
- プロセスシミュレータ(拡散計算)
 - 有限体積法
 - 3次元
 - 非構造格子
 - FORTRAN90

イオン注入計算との大きな違いは、逆行列を解くため、コア間の通信量が多く並列化効率がイオン注入計算程よくない

並列計算について

- 並列化手法
 - 分散メモリ型並列
 - 共有メモリ型並列
 - ハイブリッド型並列
- 使用ライブラリMPI (Message Passing Interface) :MPICH
- 格子生成
 - デバイスシミュレータ:独自メッシャー
 - プロセスシミュレータ:adventure mesh

- 行列解法ライブラリ

偏微分方程式の数値計算に現れる線型方程式及び固有値問題を解くための並列反復解法ソフトウェアライブラリ

- Lis (Library of Iterative Solvers for linear systems)
- PETSc (Portable, Extensible Toolkit for Scientific Computation)

	Lis	PETSc
反復解法	22	16
前処理	10	16+(外部+7)
演算精度	実数のみ	実数、複素数
環境	逐次、MPI、OpenMP、MPI+OMP	逐次、MPI、OpenMP、MPI+OMP
使用可能言語	C FORTRAN	C C++ FORTRAN

プロセスシミュレータ(拡散計算)の並列化

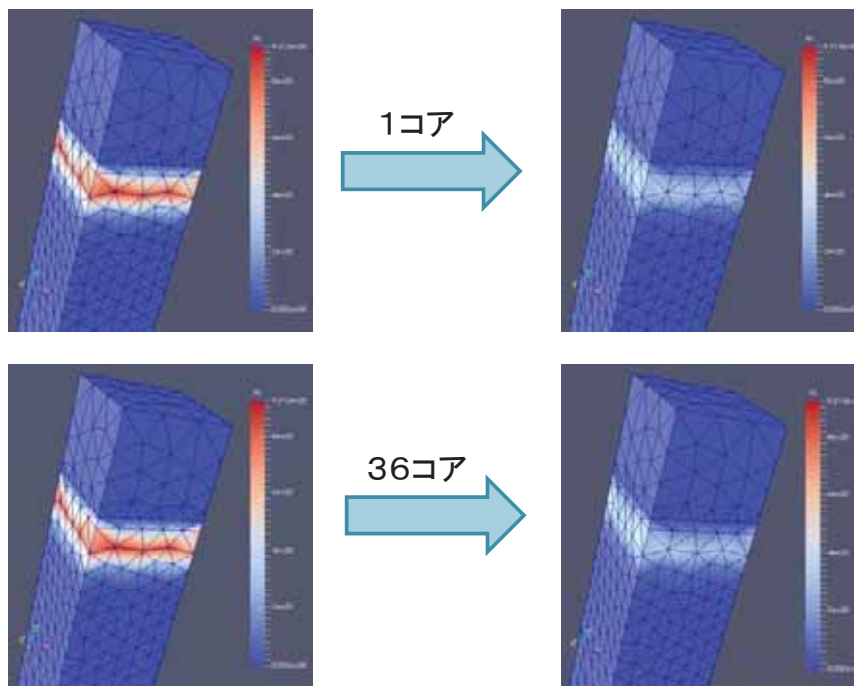
- 基礎方程式

$$\left. \begin{aligned} \frac{dC_{P_1}}{dt} &= \nabla D_{P_1} \nabla C_{P_1} - GR_{P_1} \\ \frac{dC_{P_2}}{dt} &= \nabla D_{P_2} \nabla C_{P_2} - GR_{P_2} \\ &\vdots \\ \frac{dC_{P_m}}{dt} &= \nabla D_{P_m} \nabla C_{P_m} - GR_{P_m} \end{aligned} \right\} \begin{array}{l} \text{拡散種の数だけ} \\ \text{反応拡散方程式が必要} \end{array}$$

$$\nabla \varepsilon \nabla \varphi = -q(p - n + Q_{P_1} + Q_{P_2} + \dots + Q_{P_m})$$

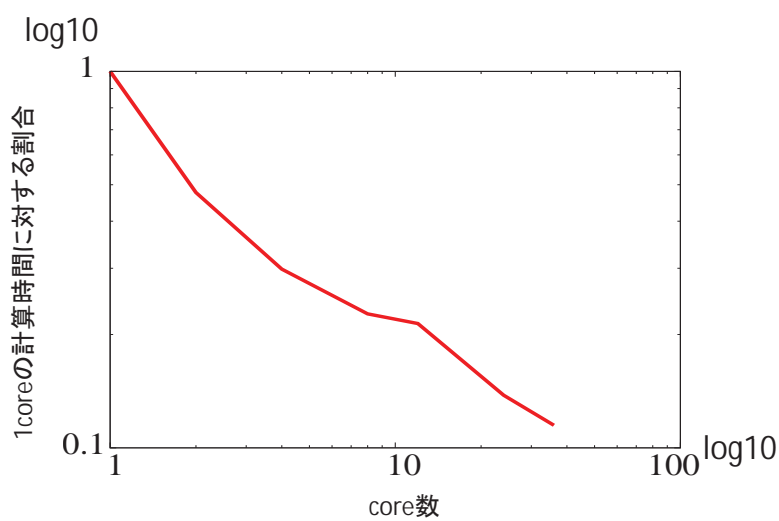
全ての方程式をまとめて一つの行列として解く
デバイスシミュレーションに比べて処理は簡単

• Asの拡散の計算比較



並列計算においても同じ結果が得られる事を確認

• 計算効率比較



Core数	割合
1	1
2	0.476618
4	0.298452
8	0.226937
12	0.213908
24	0.137997
36	0.114838

デバイスシミュレータの並列化

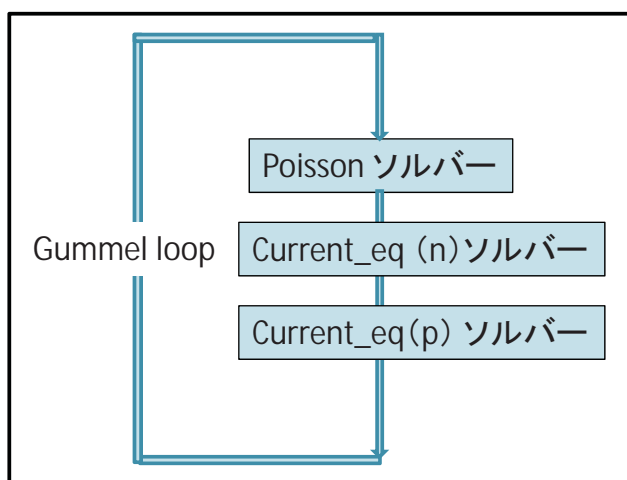
- 基礎方程式

$$-\nabla(\varepsilon\nabla\psi) = q(-n + p + N_D - N_A)$$

$$\frac{\partial n}{\partial t} = \frac{1}{q}\nabla J_n - R$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q}\nabla J_p - R$$

Gummel法を用いてこれらの方程式の解を求める



計算手順の模式図

Poissonソルバーの行列の大きさと
Current_eqソルバーの行列の大きさが異なる



格子は行列を組み立てる前に分割する
ため、どちらも処理が均等になるように
分割することは難しい

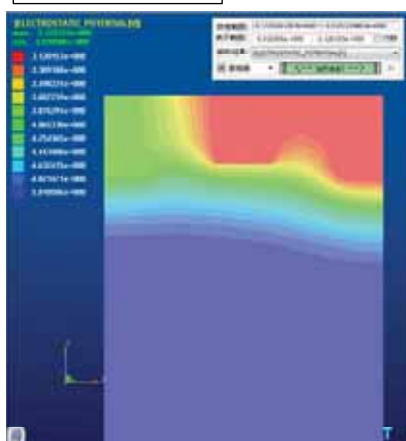


PoissonソルバーとCurrent_eqソルバー
において解が判っている点(境界)に
ついては全部解く



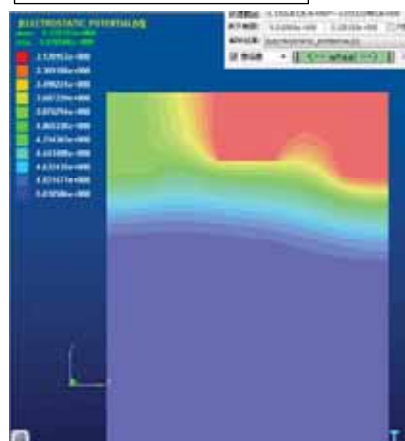
計算が遅くならないか？

元々の計算方法



CPU time..... 76.47 [sec]

境界まで含めて解く方法



CPU time..... 65.67 [sec]

計算時間にそれ程差はない

• ポアソン方程式、電流連続方程式単体計算における性能

Poisson equation

コア数	計算時間[s]	収束回数
1	2.26	42
2	2.04	76
4	1.06	74
8	0.64	73
12	0.74	94

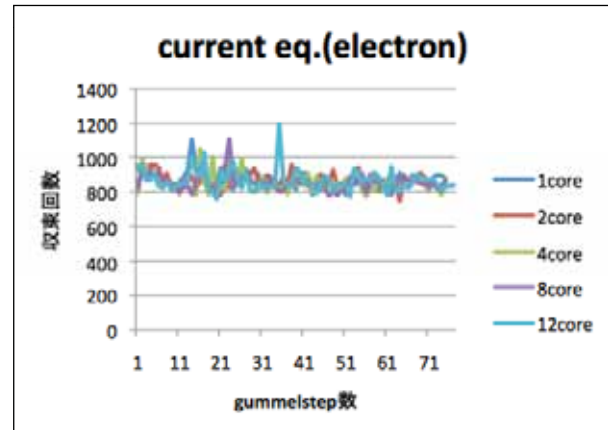
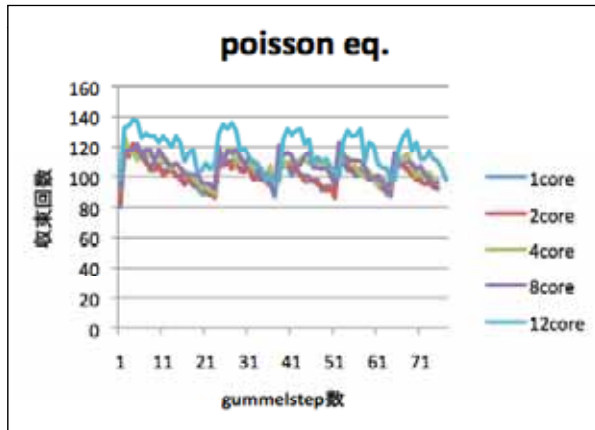
Current equation

コア数	計算時間[s]	収束回数
1	44.68	896
2	24.04	997
4	12.43	986
8	17.48	2122
12	34.28	4942

コア数を増やしていくと収束回数が劇的に増加してしまい効率が出ない。
特に電流連続方程式で顕著

収束回数を増やさないようにチューニング ➡ 前処理とオプションが豊富なPETScに軍配

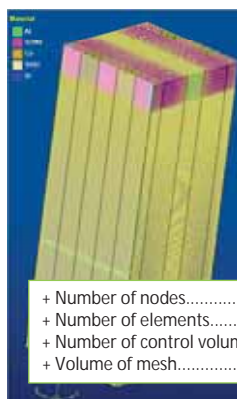
- ポアソン方程式、電流連続方程式の性能(チューニング後のトータルな収束回数)



コア数を増やしていても収束回数の増加が抑えられている
特に電流連続方程式で効果が顕著

大規模モデルの計算

- 基本モデルとそこから作成した2つのモデル(データ転送量による効率の比較)



69x34x495

X-Y方向の分割のみ増やす: 最も転送速度が出ないケース

+ Number of nodes..... 2604000
+ Number of elements..... 2522520
+ Number of control volumes... 2617844
+ Volume of mesh..... 5.171875E-21 [m3]

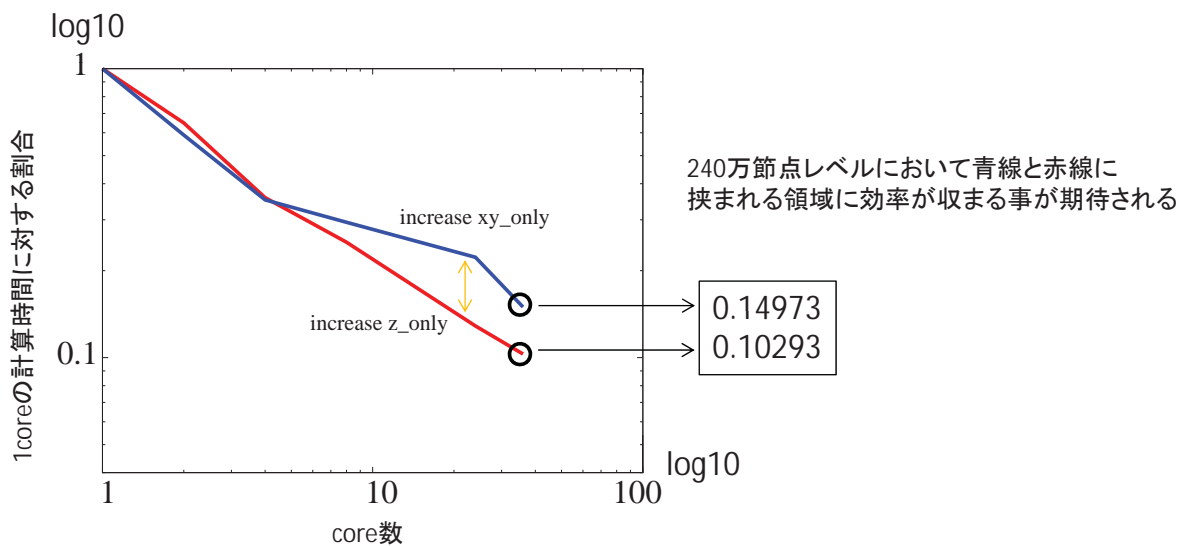
104x51x495

Z方向の分割のみ増やす: 最も転送速度が出るケース

+ Number of nodes..... 2391200
+ Number of elements..... 2287350
+ Number of control volumes... 2398366
+ Volume of mesh..... 5.171875E-21 [m3]

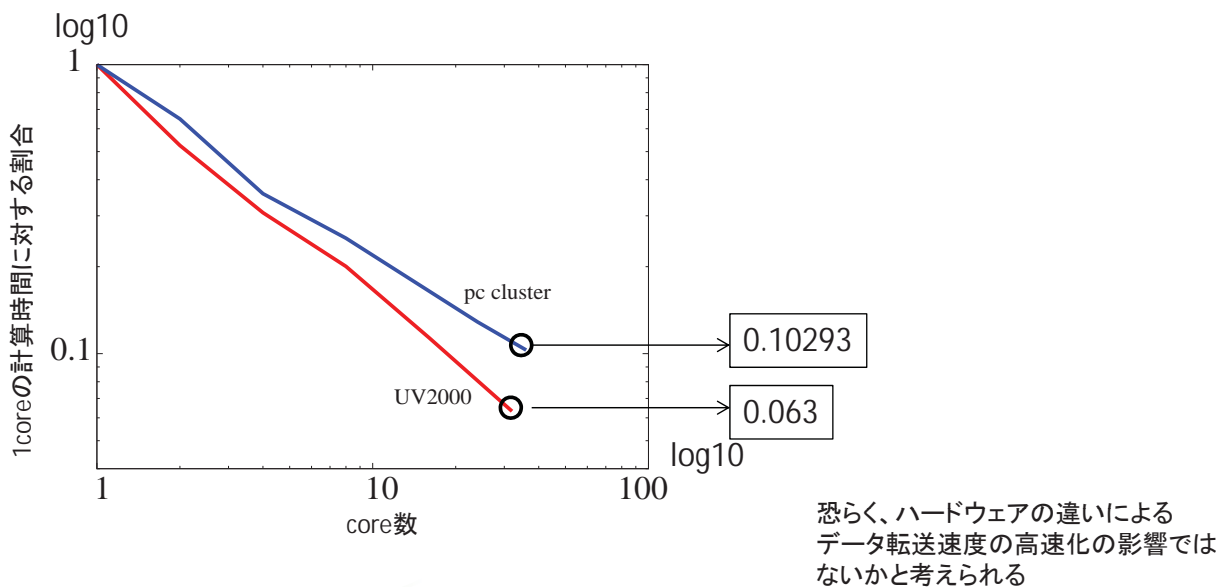
69x34x975

● 計算結果



● 効率の環境依存性

– UV2000における並列化効率の取得



まとめ

- デバイスシミュレータ、プロセスシミュレータ(拡散計算)の並列化をMPIライブライを用いた分散メモリ型並列を用いてった。
- プロセスシミュレータについては、弊社PCクラスタにおいて16コアで5倍以上の高速化を達成した。
- デバイスシミュレータについては、弊社PCクラスタにおいて36コアで約10倍、UV2000では16コアで8倍、32コアで16倍の高速化を達成した。

SiとSiCのパワーデバイスの 解析事例

研究員 山田 吉宏

Made in Japan のLSIデバイス設計CADシステム
Advance/TCADのご紹介
2015年6月30日（火）
アドバンスソフト株式会社

内容

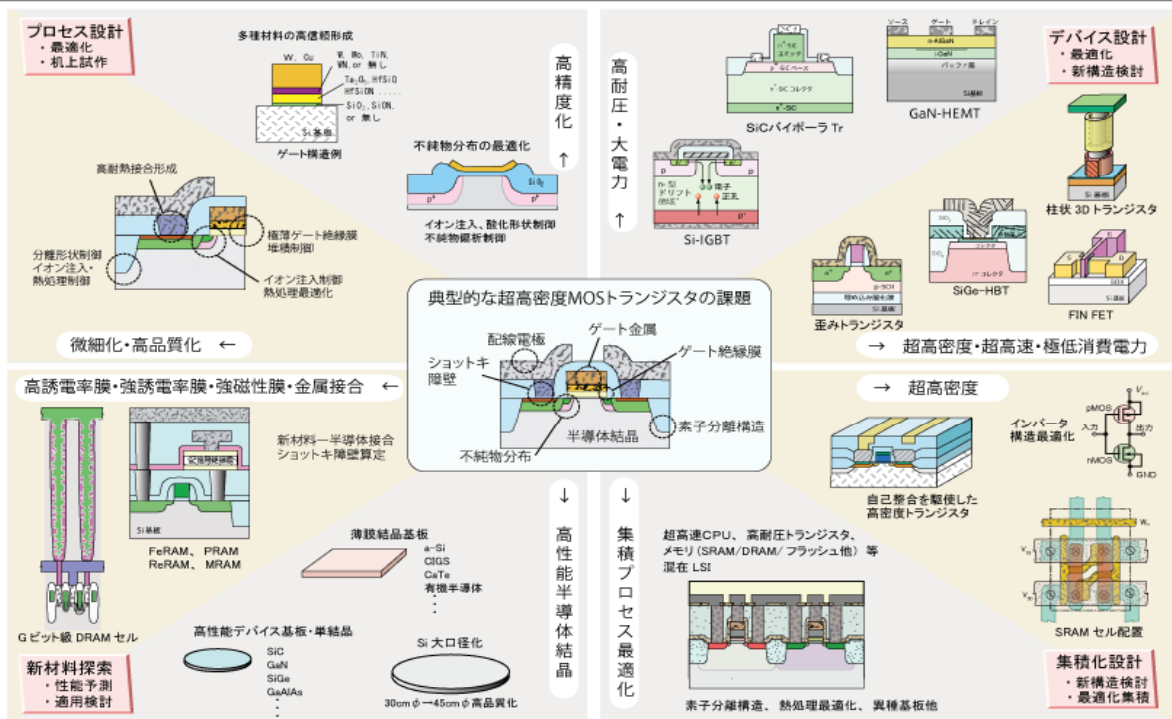
- プロセスシミュレータによる構造作成
- 変換ツールによるプロセスデバイス間接続
- デバイスシミュレーションによる解析事例紹介

【解析事例】

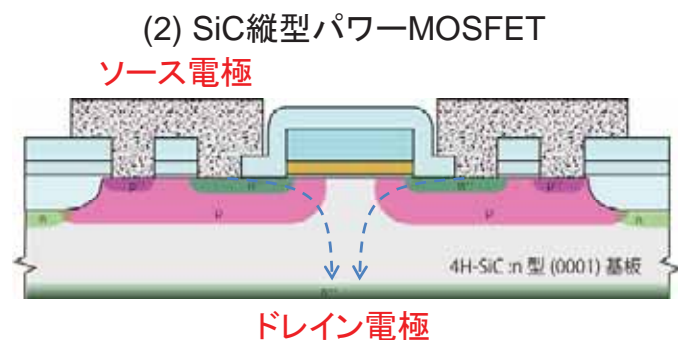
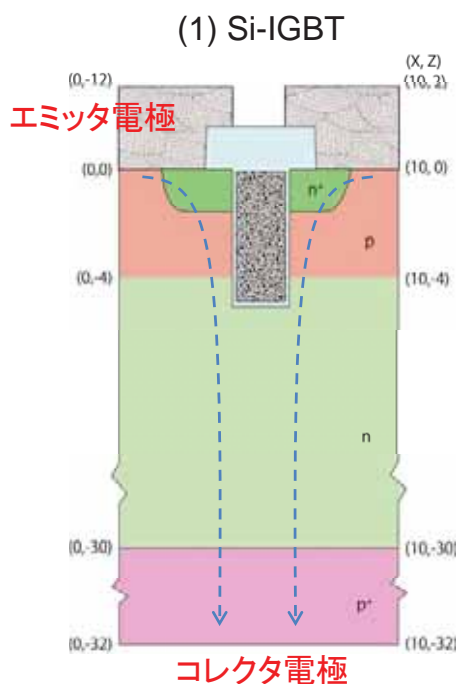
- ① Si-IGBT
- ② SiC縦型パワーMOSFET

3D-TCAD適用対象例

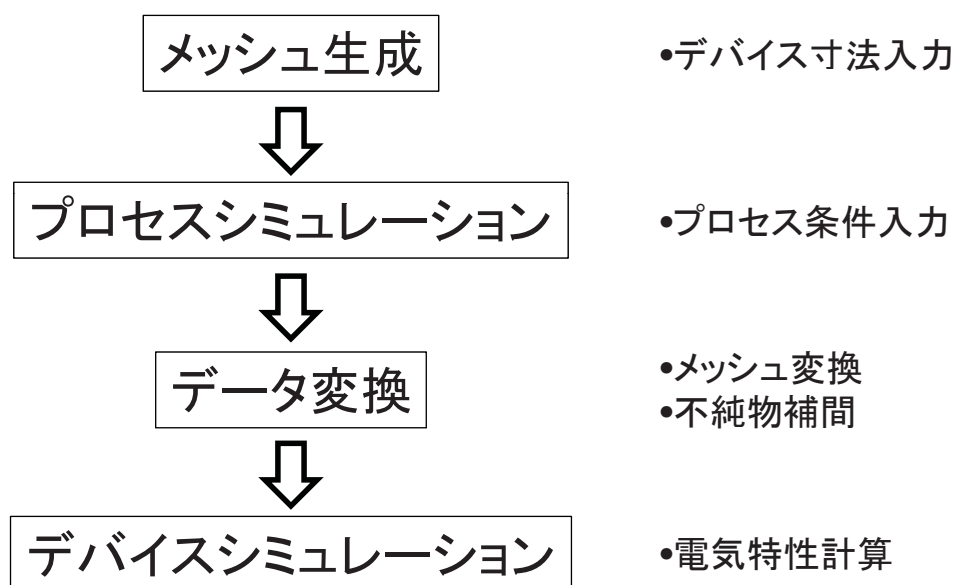
3D-TCAD 適用対象課題



解析事例

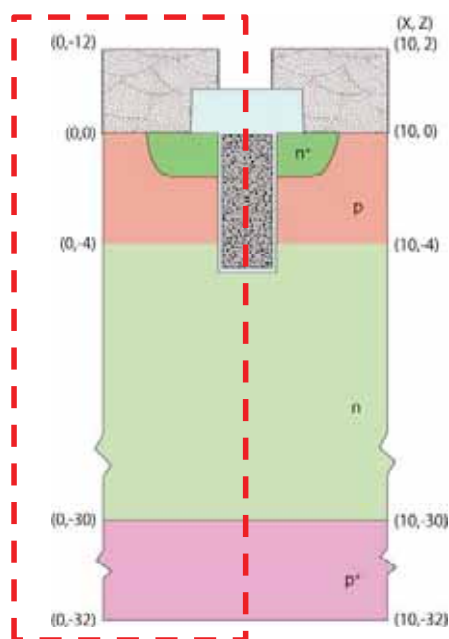


Advance/TCAD シミュレーション手順



(1) Si-IGBT

Si-IGBT



基板サイズ: 5um(幅)x1um(奥行)x32um(高さ)
 メッシュ数: 438468
 界面付近のメッシュサイズ: 約50nm



左右対称なので、反射境界条件により片側領域のみで計算することが可能。

Si-IGBT プロセスシーケンス

初期設定		Si(100), B:1e20[cm ⁻³]
1	エピ層作成準備	平坦化エッチ 30um
2	エピ層作成 n型	平坦化デポ Si:30um, P:1e15[cm ⁻³]
3	犠牲酸化膜堆積	平坦化デポ SiO2:10nm
4	ベース形成イオン注入	B, 100keV, 5e13[cm ⁻²]
5	拡散	N2, 1200°C, 1時間
6	エミッタ形成マスクデポ	マスク指定、Si3N4、厚さ1um
7	エミッタ形成イオン注入	As, 100keV, 5e15[cm ⁻²]
8	拡散	N2, 1000°C, 10分
9	マスク除去	REMOVEエッチ
10	犠牲酸化膜除去	REMOVEエッチ
11	トレンチエッチ	マスク指定、異方性エッチ、5um
12	ゲート酸化膜形成	等方性デポ、SiO2:50nm
13	ゲートポリSi埋め込み	平坦化デポ、高さ座標指定(初期界面Z=0まで)
14	残存ゲート酸化膜除去	平坦化エッチ、高さ座標指定(初期界面Z=0まで)
15	エミッタ電極形成	マスク指定、等方性デポ、厚さ1um
16	形状整形	平坦化デポ、SiO2
17	形状整形	平坦化エッチ

Si-IGBT プロセスシミュレーション結果

ベース層B注入

エミッタ領域As注入



(1) ベース形成イオン注入



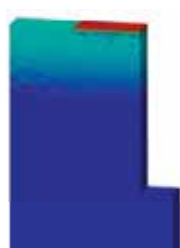
(2) 拡散(60分, 1200°C)



(3) エミッタ形成イオン注入



(4) 拡散(10分, 1000°C)



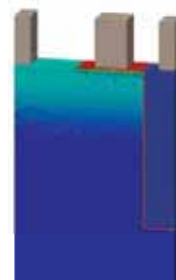
(5) トレンチエッチ



(6) ゲート酸化



(7) ポリSiゲート埋込

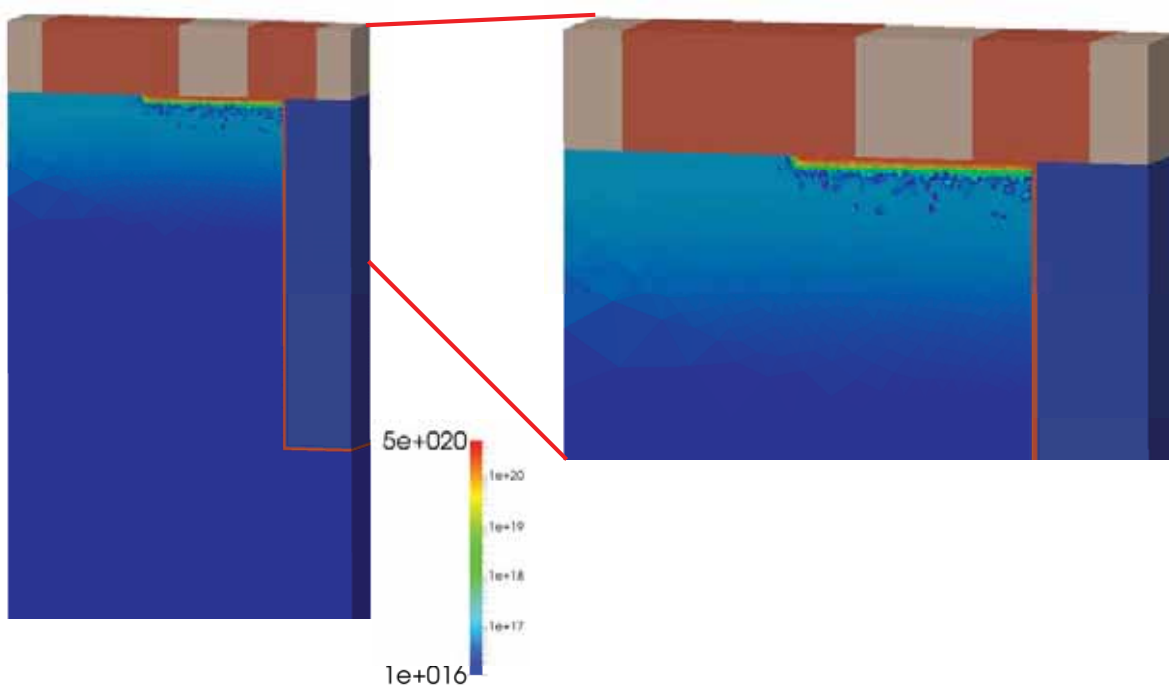


(8) Al電極堆積



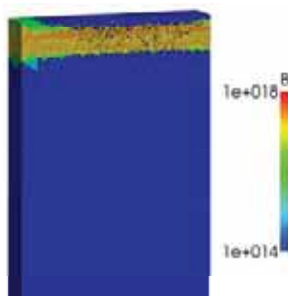
(9) 平坦化

Si-IGBT 全体図

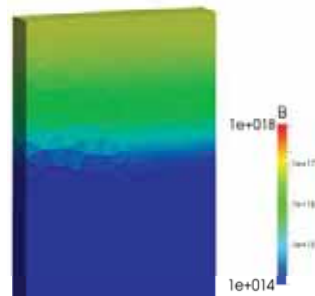


Si-IGBT イオン注入・拡散結果

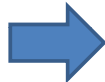
ベース領域B注入



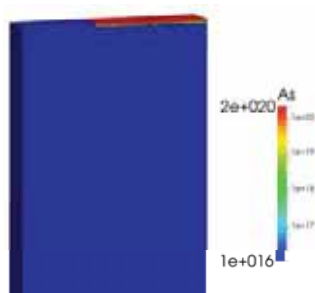
ベース領域B拡散



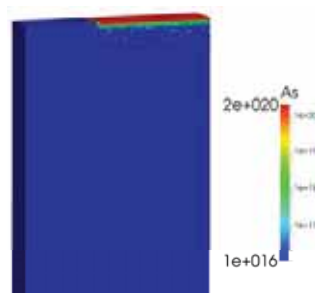
拡散(60分, 1200°C)



エミッタ領域As注入



エミッタ領域As拡散

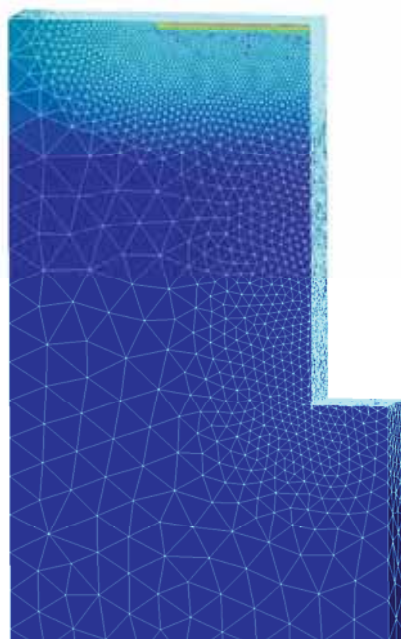


拡散(10分, 1000°C)

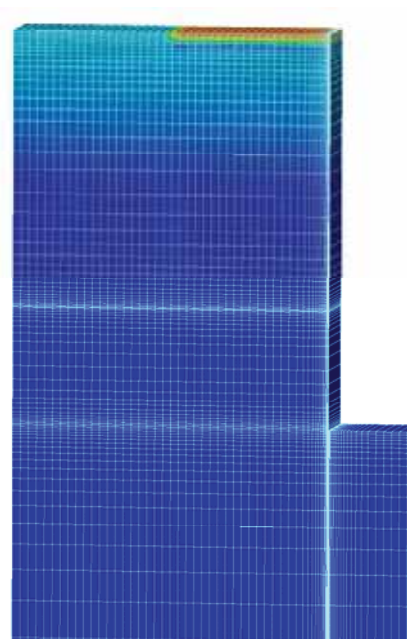


データ変換(メッシュ・不純物分布)

四面体メッシュ



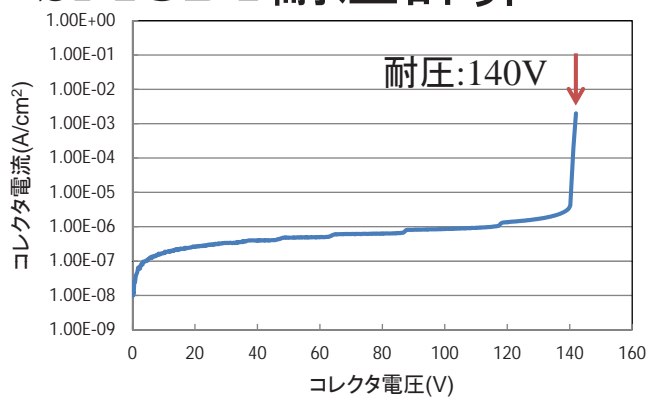
直交メッシュ



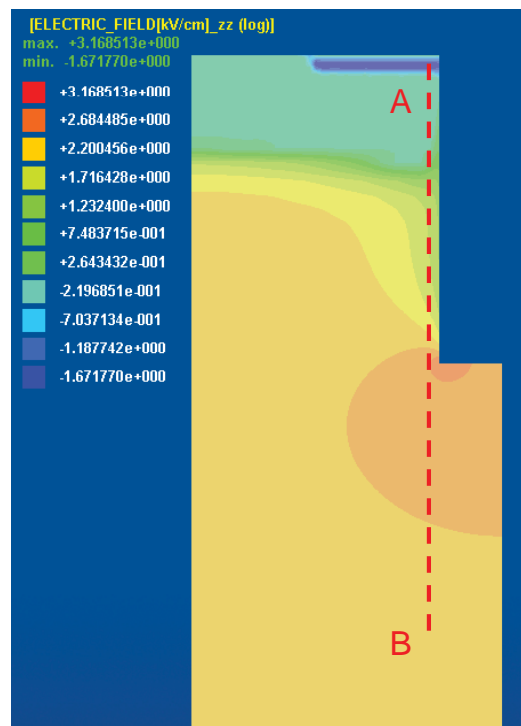
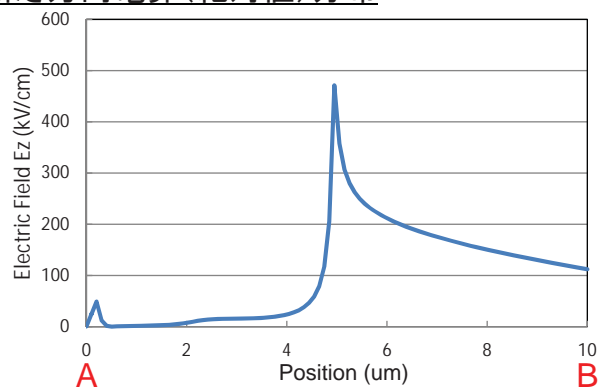
データ変換



Si-IGBT耐圧計算



深さ方向電界(絶対値)分布

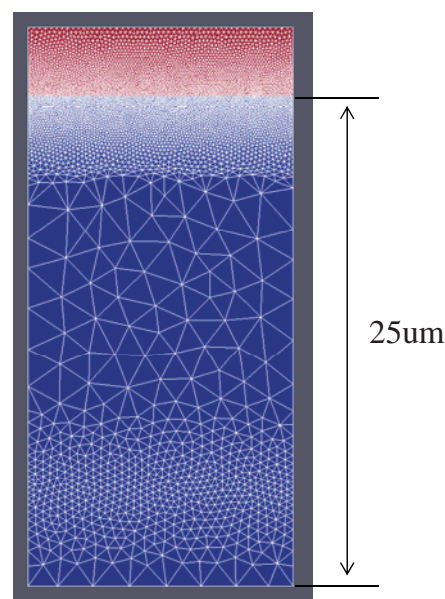
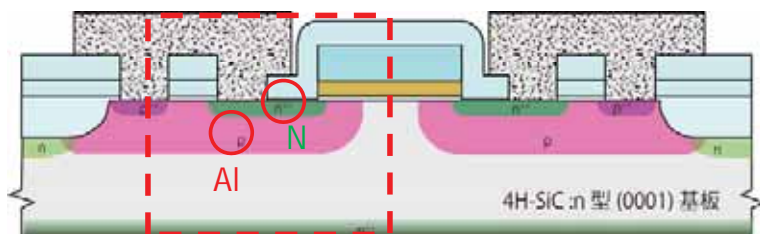


コレクタ電圧140Vのときの深さ方向電界分布

(2) SiC縦型パワーMOSFET

SiC縦型パワーMOSFET

基板サイズ: 13.5um(幅)x1um(奥行)x25um(高さ)
 メッシュ数: 262100
 界面付近のメッシュサイズ: 約100nm



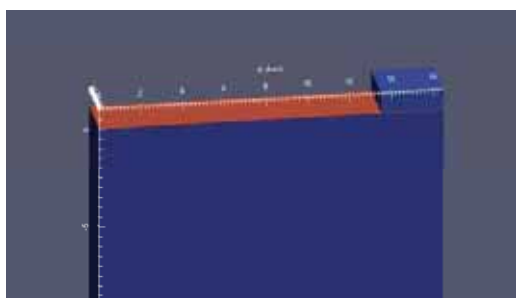
左右対称なので、反射境界条件により片側領域のみで計算することが可能。

SiCパワーMOSFET プロセスシーケンス

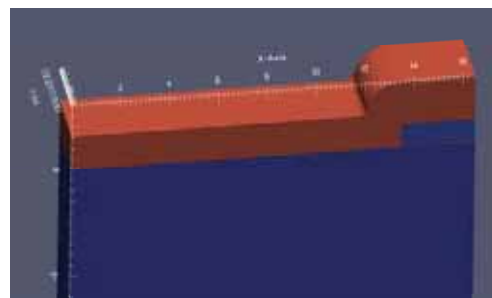
初期設定		n-Si(100), P:1e20[cm ⁻³]
1	背面n++層作成	平坦化エッチ, 20um
2	エピ層作成n型	平坦化デポ, 20um, P:1e15[cm ⁻³]
3	ゲート酸化膜形成	平坦化デポ, SiO2, 50nm
4	ゲートポリSi作成	マスク指定、等方性デポ, poly-Si:1um
5	酸化膜堆積	マスク指定、等方性デポ, SiO2: 500nm
6	側壁デポ	等方性デポ, SiO2: 1.5um
7	側壁エッチ	非等方性エッチ, SiO2: 1.5um
8	チャンネル形成イオン注入	Al, 300keV, 5e13[cm ⁻²]
9	拡散	N2, 1200°C, 5時間
10	ソース形成マスクデポ	マスク指定、等方性デポ, SiO2:500nm
11	ソース形成イオン注入	N, 50keV, 1e16[cm ⁻²]
12	拡散	N2, 1000°C, 10分
13	コンタクト形成(ソース、ゲート)	マスク指定、非等方性エッチ
14	電極形成(ソース、ゲート)	Al, 等方性デポ
15	形状整形	平坦化デポ, SiO2
16	形状整形	平坦化エッチ

プロセスシミュレーション結果

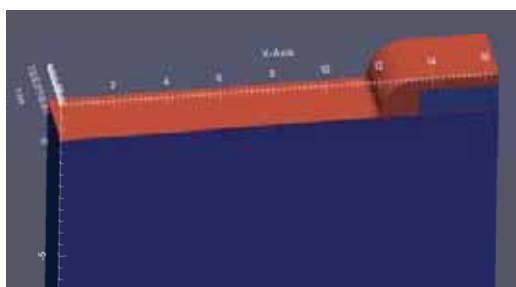
①ポリゲート堆積



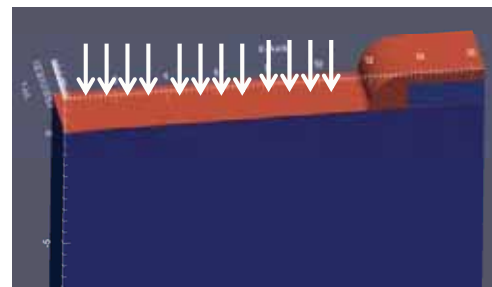
②側壁デポ



③側壁エッチ

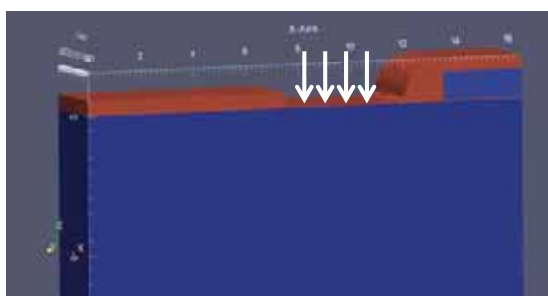


④チャンネル領域イオン注入&拡散

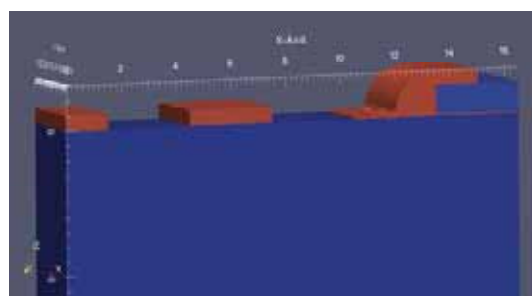


プロセスシミュレーション結果

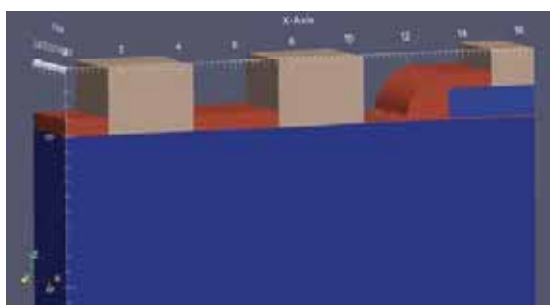
⑤イオン注入マスクデポ&イオン注入



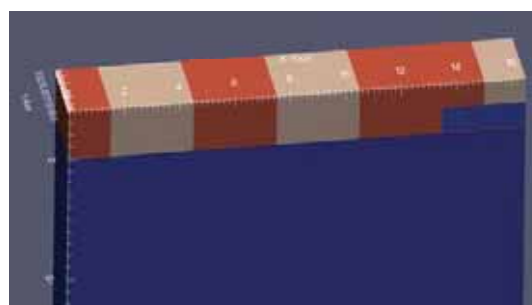
⑥コンタクトエッチ



⑦Al電極デポ

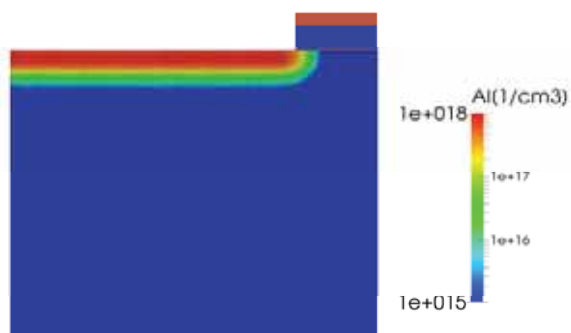


⑧最終構造

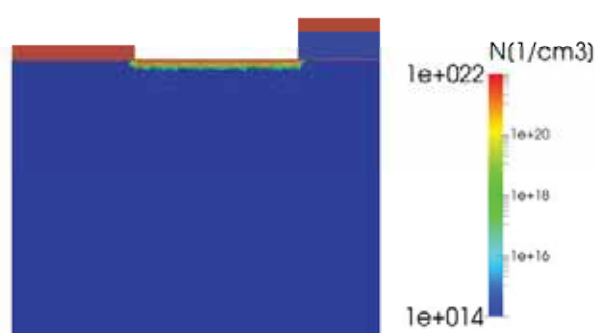


不純物分布

チャンネル領域 Alイオン

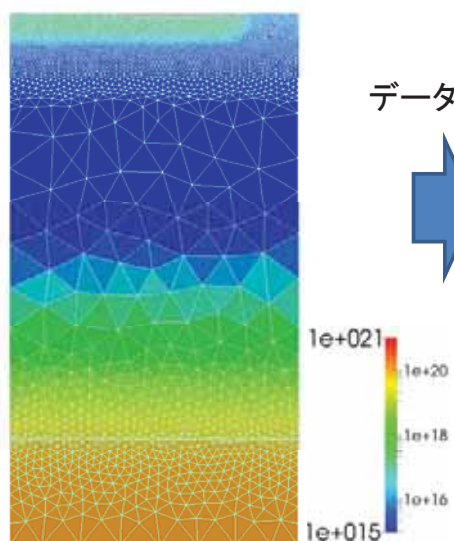


ソース領域 Nイオン



データ変換(メッシュ・不純物分布)

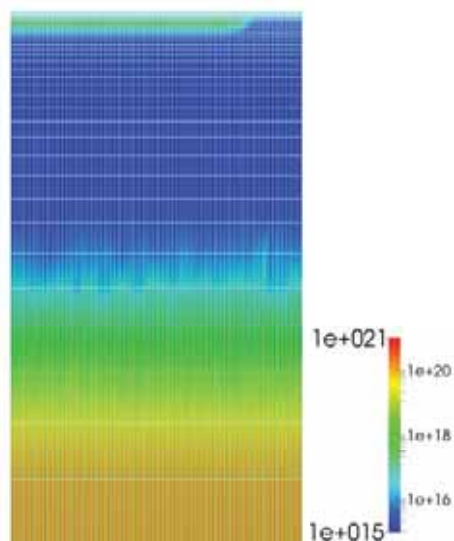
四面体メッシュ



データ変換



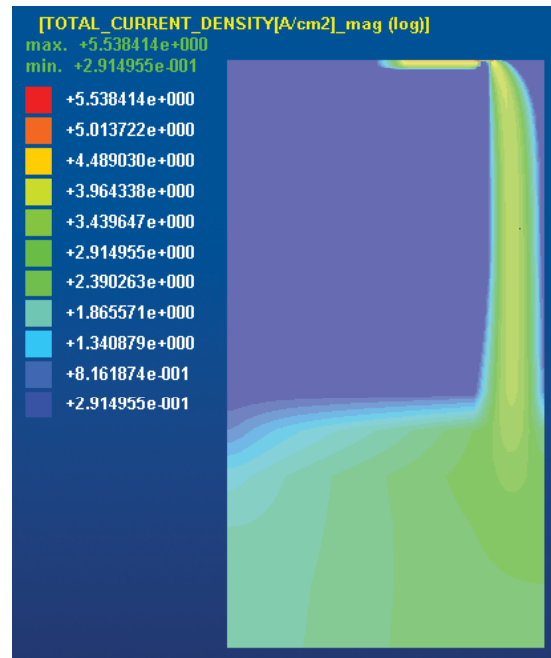
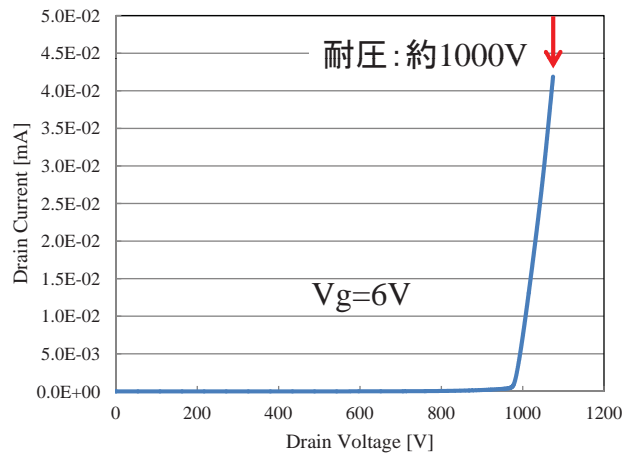
直交メッシュ



SiCパワーMOSFET耐圧計算

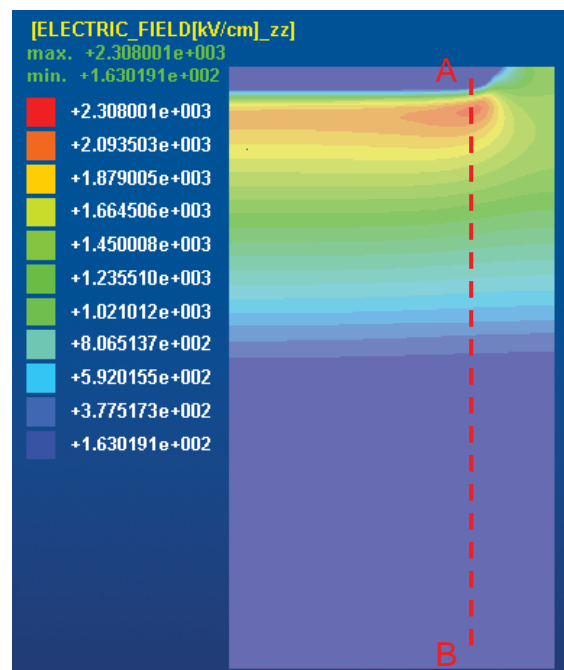
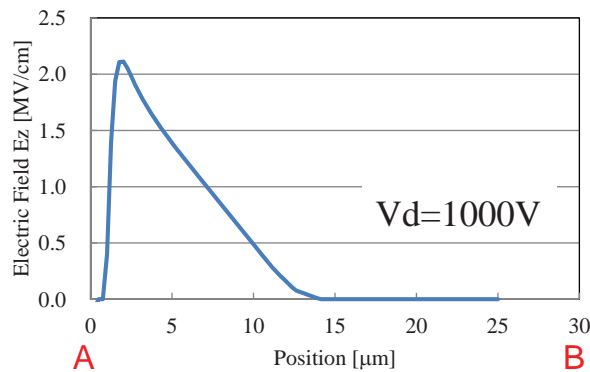
電流密度@Vd=1000V

Id-Vd特性



SiCパワーMOSFET耐圧計算

深さ方向電界(絶対値)分布



ドレイン電圧1000Vのときの深さ方向電界分布

計算時間について

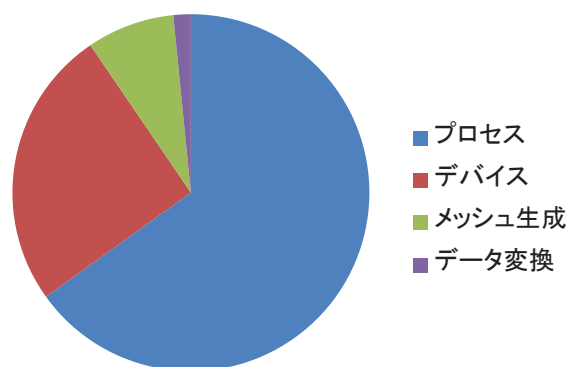


図: 解析プロセスごとの計算時間内訳 (平均値)

表: 解析プロセスごとの計算時間

	プロセス	デバイス	メッシュ生成	データ変換
(1)Si-IGBT	8時間	3時間	約30分	約10分
(2)SiC縦型パワーMOSFET	12時間	4時間	約30分	約10分

まとめ

- Si-IGBT、SiC縦型パワーMOSFETの例題もとに、ADVANCE/TCADの解析事例紹介を行った。
- プロセスシミュレーションでは、イオン注入・拡散について、デバイスシミュレーションでは、ブレイクダウン特性についての計算結果を紹介した。



警告

このレポートに収録されている文章および内容については、ご自身のために役立つ用途に限定して無料配布しています。このレポートを、販売、オークション、その他の目的で利用するには、著作権者の許諾が必要です。このレポートに含まれている内容を、その一部でも著作権者の許諾なしに、複製、改変、配布を行うことおよびインターネット上で提供する等により、一般へ送ることは法律によって固く禁止されています。