

# SiとSiCのパワーデバイスの 解析事例

研究員 山田 吉宏

Made in Japan のLSIデバイス設計CADシステム  
Advance/TCADのご紹介  
2015年6月30日（火）  
アドバンスソフト株式会社

## 内容

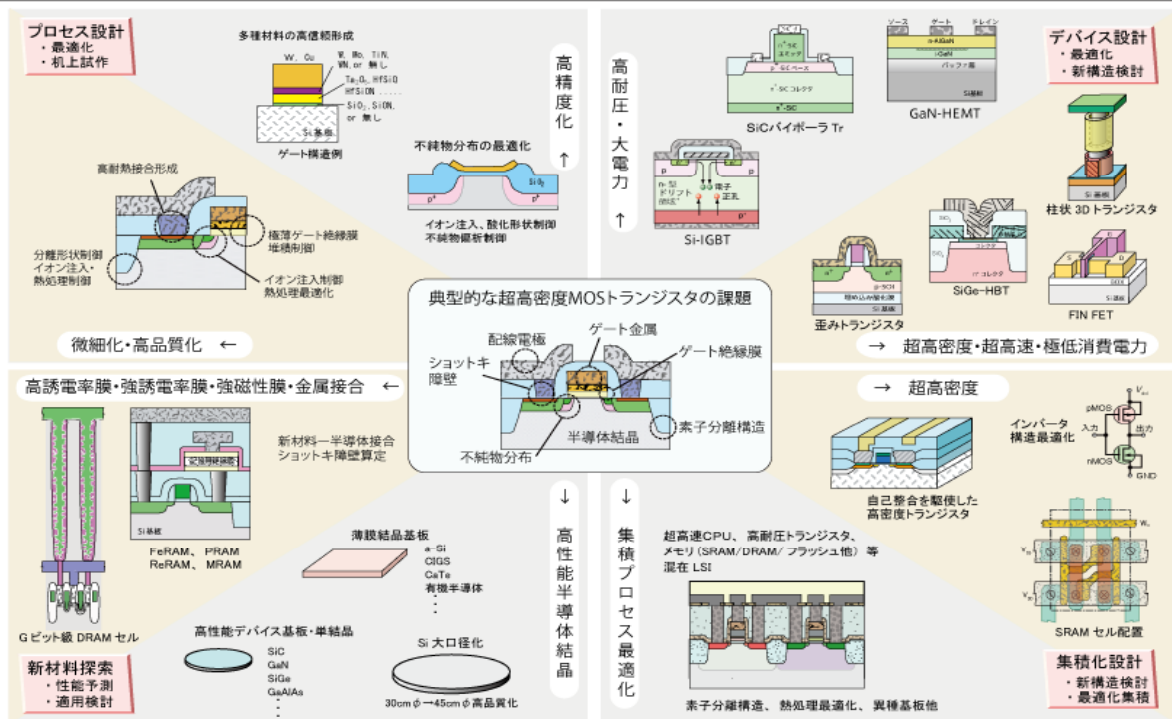
- プロセスシミュレータによる構造作成
- 変換ツールによるプロセスデバイス間接続
- デバイスシミュレーションによる解析事例紹介

### 【解析事例】

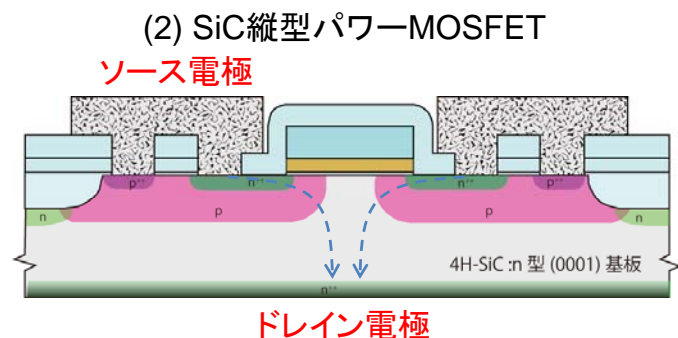
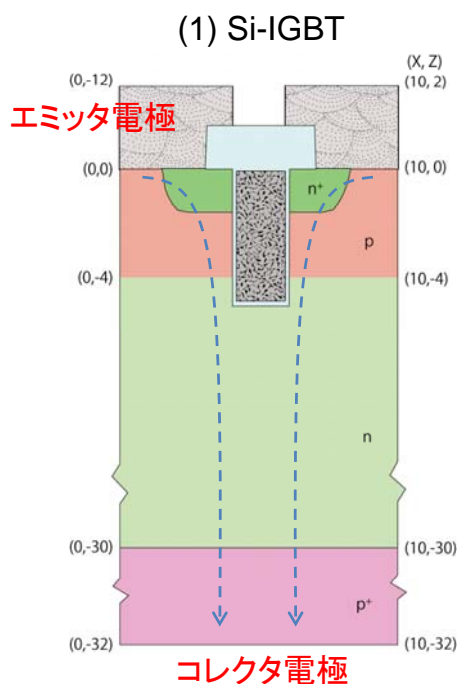
- ① Si-IGBT
- ② SiC縦型パワーMOSFET

# 3D-TCAD適用対象例

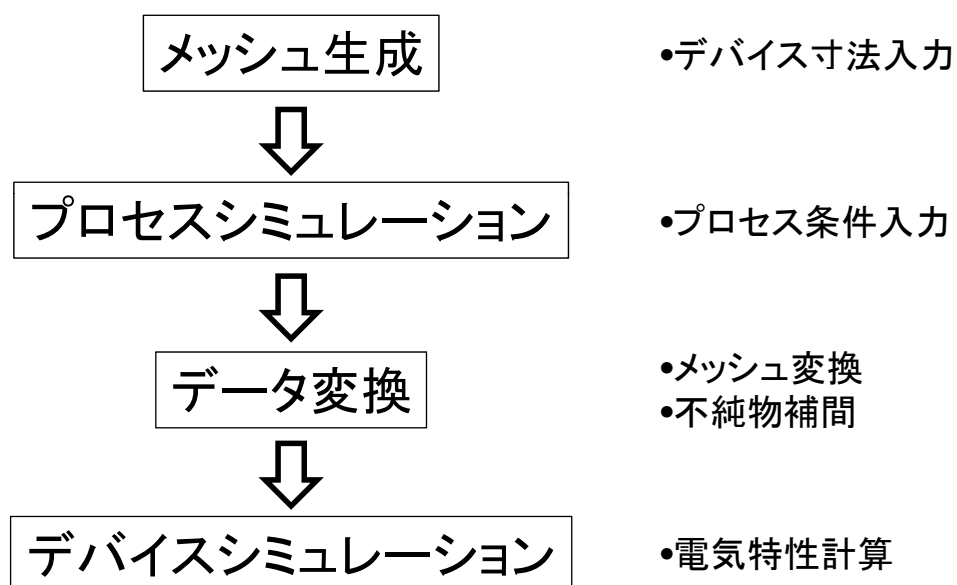
## 3D-TCAD 適用対象課題



# 解析事例

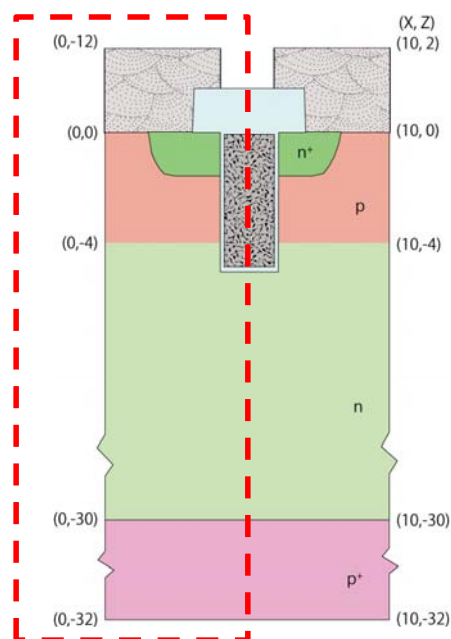


# Advance/TCAD シミュレーション手順

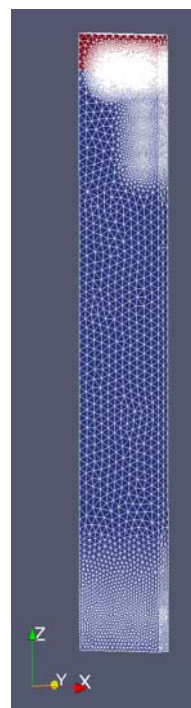


## (1) Si-IGBT

# Si-IGBT



基板サイズ: 5um(幅)x1um(奥行)x32um(高さ)  
 メッシュ数: 438468  
 界面付近のメッシュサイズ: 約50nm



左右対称なので、反射境界条件により片側領域のみで計算することが可能。

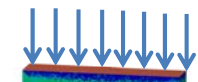
# Si-IGBT プロセスシーケンス

初期設定		Si(100), B:1e20[cm <sup>-3</sup> ]
1	エピ層作成準備	平坦化エッチ 30um
2	エピ層作成 n型	平坦化デポ Si:30um, P:1e15[cm <sup>-3</sup> ]
3	犠牲酸化膜堆積	平坦化デポ SiO2:10nm
4	ベース形成イオン注入	B, 100keV, 5e13[cm <sup>-2</sup> ]
5	拡散	N2, 1200°C, 1時間
6	エミッタ形成マスクデポ	マスク指定、Si3N4、厚さ1um
7	エミッタ形成イオン注入	As, 100keV, 5e15[cm <sup>-2</sup> ]
8	拡散	N2, 1000°C, 10分
9	マスク除去	REMOVEエッチ
10	犠牲酸化膜除去	REMOVEエッチ
11	トレンチエッチ	マスク指定、異方性エッチ、5um
12	ゲート酸化膜形成	等方性デポ、SiO2:50nm
13	ゲートポリSi埋め込み	平坦化デポ、高さ座標指定(初期界面Z=0まで)
14	残存ゲート酸化膜除去	平坦化エッチ、高さ座標指定(初期界面Z=0まで)
15	エミッタ電極形成	マスク指定、等方性デポ、厚さ1um
16	形状整形	平坦化デポ、SiO2
17	形状整形	平坦化エッチ

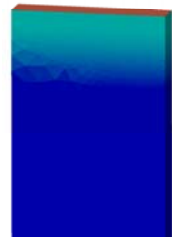
# Si-IGBT プロセスシミュレーション結果

ベース層B注入

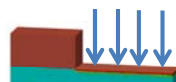
エミッタ領域As注入



(1) ベース形成イオン注入



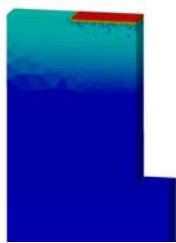
(2) 拡散(60分,1200°C)



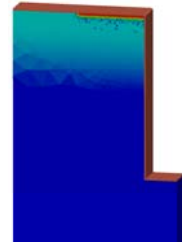
(3) エミッタ形成イオン注入



(4) 拡散(10分,1000°C)



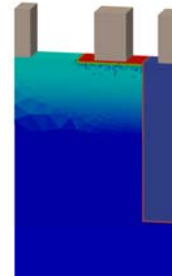
(5) トレンチエッチ



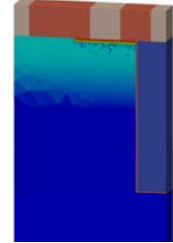
(6) ゲート酸化



(7) ポリSiゲート埋込

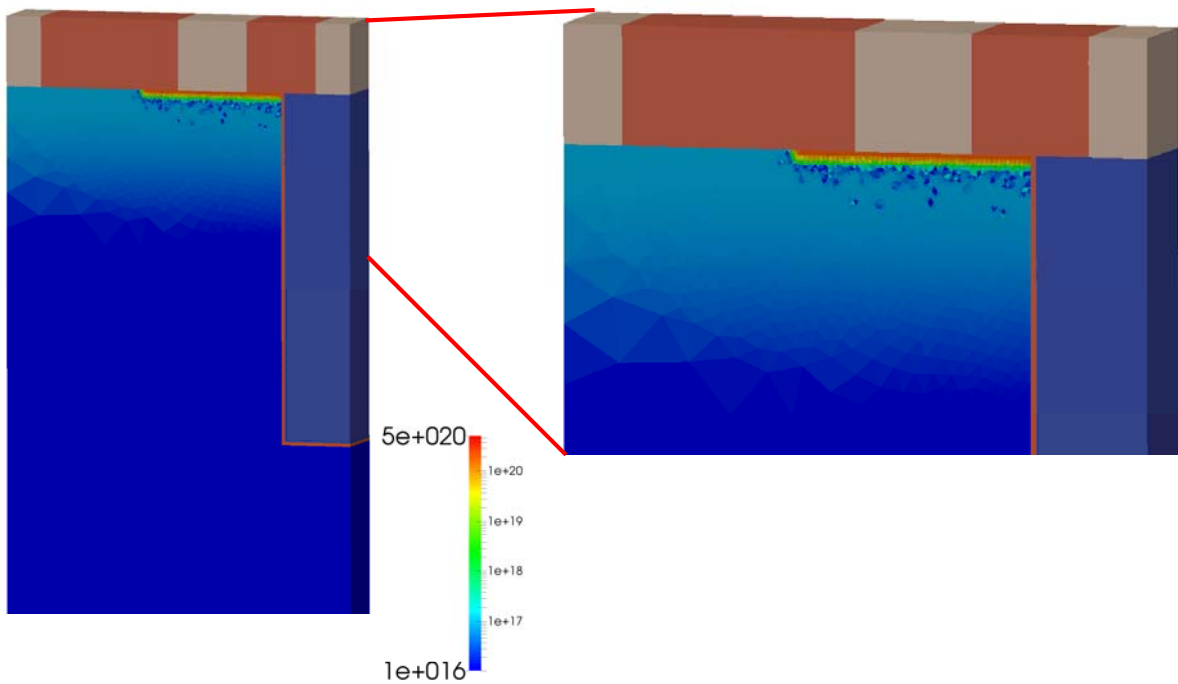


(8) Al電極堆積

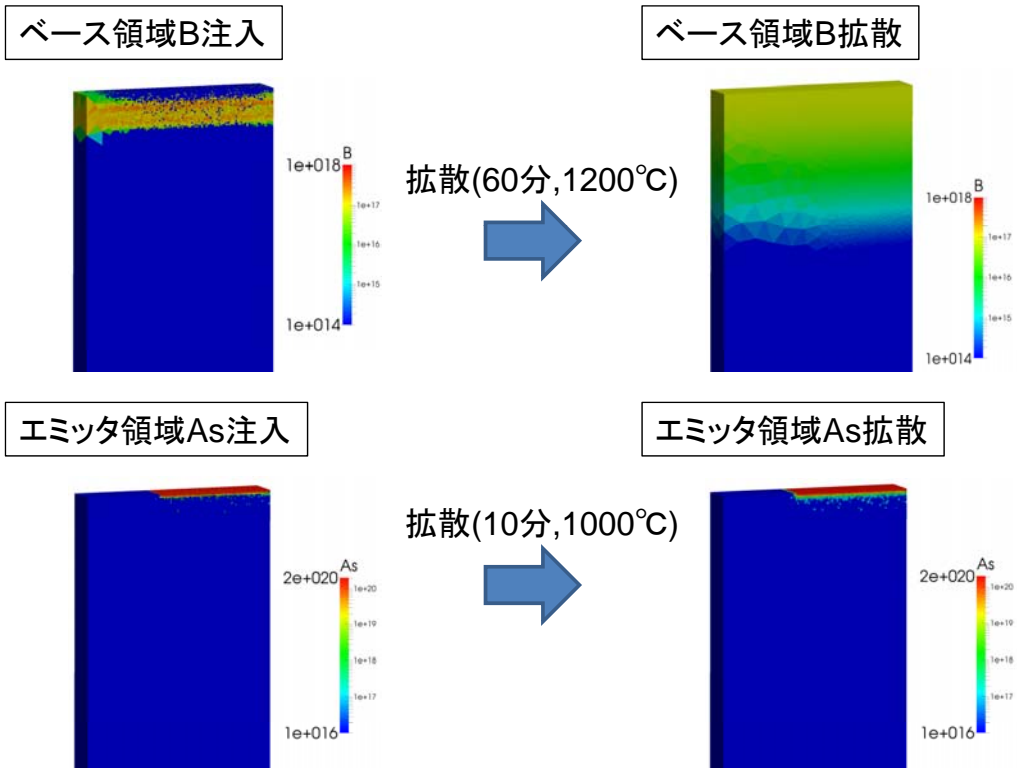


(9) 平坦化

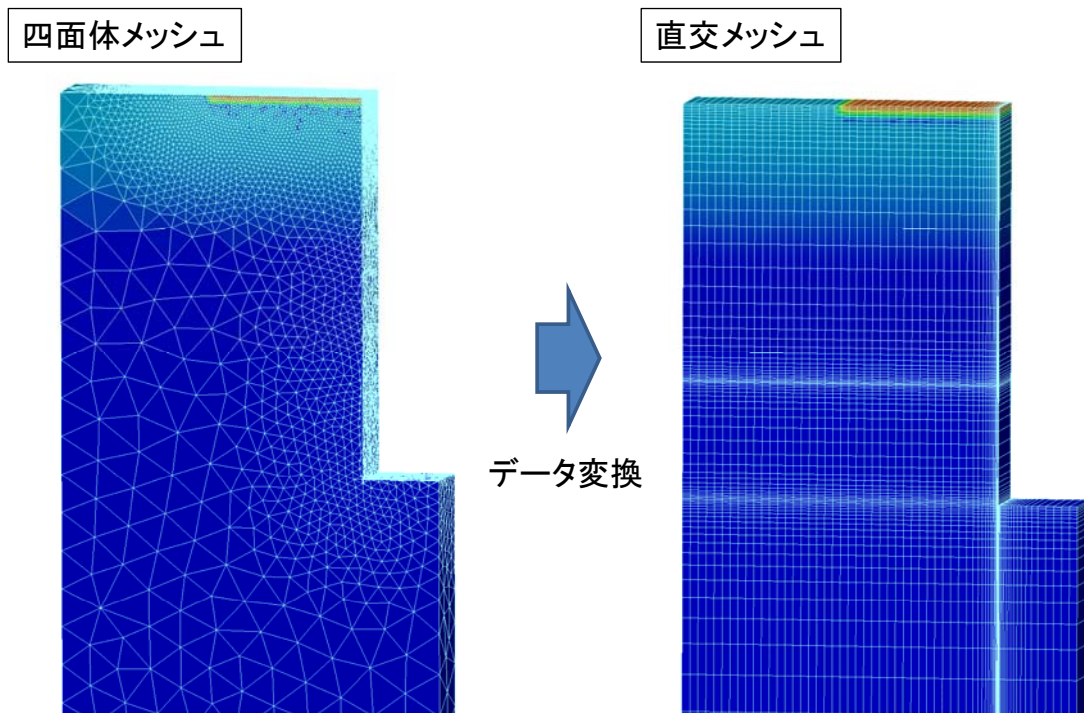
# Si-IGBT 全体図



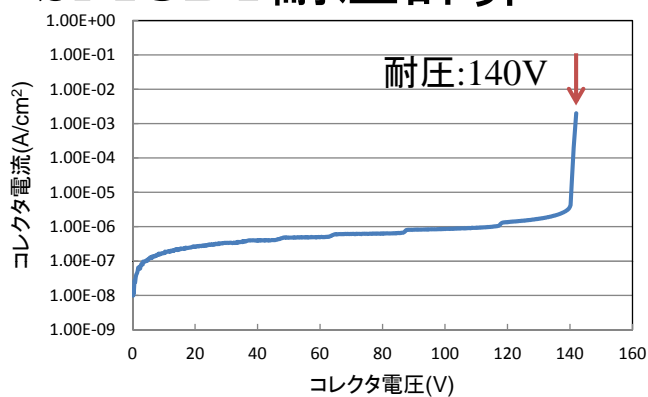
# Si-IGBT イオン注入・拡散結果



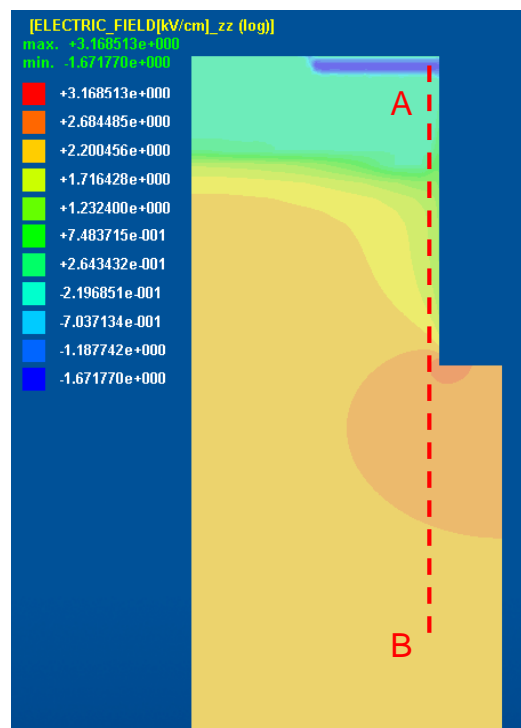
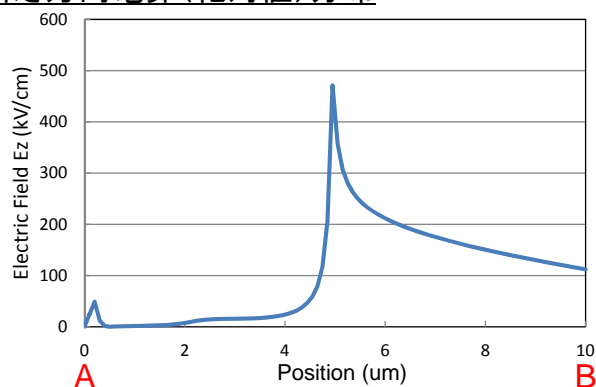
# データ変換(メッシュ・不純物分布)



# Si-IGBT耐圧計算



深さ方向電界(絶対値)分布

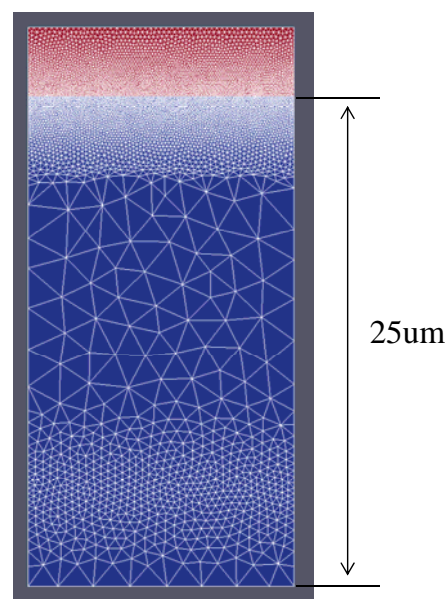
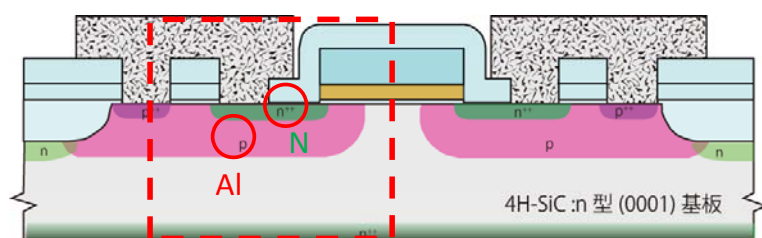


コレクタ電圧140Vのときの深さ方向電界分布

## (2) SiC縦型パワーMOSFET

# SiC縦型パワーMOSFET

基板サイズ: 13.5um(幅)x1um(奥行)x25um(高さ)  
 メッシュ数: 262100  
 界面付近のメッシュサイズ: 約100nm



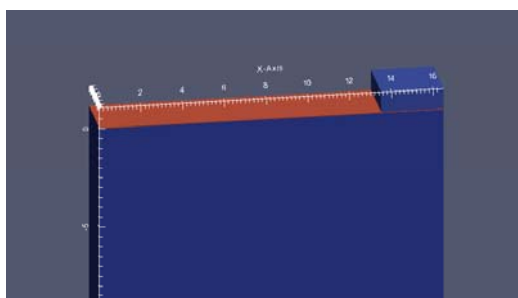
左右対称なので、反射境界条件により片側領域のみで計算することが可能。

# SiCパワーMOSFET プロセスシーケンス

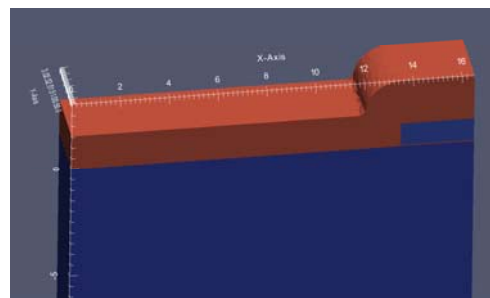
初期設定		n-Si(100), P:1e20[cm <sup>-3</sup> ]
1	背面n++層作成	平坦化エッチ, 20um
2	エピ層作成n型	平坦化デポ, 20um, P:1e15[cm <sup>-3</sup> ]
3	ゲート酸化膜形成	平坦化デポ, SiO2, 50nm
4	ゲートポリSi作成	マスク指定、等方性デポ, poly-Si:1um
5	酸化膜堆積	マスク指定、等方性デポ, SiO2: 500nm
6	側壁デポ	等方性デポ, SiO2: 1.5um
7	側壁エッチ	非等方性エッチ, SiO2: 1.5um
8	チャンネル形成イオン注入	Al, 300keV, 5e13[cm <sup>-2</sup> ]
9	拡散	N2, 1200°C, 5時間
10	ソース形成マスクデポ	マスク指定、等方性デポ, SiO2:500nm
11	ソース形成イオン注入	N, 50keV, 1e16[cm <sup>-2</sup> ]
12	拡散	N2, 1000°C, 10分
13	コンタクト形成(ソース、ゲート)	マスク指定、非等方性エッチ
14	電極形成(ソース、ゲート)	Al, 等方性デポ
15	形状整形	平坦化デポ, SiO2
16	形状整形	平坦化エッチ

# プロセスシミュレーション結果

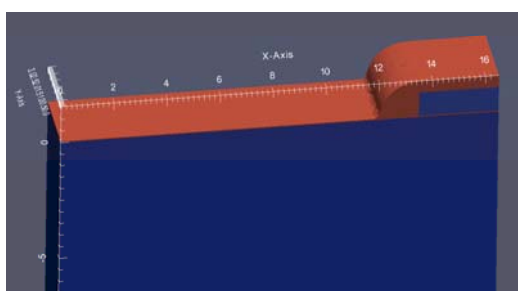
①ポリゲート堆積



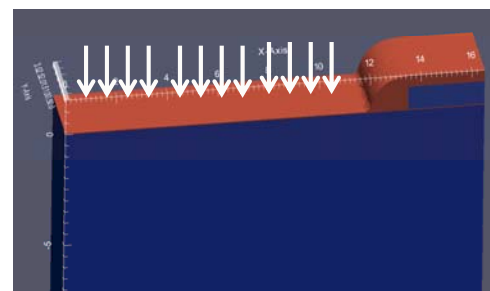
②側壁デポ



③側壁エッチ

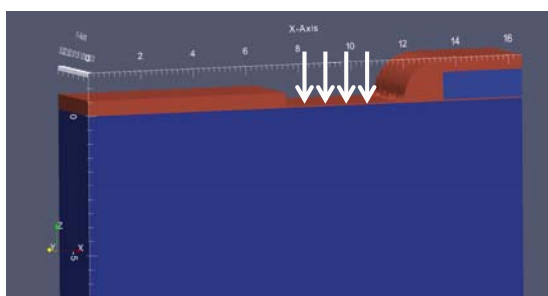


④チャンネル領域イオン注入&拡散

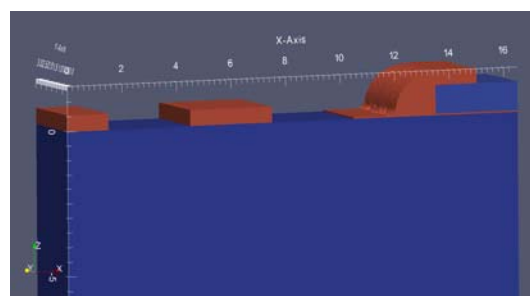


# プロセスシミュレーション結果

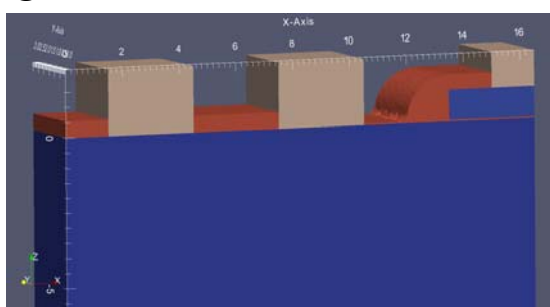
⑤イオン注入マスクデポ&イオン注入



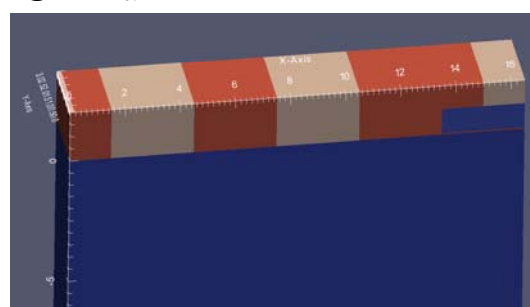
⑥コンタクトエッチ



⑦AI電極デポ

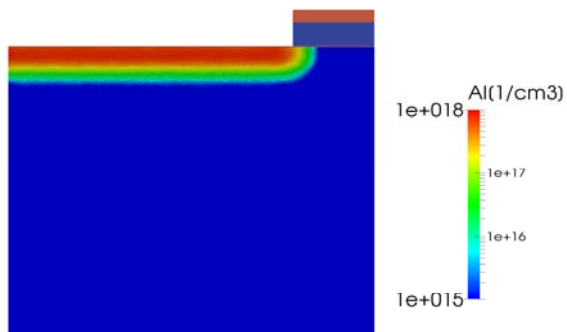


⑧最終構造

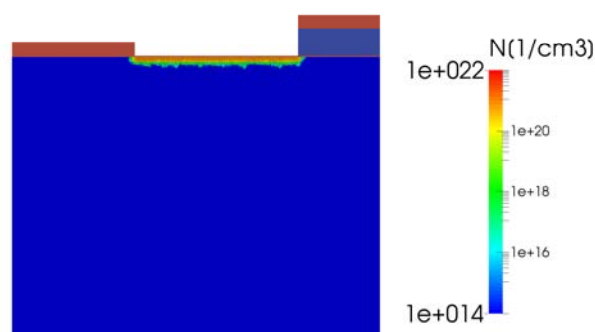


# 不純物分布

チャンネル領域 Alイオン

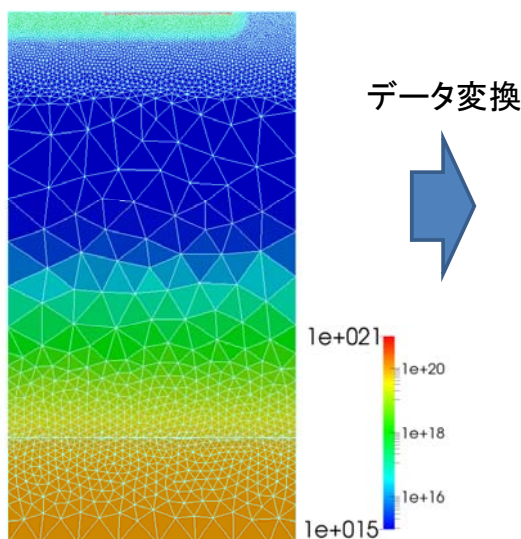


ソース領域 Nイオン

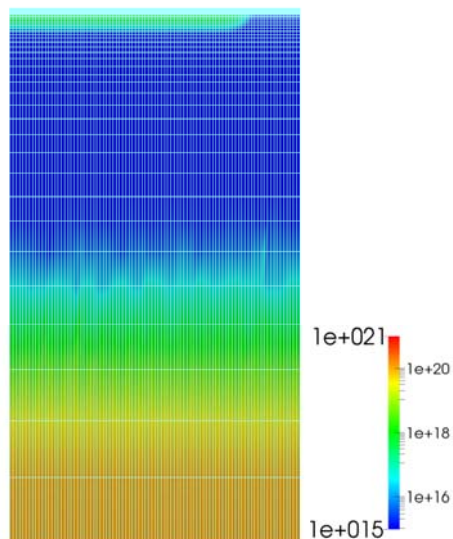


# データ変換(メッシュ・不純物分布)

四面体メッシュ



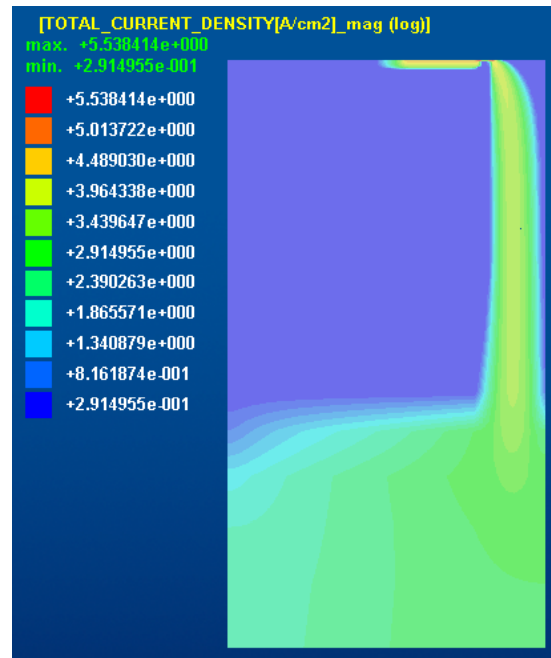
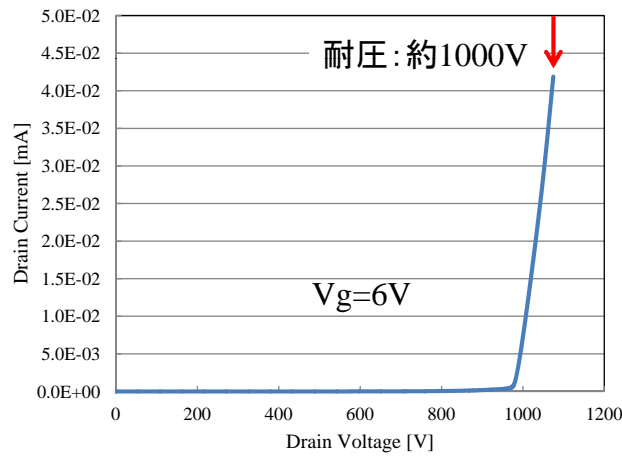
直交メッシュ



# SiCパワーMOSFET耐圧計算

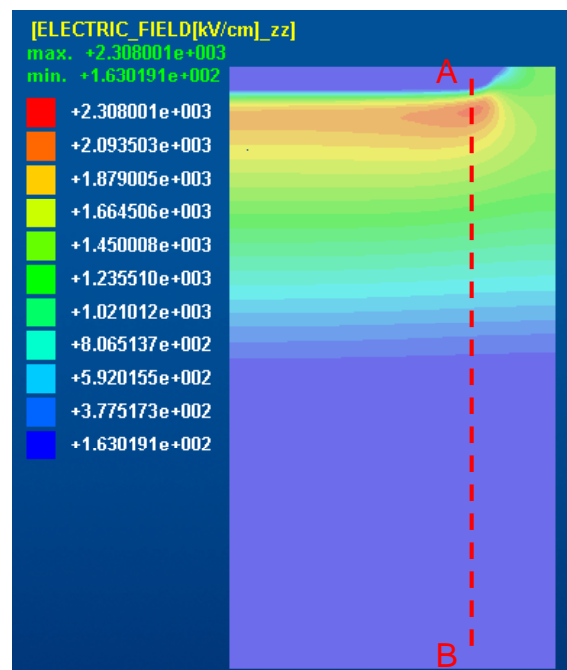
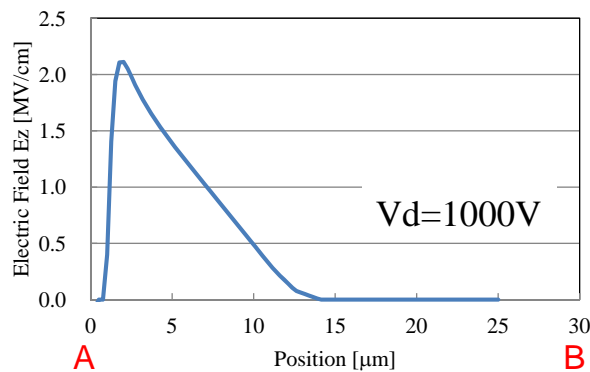
電流密度@Vd=1000V

## Id-Vd特性



# SiCパワーMOSFET耐圧計算

## 深さ方向電界(絶対値)分布



ドレイン電圧1000Vのときの深さ方向電界分布

# 計算時間について

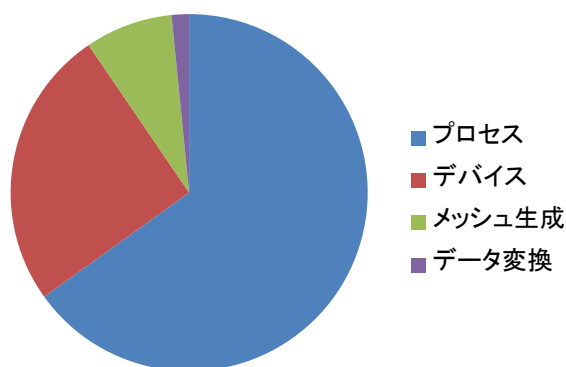


図: 解析プロセスごとの計算時間内訳 (平均値)

表: 解析プロセスごとの計算時間

	プロセス	デバイス	メッシュ生成	データ変換
(1)Si-IGBT	8時間	3時間	約30分	約10分
(2)SiC縦型パワーMOSFET	12時間	4時間	約30分	約10分

## まとめ

- Si-IGBT、SiC縦型パワーMOSFETの例題もとに、ADVANCE/TCADの解析事例紹介を行った。
- プロセスシミュレーションでは、イオン注入・拡散について、デバイスシミュレーションでは、ブレークダウン特性についての計算結果を紹介した。