

過渡解析と 複数トランジスタの一括解析

研究主席 原田 昌紀

Made in Japan のLSIデバイス設計CADシステム
Advance/TCADのご紹介
2015年6月30日（火）
アドバンスソフト株式会社

発表内容

- デバイスシミュレーションの過渡解析手法
- 複数トランジスタの一括過渡解析
 - 一括解析の必要性
 - 一括解析の手法
 - CMOSインバータのチェーン解析事例
- 外部回路を含んだ過渡解析
 - 外部回路の解析手法
 - 解析事例
- 過渡解析におけるその他の機能
 - レート方程式による空間固定電荷、再結合モデル
 - 過渡解析におけるバイアス印加

発表内容

- デバイスシミュレーションの過渡解析手法
 - 複数トランジスタの一括過渡解析
 - 一括解析の必要性
 - 一括解析の手法
 - CMOSインバータのチェーン解析事例
 - 外部回路を含んだ過渡解析
 - 外部回路の解析手法
 - 解析事例
 - 過渡解析におけるその他の機能
 - レート方程式による空間固定電荷、再結合モデル
 - 過渡解析におけるバイアス印加

デバイスシミュレーションの過渡解析手法

過渡解析の数値計算手法

ポアソン方程式の時間微分式

$$\frac{\partial}{\partial t} [-\nabla \cdot (\epsilon_s \nabla \psi)] + \frac{q}{\epsilon_0} (\nabla \cdot \mathbf{J}_n + \nabla \cdot \mathbf{J}_p) = 0$$

↑ 時間微分

$$-\nabla \cdot (\epsilon_s \nabla \psi) = \frac{q}{\epsilon_0} (-n + p + N_D - N_A)$$

電流連続方程式

$$\frac{\partial n}{\partial t} = \frac{1}{q} \nabla \cdot \mathbf{J}_n - R$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \nabla \cdot \mathbf{J}_p - R$$

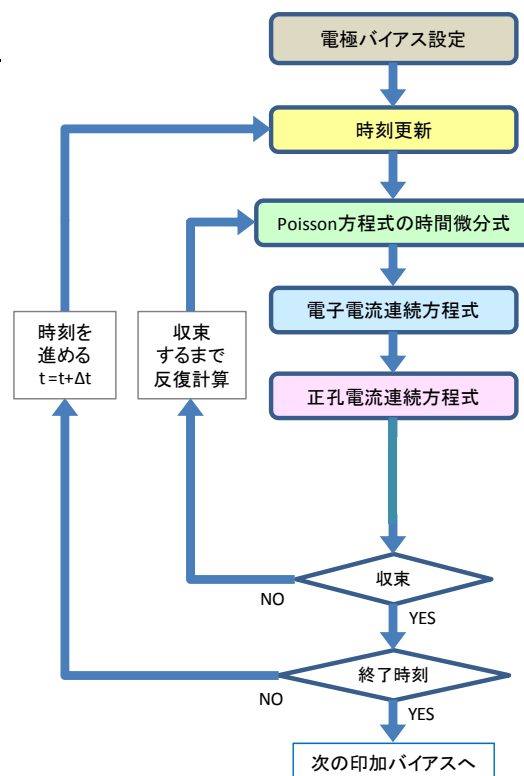
三式の連立方程式の
完全陰解法による反
復計算



静電ポテンシャル: ψ
電子密度: n
正孔密度: p

デバイスシミュレーションの過渡解析手法

計算フロー



発表内容

- デバイスシミュレーションの過渡解析手法
- 複数トランジスタの一括過渡解析
 - 一括解析の必要性
 - 一括解析の手法
 - CMOSインバータのチェーン解析事例
- 外部回路を含んだ過渡解析
 - 外部回路の解析手法
 - 解析事例
- 過渡解析におけるその他の機能
 - レート方程式による空間固定電荷、再結合モデル
 - 過渡解析におけるバイアス印加

複数トランジスタの一括過渡解析

～ 一括解析の必要性 ～

LSIの高集積化と高密度化により、MOSTランジスタ間の電氣的な相互作用を考慮した複数トランジスタ解析の重要度は高まる。

従来の複数トランジスタ解析手法

ミックスモード
シミュレーション

← ユーザ
寄生抵抗
寄生容量
入力

- 3次元の容量解析などにより値を事前に準備する必要がある。
- 3次元構造の寄生抵抗、寄生容量を有限個の抵抗や容量で近似することに対する精度の限界。



複数のトランジスタとそれらを接続する配線からなる系を**一括したデバイスシミュレーション**

- ユーザの負荷が軽減する。
- 3次元構造の寄生抵抗や寄生容量はデバイスシミュレーションで高精度で計算される。

複数トランジスタの一括過渡解析

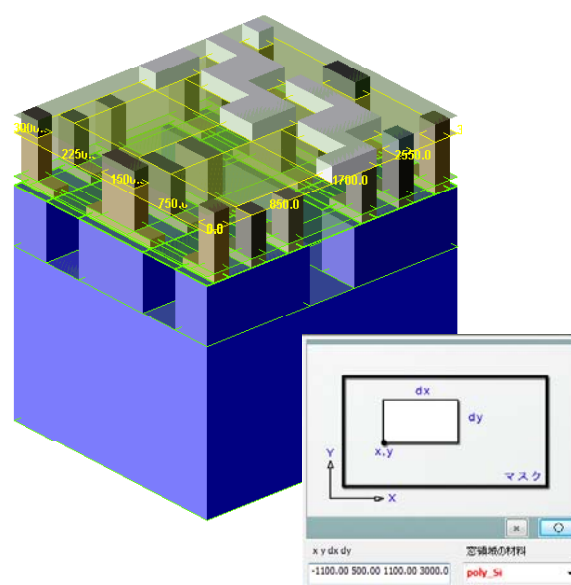
～ 一括解析の解析手法 ～

3次元構造作成機能

マスクを使用しながら半導体プロセスに沿った直観的なGUI操作で3次元構造を作成できる。



トランジスタ間の寄生抵抗、寄生容量などの効果は、実際のデバイスを模擬した3次元構造を作成するだけで自動的に計算に含まれる。

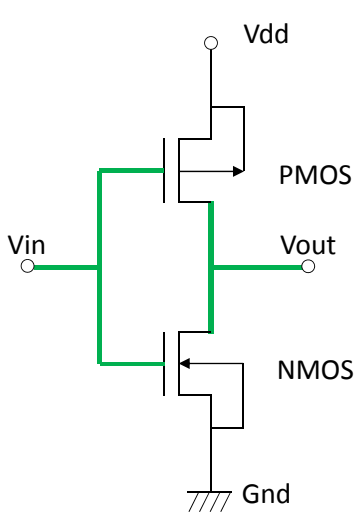


※NMOS E/Dインバータチェーン解析
モデル作成時のGUI操作画面例

複数トランジスタの一括過渡解析

～ 一括解析の解析手法 ～

トランジスタ間配線モデル

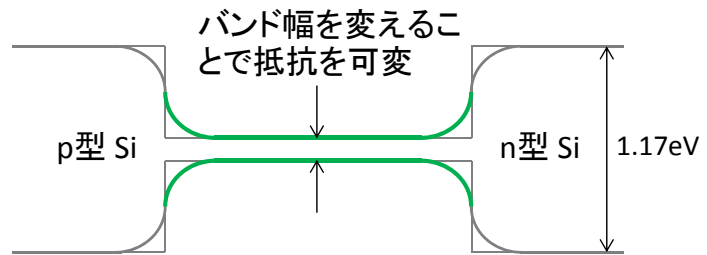


トランジスタ間配線

= n型とp型半導体領域を接続する低抵抗な配線



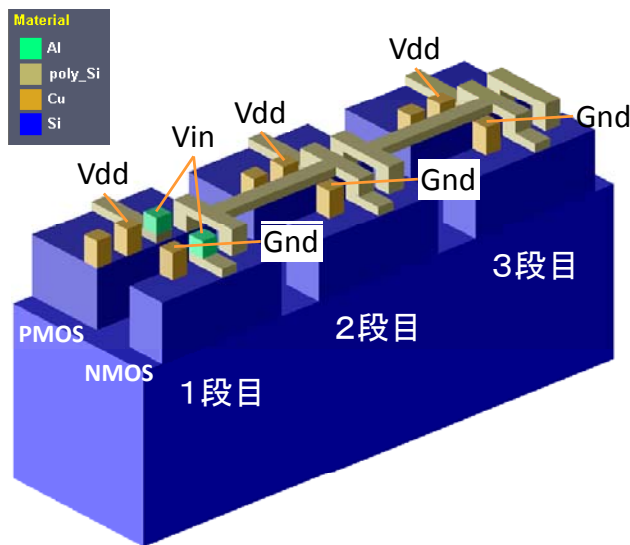
狭いバンドギャップの半導体により配線をモデル化



複数トランジスタの一括過渡解析

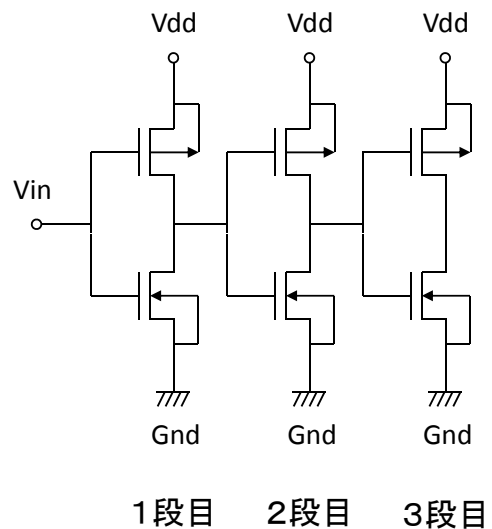
～ CMOSインバータチェーン解析事例 ～

【構造俯瞰図】



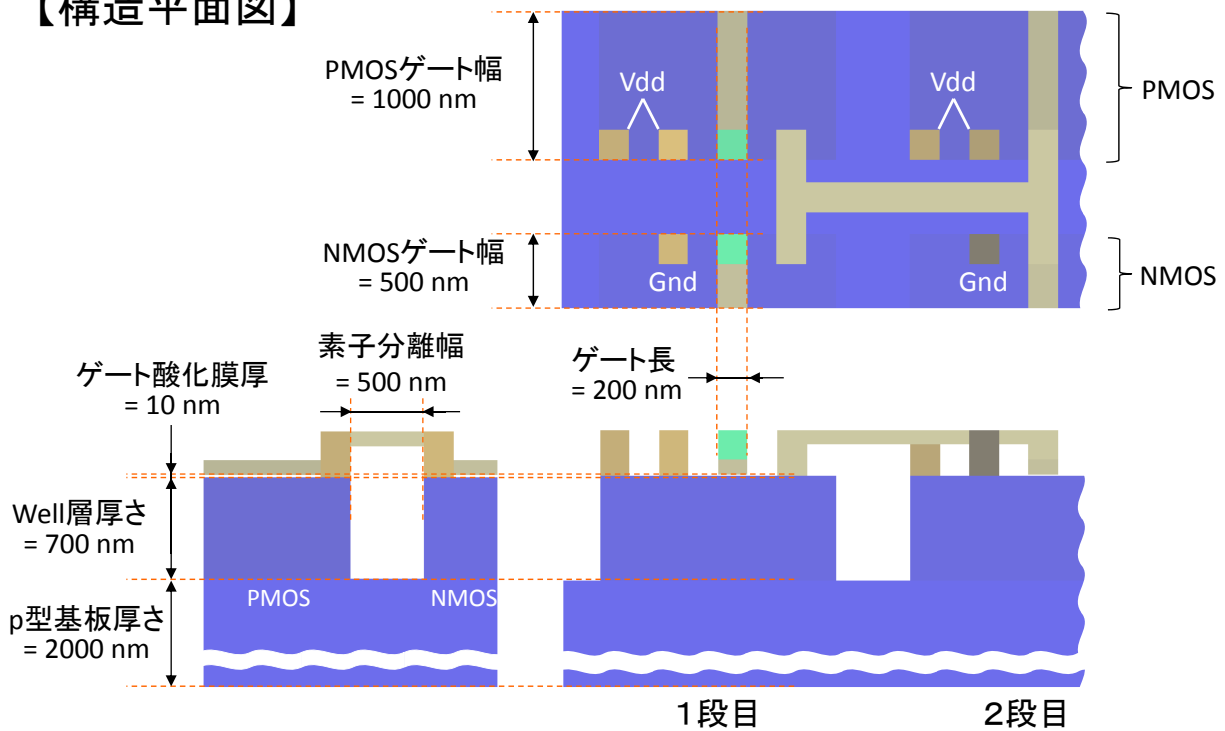
※SiO2は非表示としている。

【回路図との対応】



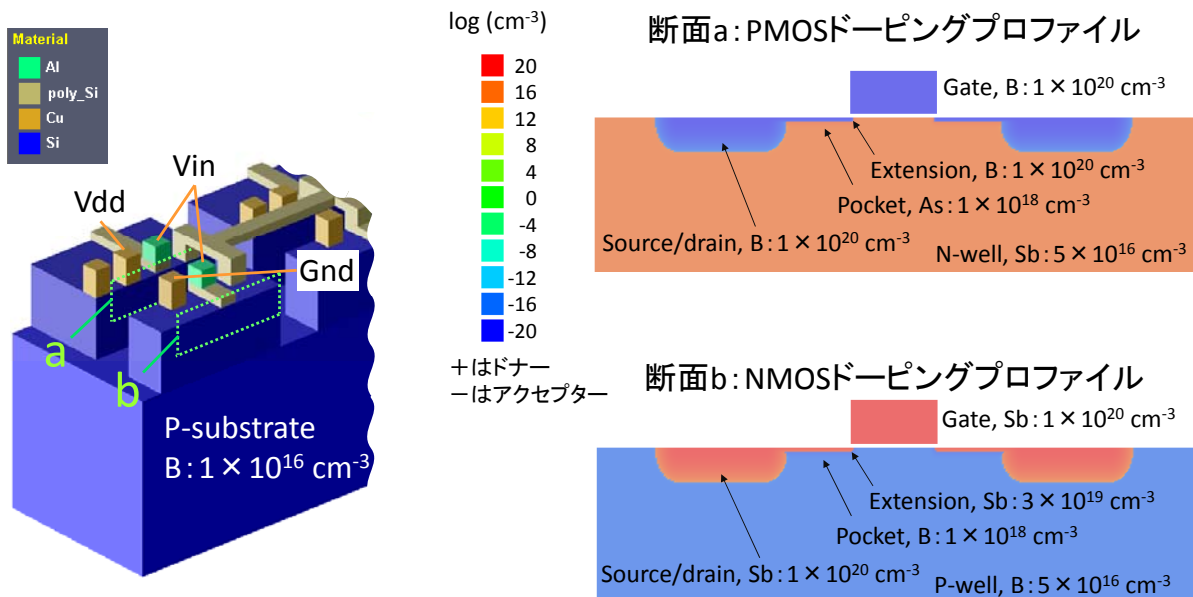
複数トランジスタの一括過渡解析 ～ CMOSインバータチェーン解析事例 ～

【構造平面図】



複数トランジスタの一括過渡解析 ～ CMOSインバータチェーン解析事例 ～

【ドーピングプロファイル】

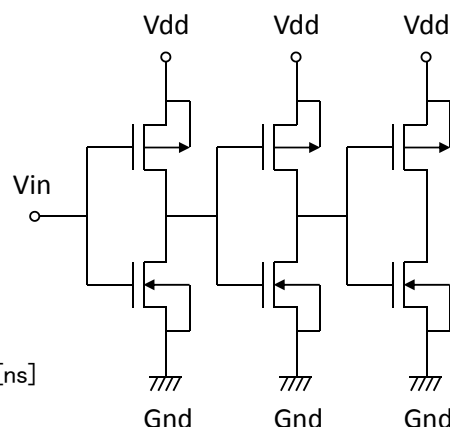
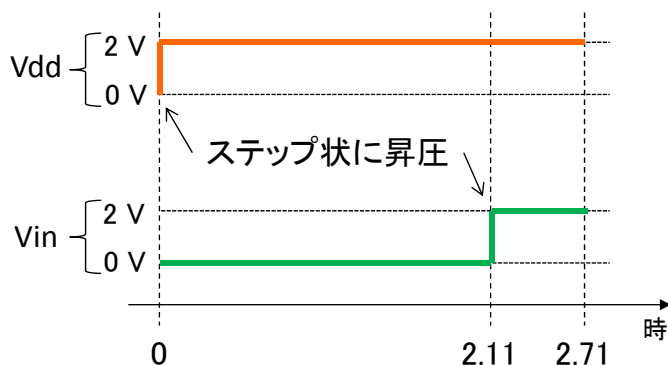


複数トランジスタの一括過渡解析 ～ CMOSインバータチェーン解析事例 ～

【バイアス印加スケジュール】

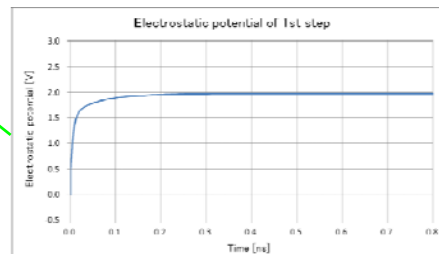
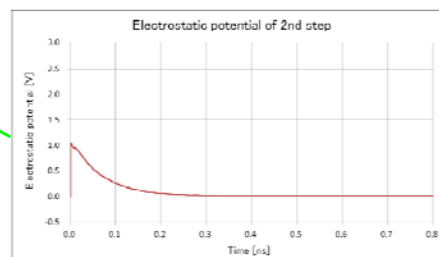
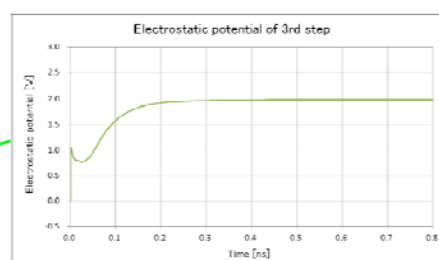
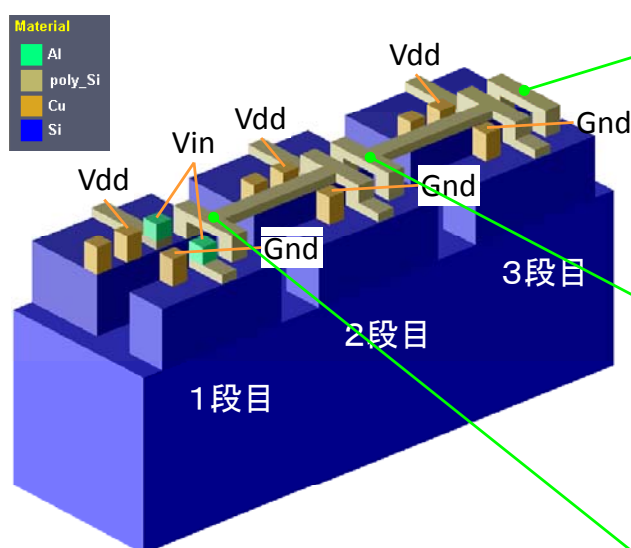
時刻 [ns]	動作	Vdd [V]	Vin [V]	Gnd [V]
0 ~ 2.11 [※]	VddがON	2.0	0.0	0.0
2.11 ~ 2.72 [※]	インバータ動作	2.0	2.0	0.0

※2.11 nsと2.72 nsは試計算の際に定常状態に落ち着いた時刻であり、それ以外の指標で決定した時刻ではない。

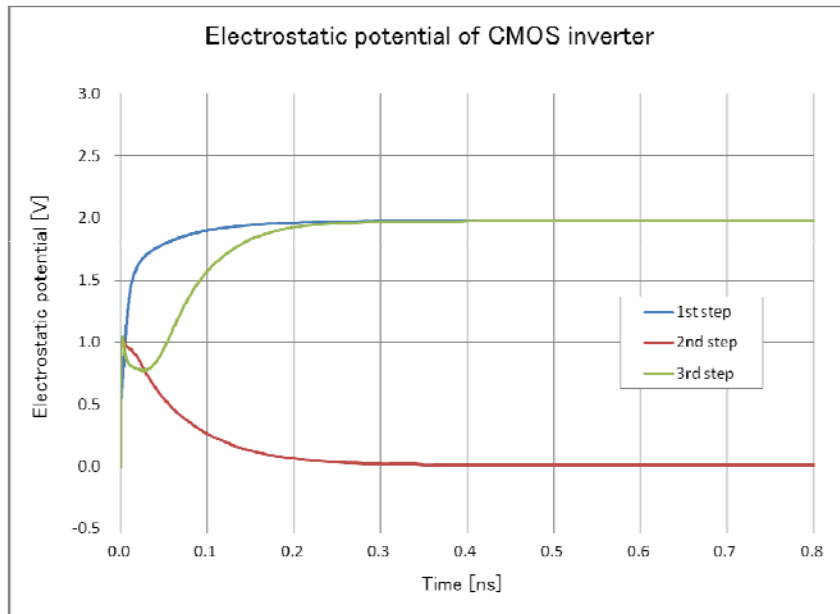


複数トランジスタの一括過渡解析 ～ CMOSインバータチェーン解析事例 ～

【VddがONする際(0～2.11ns)の過渡解析】

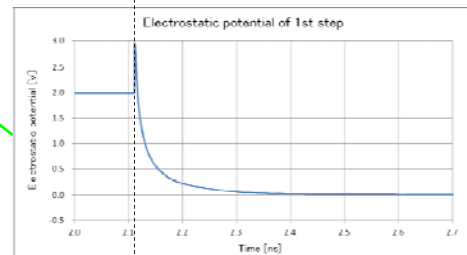
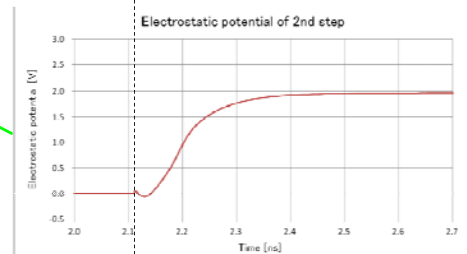
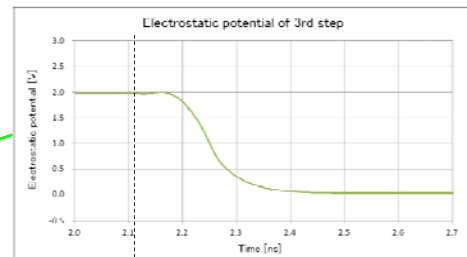
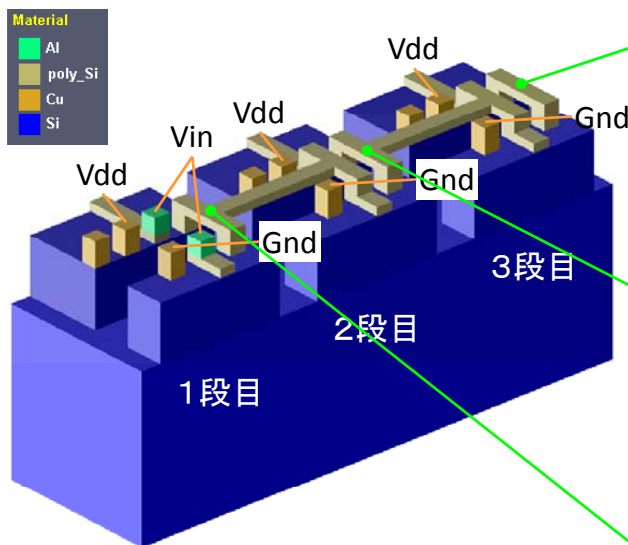


複数トランジスタの一括過渡解析 ～ CMOSインバータチェーン解析事例 ～ 【VddがONする際(0～2.11ns)の過渡解析】



※静電ポテンシャルは0バイアス時の値からの相対値

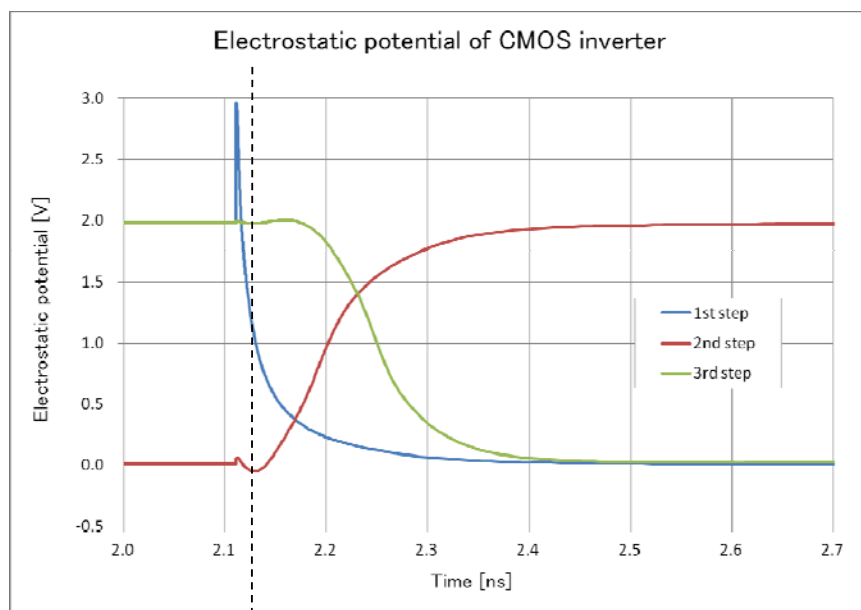
複数トランジスタの一括過渡解析 ～ CMOSインバータチェーン解析事例 ～ 【インバータ動作時の過渡解析】



Vin昇圧0→2V, t=2.11ns

複数トランジスタの一括過渡解析 ～ CMOSインバータチェーン解析事例 ～

【インバータ動作時の過渡解析】



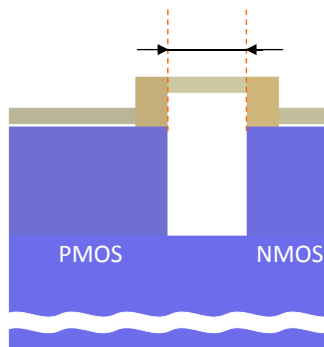
Vin昇圧0→2V
t=2.11ns

※静電ポテンシャルは0バイアス時の値からの相対値

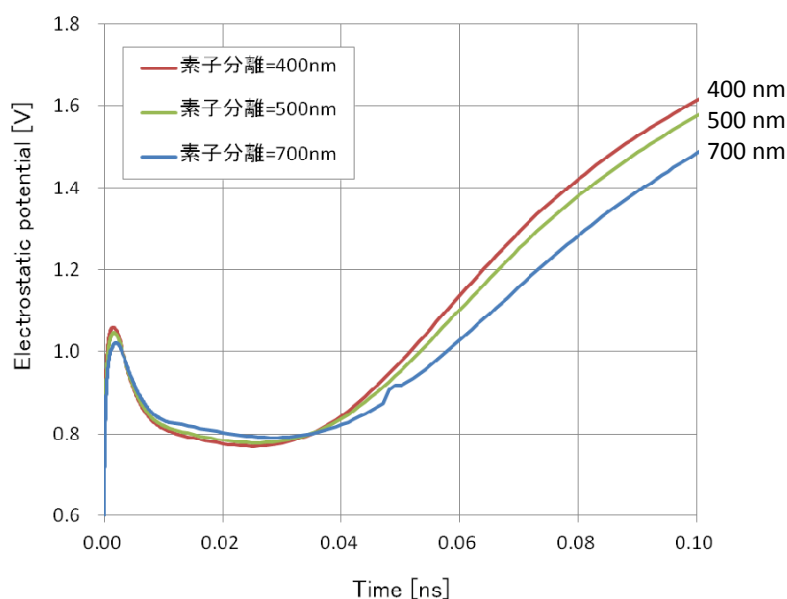
複数トランジスタの一括過渡解析 ～ CMOSインバータチェーン解析事例 ～

【素子分離の影響調査】

素子分離幅
=400, 500, 700 nm



Electrostatic potential of 3rd stage (0~0.1ns)



発表内容

- デバイスシミュレーションの過渡解析手法
- 複数トランジスタの一括過渡解析
 - 一括解析の必要性
 - 一括解析の手法
 - CMOSインバータのチェーン解析事例
- 外部回路を含んだ過渡解析
 - 外部回路の解析手法
 - 解析事例
- 過渡解析におけるその他の機能
 - レート方程式による空間固定電荷、再結合モデル
 - 過渡解析におけるバイアス印加

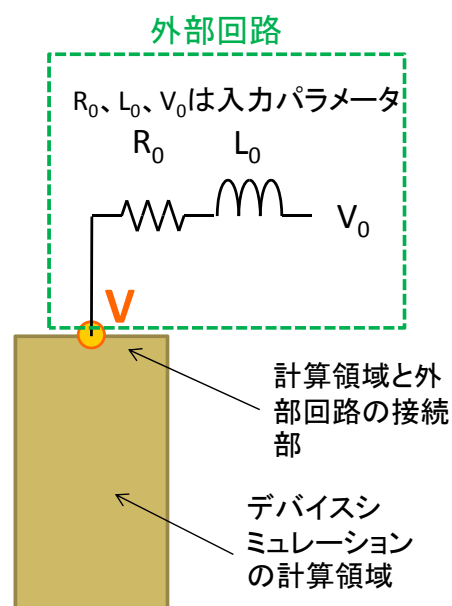
外部回路を含んだ過渡解析 ～ 外部回路の解析手法 ～

概要

デバイスシミュレーションの金属端子にインダクタンスなどの外部回路が外部接続されている場合のシミュレーション。



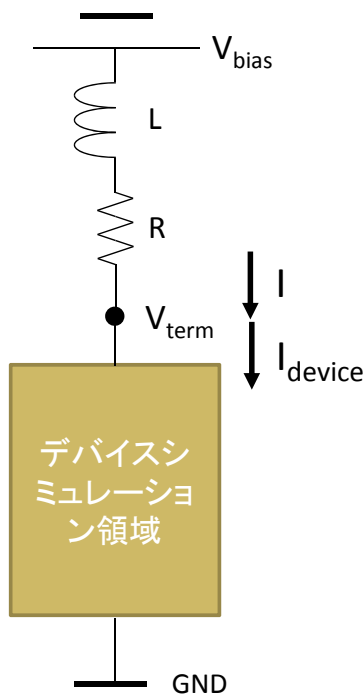
デバイスシミュレーションでは扱えないインダクタンスを扱える。



外部回路を含んだ過渡解析

～ 外部回路の解析手法 ～

計算手法



外部回路側はLR直列回路の解析解を直接計算

$$V_{bias} - V_{term} = IR + L \frac{dI}{dt}$$

一般解: $I(t) = \frac{V_{bias} - V_{term}}{R} - \left(\frac{V_{bias} - V_{term}}{R} - I(0) \right) \exp\left(-\frac{R}{L}t\right)$

L=0の場合: $I(t) = \frac{V_{bias} - V_{term}}{R}$

R=0の場合: $I(t) = \frac{V_{bias} - V_{term}}{L}t + I(0)$



V_{term} を電位の境界条件としたデバイスシミュレーションで求めた接合部での電流 I_{device} が外部回路の電流 I と一致するように、 V_{term} を求める。

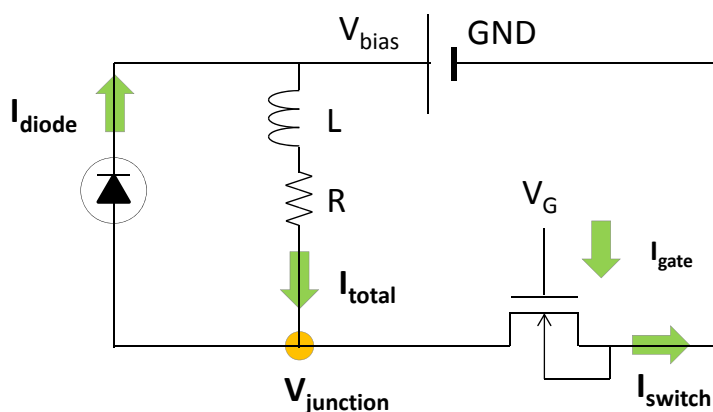
ニュートン法を使用。

外部回路を含んだ過渡解析

～ モータのスイッチングデバイスの解析事例 ～

モータのスイッチングデバイス (LR外部回路の検証計算)

スイッチオフ時のデバイス動作解析用回路



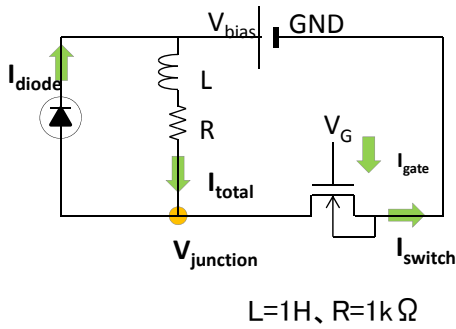
解析対象とする回路動作

- ① MOSFETスイッチがオンしていてモーター(L)が動作している状態を初期状態とする。
- ② スwitchをオフすると逆起電力によりV_{junction}の電圧がV_{bias}以上になる。
- ③ 電流はスイッチではなく、ダイオードに流れるようになる。

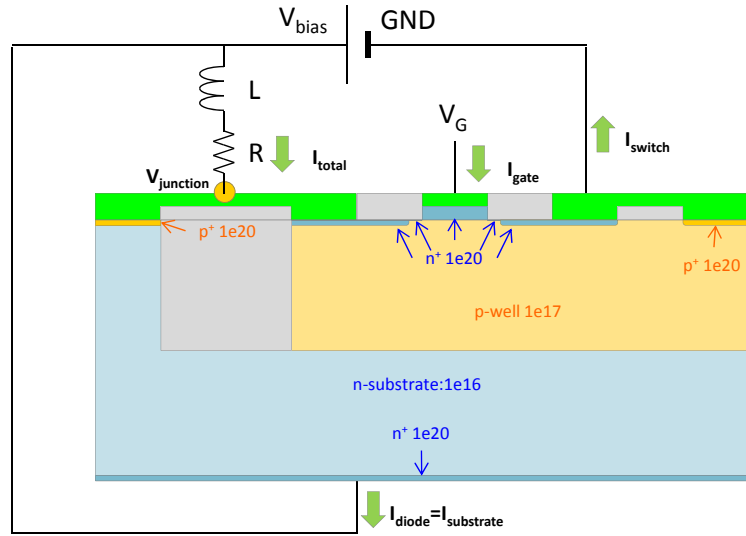
外部回路を含んだ過渡解析

～ モータのスイッチングデバイスの解析事例 ～

回路



デバイスシミュレーションモデル



バイアススケジュール

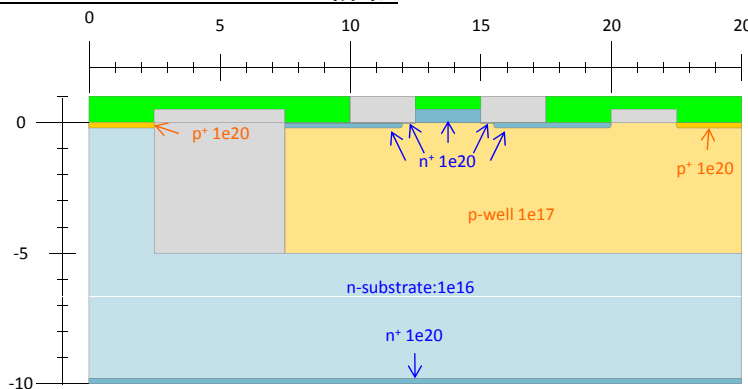
- ① V_G : 0→2V 定常計算
- ② V_{bias} : 0→10V 定常計算
- ③ V_G : 2V→0V (スイッチOFF)後の過渡解析

$$I_{total} - I_{switch} - I_{diode} + I_{gate} = 0$$

外部回路を含んだ過渡解析

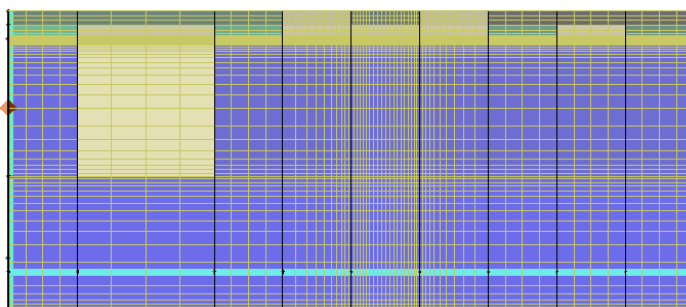
～ モータのスイッチングデバイスの解析事例 ～

デバイスシミュレーションモデル詳細



- 単位:μm
- 奥行き100μm
- 材質
 - 緑: Al
 - グレー: SiO2
 - ゲート: poly-Si
 - それ以外は Si
- ゲート酸化膜厚10nm

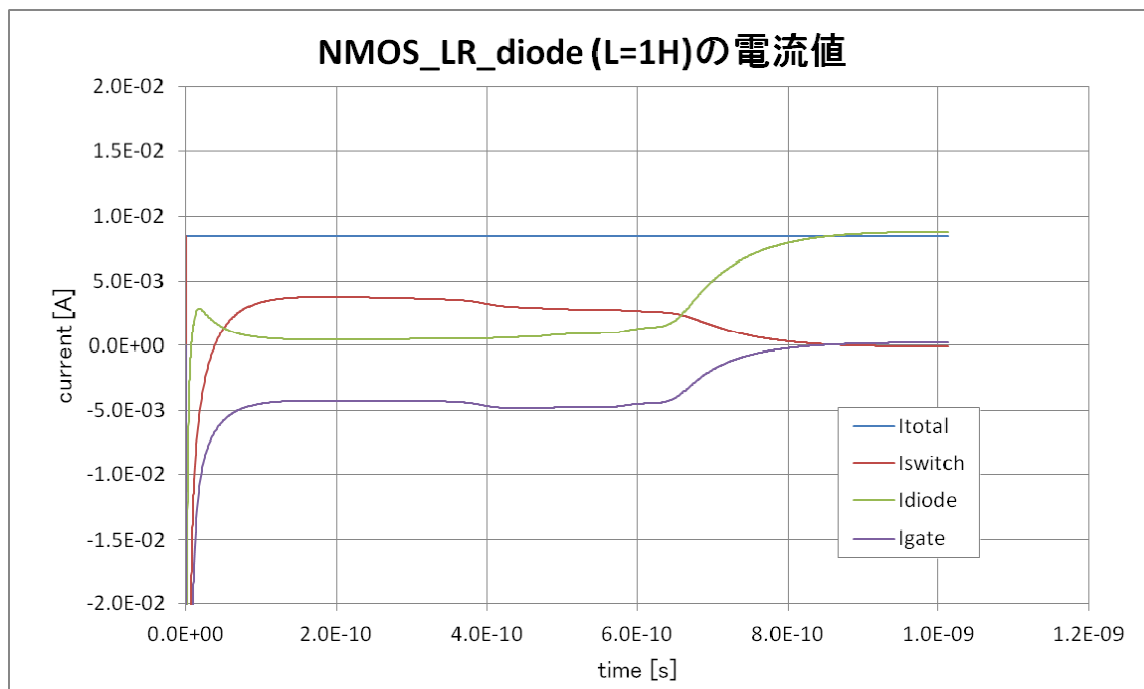
メッシュ分割



Material
poly_Si
Al
SiO2
Si

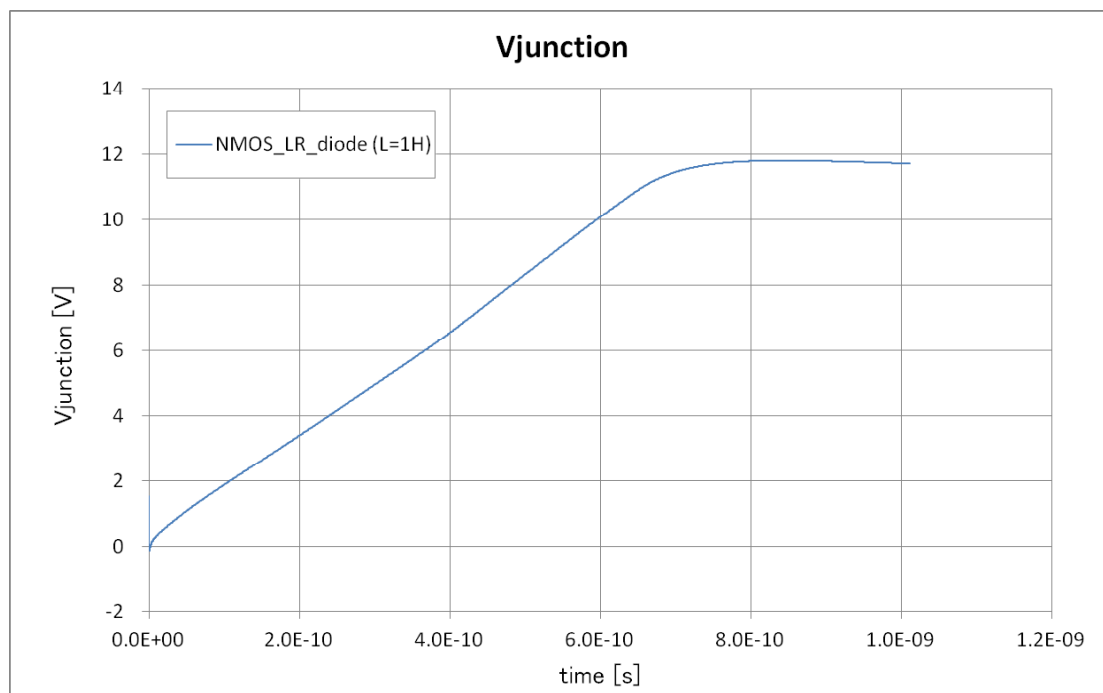
外部回路を含んだ過渡解析

～ モータのスイッチングデバイスの解析事例 ～



外部回路を含んだ過渡解析

～ モータのスイッチングデバイスの解析事例 ～



発表内容

- デバイスシミュレーションの過渡解析手法
- 複数トランジスタの一括過渡解析
 - 一括解析の必要性
 - 一括解析の手法
 - CMOSインバータのチェーン解析事例
- 外部回路を含んだ過渡解析
 - 外部回路の解析手法
 - 解析事例
- 過渡解析におけるその他の機能
 - レート方程式による空間固定電荷、再結合モデル
 - 過渡解析におけるバイアス印加

過渡解析におけるその他の機能

～ レート方程式による空間固定電荷、再結合モデル～

概要

界面準位や不純物準位へのキャリアの捕獲、放出により、ドナー、アクセプターイオンによる空間電荷の変化、電子や正孔の生成・消滅がおこる。

過渡解析では、これらの準位における電子の占有率 f に関する時間依存式を計算し、そこから空間電荷とキャリアの生成・消滅の時間発展を計算する。

過渡解析におけるその他の機能 ～ レート方程式による空間固定電荷、再結合モデル～

準位の電子占有率 f の式 (レート方程式)

$$\frac{df}{dt} = v_e \sigma_e [n(1-f) - n_1 f] - v_p \sigma_p [pf - (1-f)p_1]$$

$v_{n,p}$: 電子, 正孔の熱速度

$\sigma_{n,p}$: 電子, 正孔の捕獲断面積

N_i : 準位の濃度

再結合項 R の計算

$$R = -\frac{dn}{dt} = v_e \sigma_e n N_i (1-f_t) - v_e \sigma_e N_i f_t N_c \exp(-\varepsilon_t/k_B T)$$

$$R = -\frac{dp}{dt} = v_p \sigma_p p N_i f_t - v_p \sigma_p N_i (1-f_t) N_v \exp[-(E_g - \varepsilon_t)/k_B T]$$

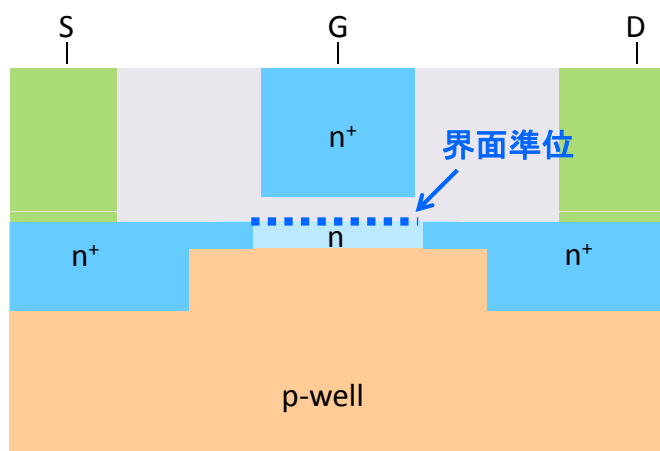
空間電荷の計算

ドナー型: $N_i(1-f_t)$

アクセプタ型: $-N_i f_t$

過渡解析におけるその他の機能 ～ レート方程式による空間固定電荷、再結合モデル～

解析事例: NMOSFET 界面準位によるドレイン電流過渡応答への影響



デプレッション型NMOSFET

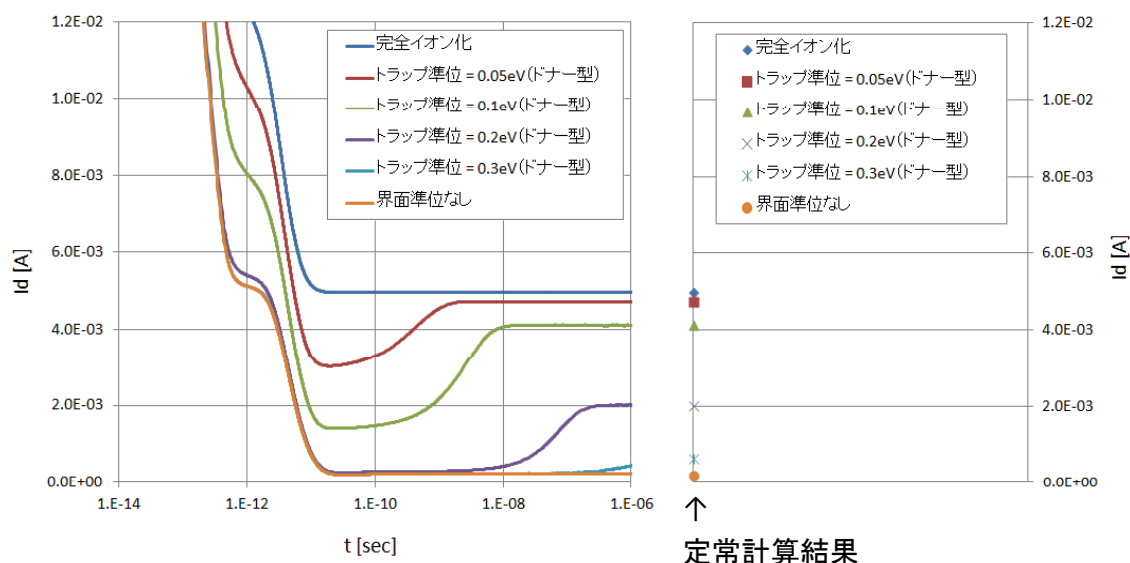
バイアス印加方法

- ① $V_d = 3V$ 、 $V_g = 0V$ で定常計算。
- ② $t = 0 \text{ sec}$ でステップ状に $V_g = -3V$ を印加し過渡解析。

過渡解析におけるその他の機能

～ レート方程式による空間固定電荷、再結合モデル～

解析事例: NMOSFET界面準位によるドレイン電流時間変化への影響



過渡解析におけるその他の機能

～ 過渡解析におけるバイアス印加 ～

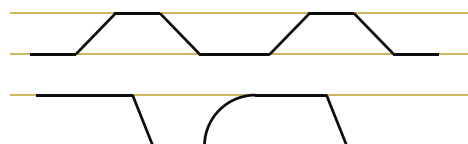
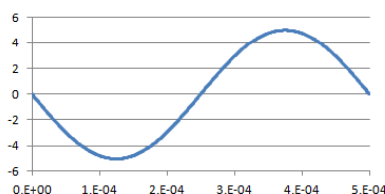
概要

過渡解析では印加バイアスは時刻に応じて変化する。印加バイアス値をユーザー入力ファイルとすることによって、任意の波形、任意のタイミングでのバイアス印加が可能である。

バイアス印加ファイル入力例

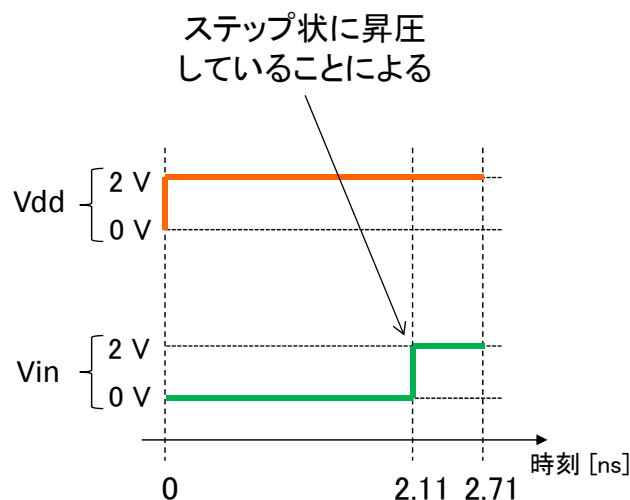
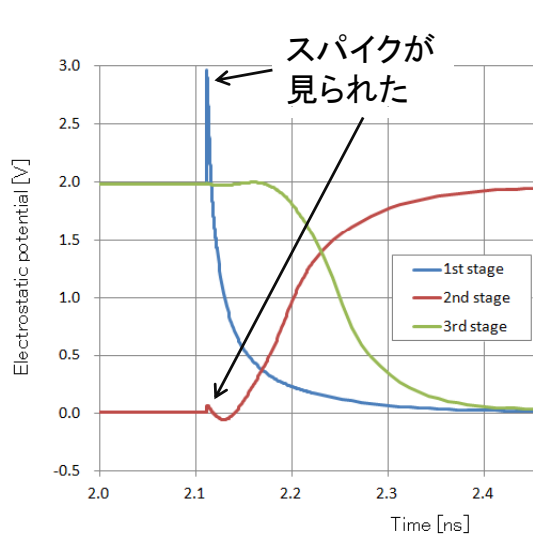
```
# TIME [S], VOLTAGE [V]
1
1
Electrode_Al_1
1001
0.000E+00, 0.000000
5.000E-07, -0.031416
1.000E-06, -0.062830
1.500E-06, -0.094242
2.000E-06, -0.125650
2.500E-06, -0.157054
...
```

任意のバイアス印加



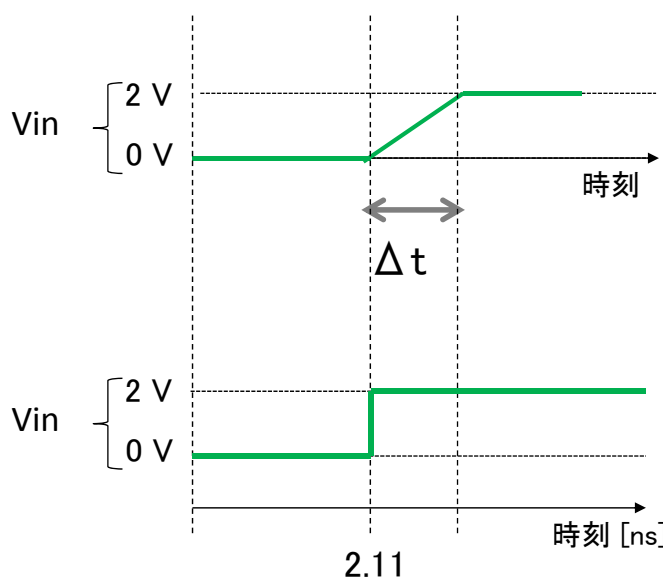
過渡解析におけるその他の機能 ～ 過渡解析におけるバイアス印加 ～

CMOSインバータにおける使用例



過渡解析におけるその他の機能 ～ 過渡解析におけるバイアス印加 ～

CMOSインバータにおける使用例

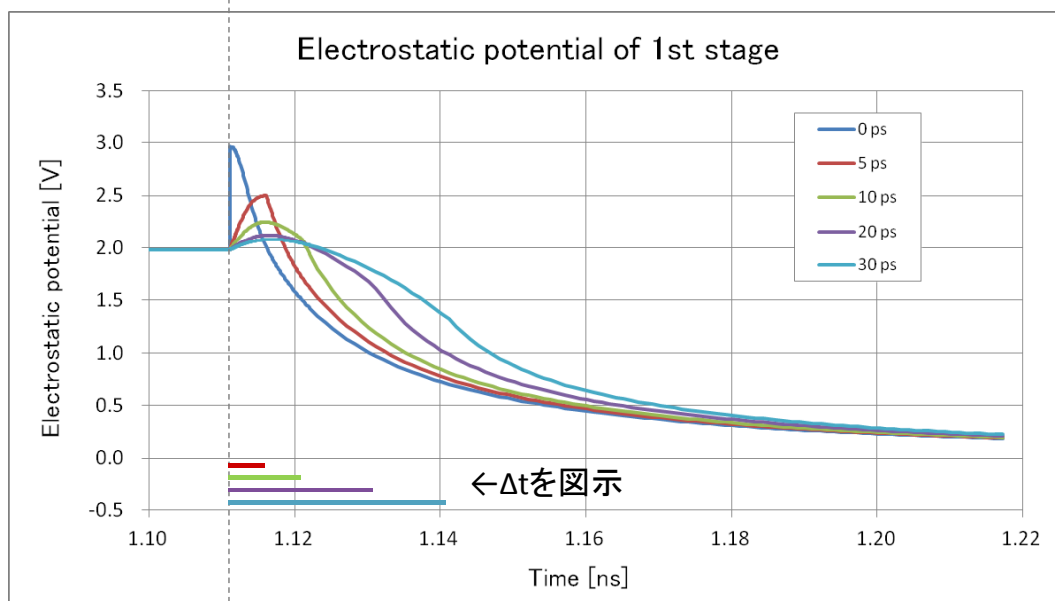


$\Delta t = 0, 5, 10, 20, 30\text{ps}$ で計算。

$\Delta t =$ のときは従来と同じステップ状バイアス印加。

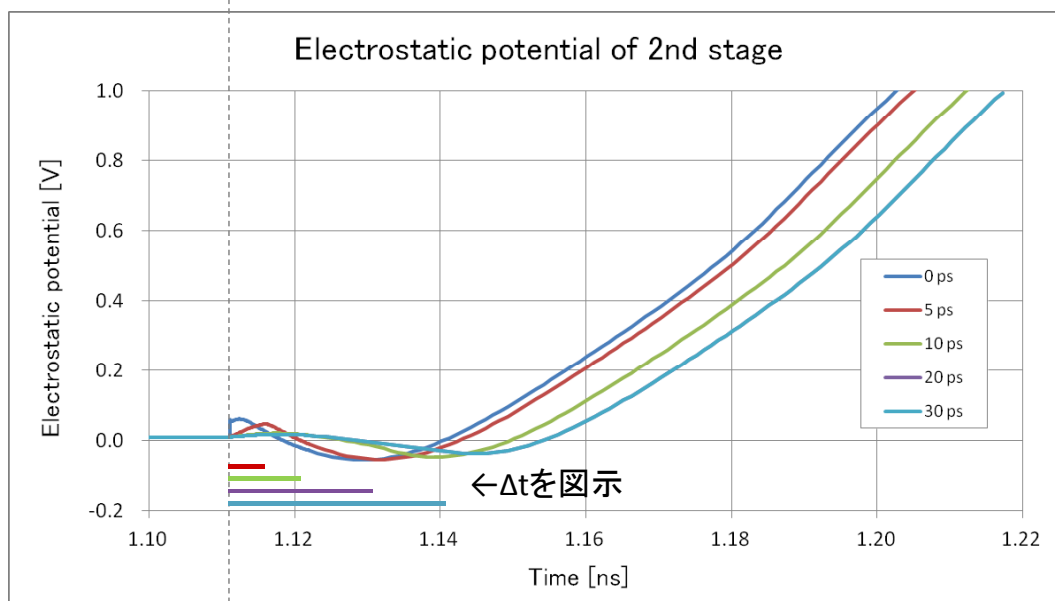
過渡解析におけるその他の機能 ～ 過渡解析におけるバイアス印加 ～

CMOSインバータにおける使用例



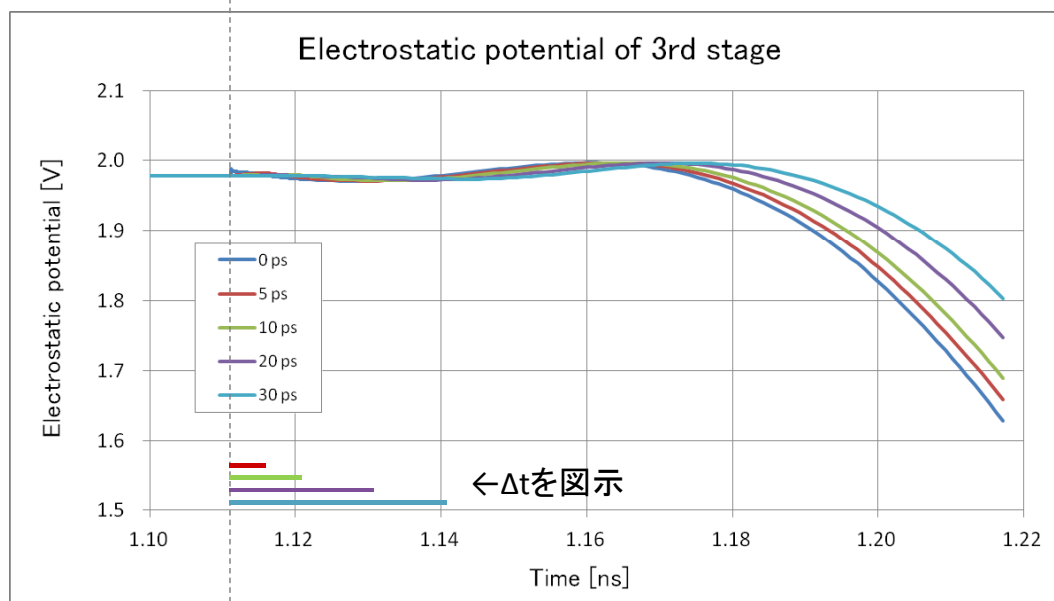
過渡解析におけるその他の機能 ～ 過渡解析におけるバイアス印加 ～

CMOSインバータにおける使用例



過渡解析におけるその他の機能 ～ 過渡解析におけるバイアス印加 ～

CMOSインバータにおける使用例



まとめ

- デバイスシミュレーションの過渡解析手法
- 複数トランジスタの一括過渡解析
 - 一括解析の必要性
 - 一括解析の手法
 - ✓ 3次元構造作成機能
 - ✓ トランジスタ間配線モデル
 - CMOSインバータのチェーン解析事例
 - ✓ 解析モデル、解析条件
 - ✓ 解析結果
- 外部回路を含んだ過渡解析
 - 外部回路の解析手法
 - 解析事例
- 過渡解析におけるその他の機能
 - レート方程式による空間固定電荷、再結合モデル
 - 過渡解析におけるバイアス印加

ご清聴ありがとうございました。