

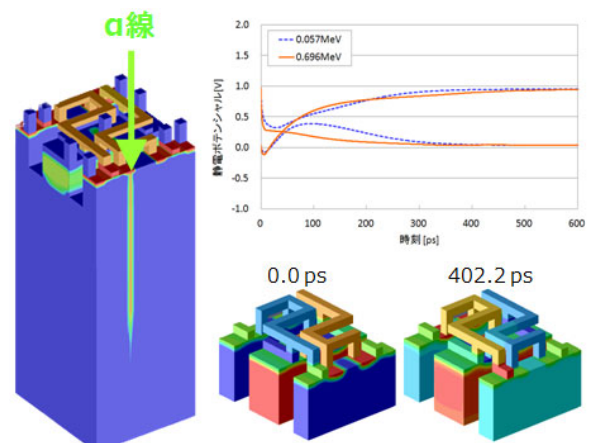
半導体デバイス3次元TCADシステム Advance/TCAD 最新動向セミナー

2018年12月25日(火) 開催

プログラム

| | | |
|-------------------|--|----|
| 13:30~13:40 (10分) | 主催者あいさつ アドバンスソフト株式会社のご紹介 | 1 |
| | 研究主席 原田 昌紀 | |
| 13:40~14:10 (30分) | Advance/TCAD 新機能による事例紹介 1 : | 6 |
| | — 回路シミュレータ及び複数デバイスとの連成解析機能による事例紹介 — 主管研究員 大倉 康幸 | |
| 14:10~15:10 (60分) | 招待講演 「高信頼性 Nch-LDMOS の提案」 | 19 |
| | — 民生用電源から車載用への展開 — 群馬大学 客員教授 松田 順一 様 | |
| 15:10~15:20 (10分) | (休憩) | |
| 15:20~15:45 (25分) | Advance/TCAD 新機能による事例紹介 2 : | 45 |
| | — 熱解析機能による事例紹介 — 主事研究員 小山田 隆行 | |
| 15:45~16:05 (20分) | Advance/TCAD 新機能による事例紹介 3 : | 51 |
| | — GUI 新機能を使用した事例紹介 — 主任研究員 小瀬村 大亮 | |
| 16:05~16:20 (15分) | Advance/TCAD による最新事例紹介 | 71 |
| | — SRAM ソフトエラーの解析 — 研究主席 原田 昌紀 | |
| 16:20~16:30 (10分) | 発売価格のご案内、質疑応答 | 81 |
| | 営業部 佐藤 琴美 ※資料は一部非公開です | |

AdvanceSoft 



アドバンスソフト株式会社のご紹介

第1事業部 原田 昌紀

半導体デバイス3次元TCADシステム
Advance/TCAD最新動向セミナー
2018年12月25日 (火)
アドバンスソフト株式会社

会社概要

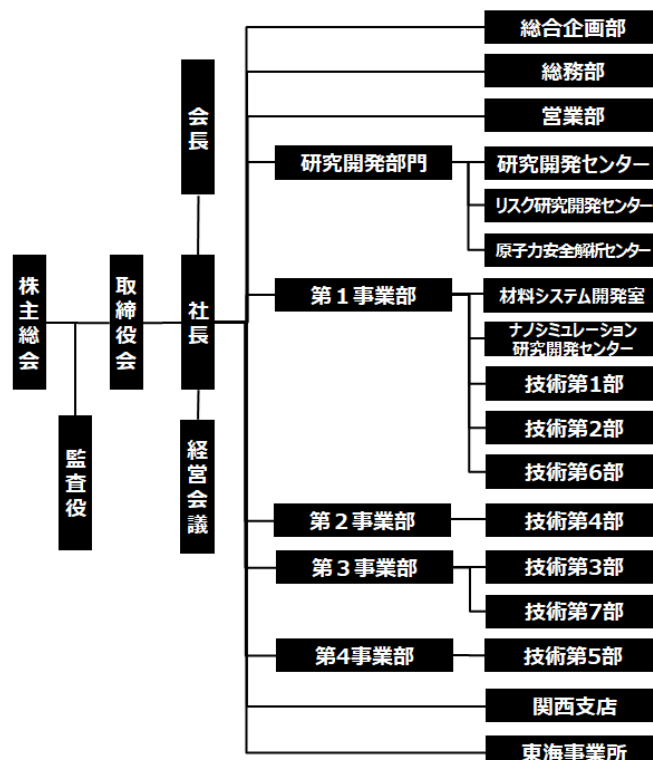
名 称 アドバンスソフト株式会社
(英文社名 AdvanceSoft Corporation)

本 社 〒101-0062
東京都千代田区神田駿河台4-3
新お茶の水ビル17階
TEL: 03-6826-3970
FAX:03-5283-6580

設 立 2002年(平成14年)4月24日

資本金 3,724万円

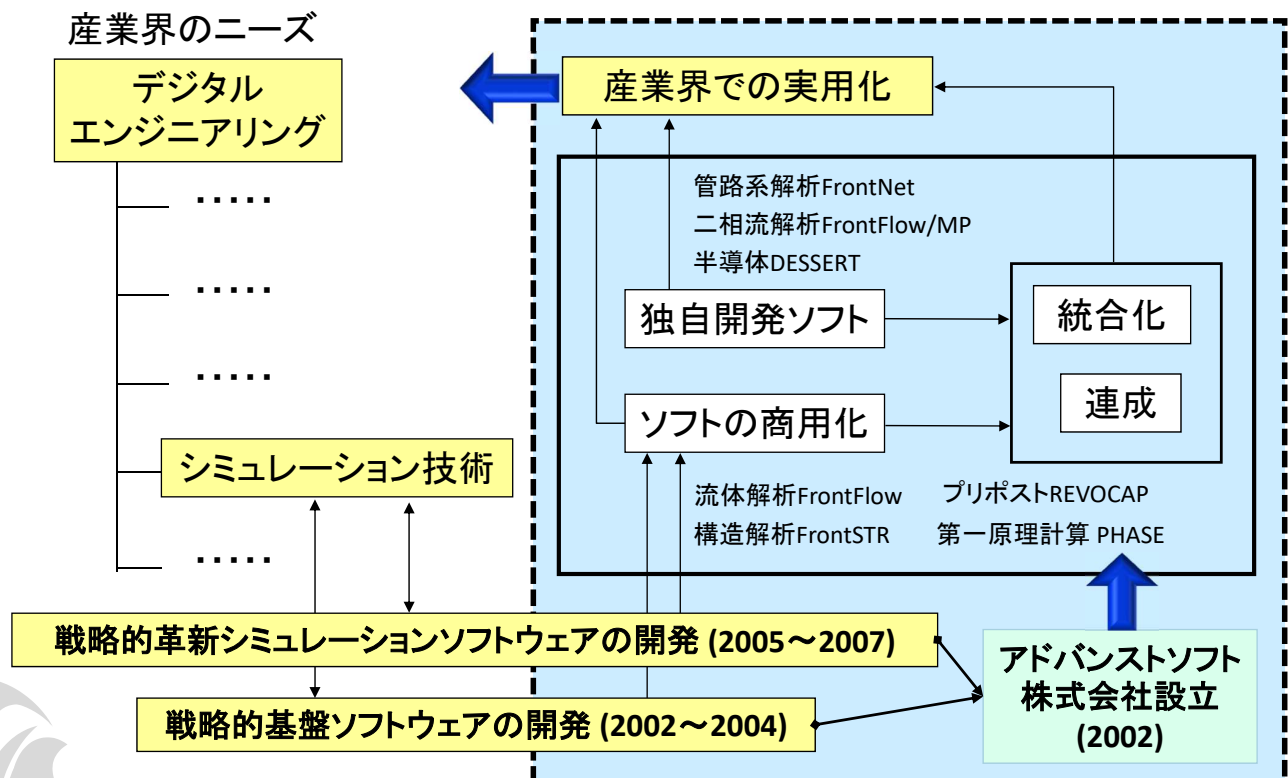
社員数 106名(2018年11月15日時点)



会社概要

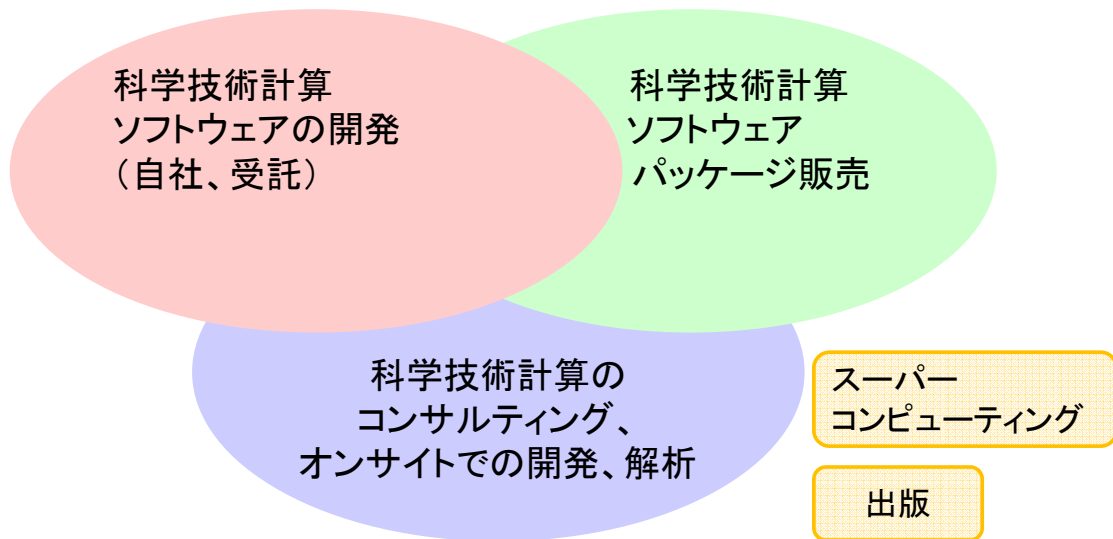
| 事業部 | 部 | 業務概要 |
|--------|--------------------|--|
| 総合企画部 | | 全社方針の策定、コンサルティングサービス・受託解析サービスの提供などを行っています。 |
| 研究開発部門 | 研究開発センター | 地球科学を中心とした事業を企画・推進します。 |
| | 原子力安全解析センター | 原子力安全解析を中心として二相流・管路系流体解析等のエンジニアリング事業を企画・推進します。 |
| | リスク研究開発センター | 原子力分野に関するPRAを中心としてリスク研究開発に係る事業を企画・推進します。 |
| 第1事業部 | 材料システム開発室 | 材料設計統合システムの開発、および、関連する先進的なナノ分野の事業展開を行います。 |
| | ナノシミュレーション研究開発センター | 先進的なナノシミュレーション事業および関連する国プロを企画・推進します。 |
| | 技術第1部 | ナノ材料分野に係る第一原理計算の開発および解析と合わせパッケージの販売に関する事業、また、分子動力学計算・量子化学計算などを行っています。 |
| | 技術第2部 | プリポストシステム開発、連成システム開発、構造・音響解析などのエンジニアリング、構造解析ソルバーの開発などを行っています。 |
| | 技術第6部 | 次世代CADシステムの開発およびそれを利用した半導体解析を中心とした電機分野に関する事業を行っています。また、バイオ分野の業務も実施しています。 |
| 第2事業部 | 技術第4部 | 燃焼・爆轟に係る流体解析ソルバー開発、混相流に係る次世代流体解析システム開発、流体解析ソルバーの受託開発・カスタマイズなどを行っています。 |
| 第3事業部 | 技術第3部 | 乱流・燃焼・化学反応等に係る次世代流体解析システム開発、次世代流体解析システムの保守・販売サポートなどを行っています。 |
| | 技術第7部 | 中性子に関する実験支援サービス、制御システム開発、および、モデルベース設計に関する事業などを行っています。 |
| 第4事業部 | 技術第5部 | シビアアクシデントおよびPRAを中心とした原子力安全解析に関する事業など、また、管路系流体解析エンジニアリング業務・防災シミュレーションなどを行っています。 |
| 関西支店 | | 西日本地区での活動拠点であり、営業活動およびナノシミュレーションを中心とした研究開発を含む業務全般を行っています。 |
| 東海事業所 | | 研究開発を含む業務全般を行っています。 |

アドバンスソフトとは



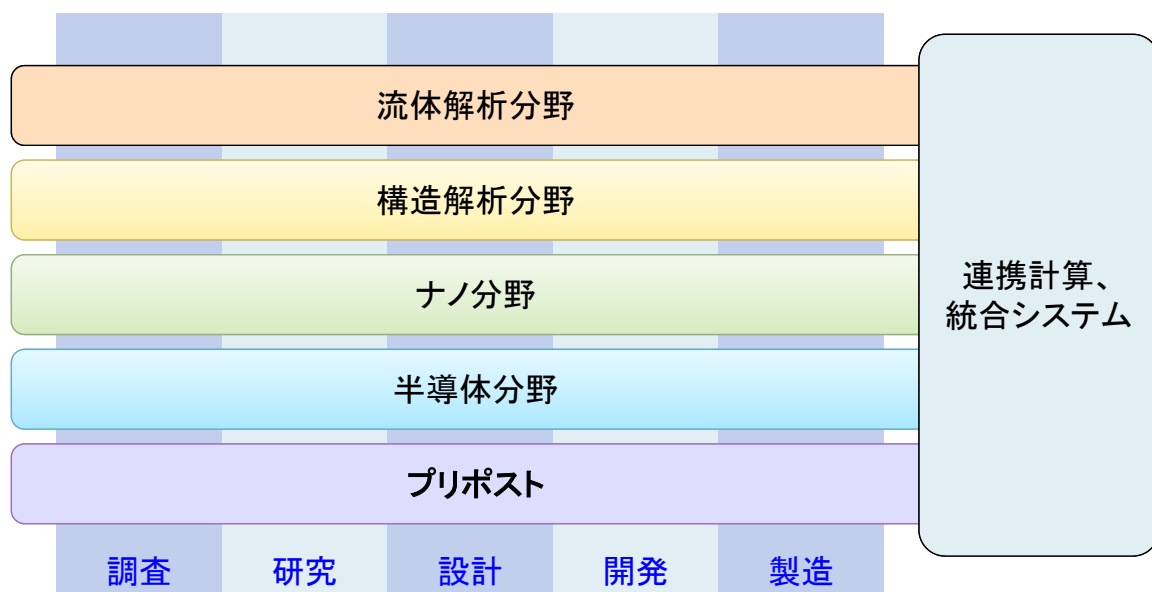
事業内容

アドバンスソフトがご提供するサービス



科学技術計算ソフトウェアの開発を基礎とした、
科学技術計算に関する様々なソリューションをご提供します。

事業分野



産業の主要な分野のあらゆるフェーズで直面する課題に対し、
科学技術計算によるソリューションをご提供します。

アドバンスソフトのパッケージソフトウェア

| ソフトウェア名称 | 解析内容 |
|-------------------------|---------------------|
| Advance/NanoLabo | ナノ材料解析統合GUI |
| Advance/PHASE | 第一原理計算ソフトウェア |
| Advance/FrontSTR | 構造解析ソフトウェア |
| Advance/FrontNoise | 音響解析ソフトウェア |
| Advance/TCAD | 半導体プロセス・デバイスシミュレータ |
| Advance/ParallelWave | 電磁波解析ソフトウェア |
| Advance/REVOCAP | 構造解析・流体解析プリポストプロセッサ |
| Advance/FrontFlow/red | 流体解析ソフトウェア |
| Advance/FrontFlow/MP | 気液二相流解析ソフトウェア |
| Advance/FrontFlow/FOCUS | 高速流・爆発解析ソフトウェア |
| Advance/FrontNet | 管路系1次元流体解析ソフトウェア群 |

※上記は主要パッケージを掲載しています。詳細は弊社HP(www.advancesoft.jp)をご参照ください。

アドバンスソフトのパッケージソフトウェア

ナノ

Advance/PHASE

構造

Advance/FrontSTR

流体

Advance/FrontFlow/red

Advance/FrontFlow/FOCUS

半導体

Advance/TCAD

プリポスト

Advance/REVOCAP

Advance/FrontFlow/MP

Advance/FrontNetシリーズ

※上記は主要パッケージを掲載しています。詳細は弊社HP(www.advancesoft.jp)をご参照ください。

facebook、YouTubeでも関連記事を掲載中

<http://www.facebook.com/advancesoft.jp>

<http://www.youtube.com/user/advancesoft>



本日の内容

Advance/TCAD 新機能による事例紹介1:

回路シミュレータ及び複数デバイスとの連成解析機能による事例紹介

大倉 康幸

招待講演

「高信頼性Nch-LDMOS の提案」

— 民生用電源から車載用への展開 —

群馬大学 客員教授 松田 順一 様

Advance/TCAD新機能による事例紹介2:

— 熱解析機能による事例紹介 —

小山田 隆行

Advance/TCAD GUIの機能紹介:

小瀬村 大亮

Advance/TCADによる最新事例紹介

— SRAMソフトエラーの解析 —

原田 昌紀

半導体デバイス3次元TCADシステム Advance/TCADによる事例紹介1： — 回路シミュレータ及び複数デバイスとの連成 解析機能による事例紹介 —

主管研究員 大倉 康幸

2018年12月25日（火）
アドバンスソフト株式会社



目次

目次

- ・はじめに
- ・入力仕様 使い方
- ・回路解析とデバイス解析の連成方法
- ・回路シミュレータの概要
- ・連成解析事例
- ・まとめ



● はじめに

回路シミュレータとの連成解析機能とは

デバイスシミュレーションのニーズとして注目デバイスだけを解析する以外に、廻りの素子を含めて解析したいというものがある(特に過渡特性)。

現在のAdvance/TCAD デバイスシミュレータでは負荷抵抗、容量、インダクタンスが電極に接続出来る。

今回、回路シミュレータをAdvance/TCAD デバイスシミュレータに組み込み、ダイオード、MOS等の非線形素子を回路モデルとして入力して連成計算が出来るようにした。

つまり、デバイスシミュレータと回路シミュレータの連成。Mixed-Modeとも呼ぶ。

● 入力仕様 使い方

コントロールファイルでmixedが追加になるだけ(GUI対応済)。

```
external_circuit{  
    switch = on,  
    mixed = on,  
}
```

回路ファイルと接続情報ファイルが必要。

回路ファイルはspice3f5の書式そのまま。後で詳細説明。デバイスシミュレータとの接続端子をnで始まる名前で指定する。

接続情報ファイルはデバイスシミュレータの電極名と回路ファイルのノード名。

● 入力仕様 使い方(続き)

バイアス設定

デバイスシミュレータ 単体動作とMixed-Mode動作の2段階。

但し、デバイスシミュレータ 単体動作はMixed-Mode動作の初期のバイアス設定が不安定な場合の補助。

外部電極がデバイスシミュレータに直接繋がっているととは限らない。また、1対1とは限らない。

そのために、Mixed-Mode動作のバイアス設定はspice3f5の入力ファイルの指定に従う。



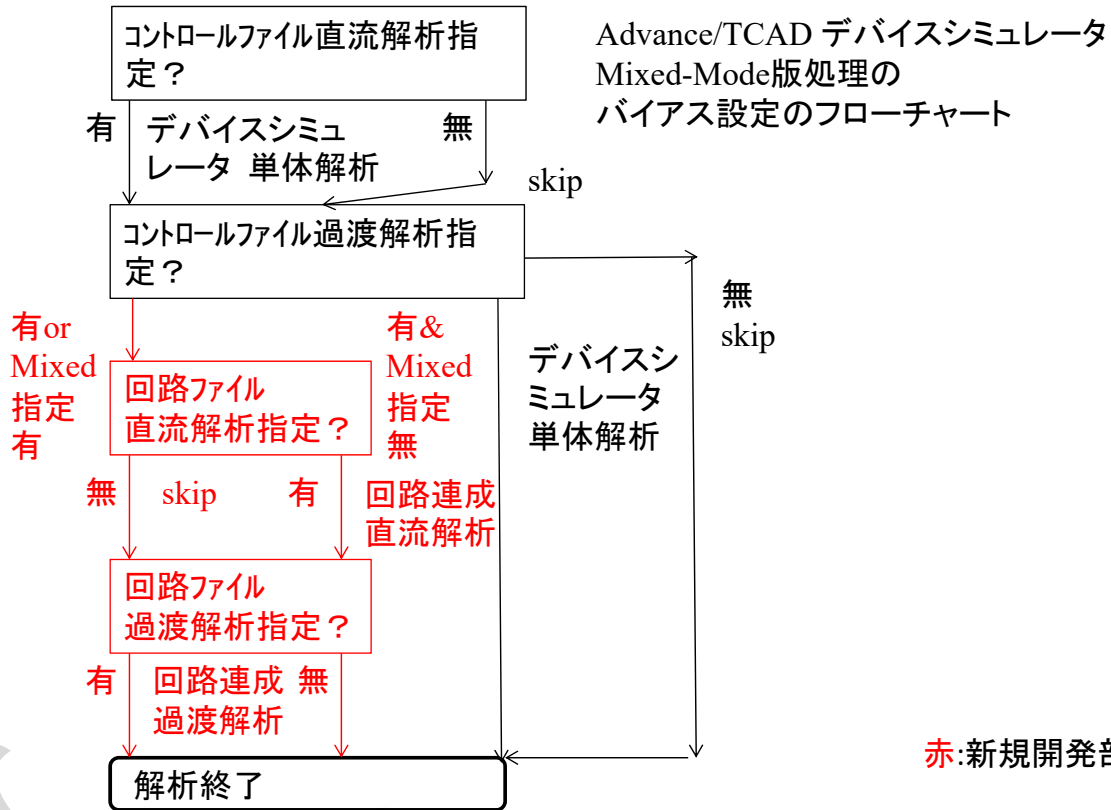
● 入力仕様 使い方(続き)

一般に回路系では、全ての電極電圧が0とは限らない。例えばCMOSはNMOSのソースはアース電位だがPMOSはVDD。

回路解析の初期バイアス条件を設定するためにデバイスシミュレータの電極の電圧を従来の直流解析でのバイアス設定で出来る。デバイスシミュレータの電極の初期バイアス条件が回路解析での初期解に一致する必要は無いが、Mixed-Modeでの最初の計算の収束性に寄与する。



● 入力仕様 使い方(続き)



● 入力仕様 使い方(続き)

Mixed-Mode動作時はAdvance/TCAD デバイスシミュレータは回路ファイルからバイアス及びタイムスケジュールを取得し、それを元に計算を進める。但し、時間刻みはデバイスシミュレーション部分が律速するので.ctlファイルで指定するデバイスシミュレータの現在の方法(自動時間刻みも含む)を使う。

収束条件はデバイスシミュレーション部分が律速するのでデバイスシミュレータの現在の設定を用いる。

● 入力仕様 使い方(続き)

複数デバイス対応には、メッシュファイル(.dmsb)とそれに関連したコントロールファイル(.dctl)のリストを記載したリストファイル.dlistを指定して起動する。

リストファイルには、各デバイス構造に対応したファイルの他にソルバーのように共通したものについてのコントロールファイルのものを用いるかを記載する(下表)。

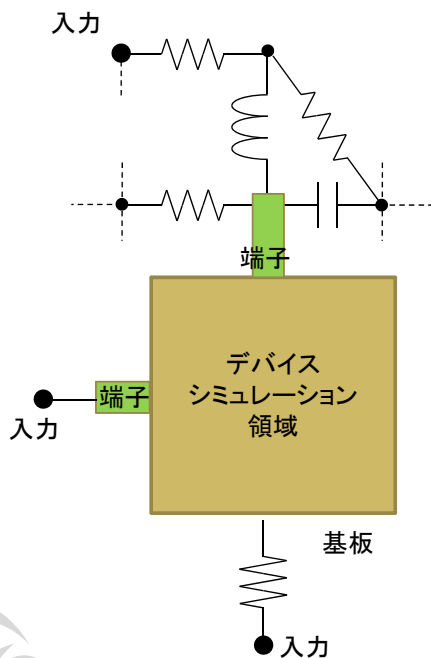
表 リストファイル(.dlist)の例

```
deviceA (ソルバーのパラメータを使う:dctlファイル名)
2 (←入力.dctlファイル数)
deviceA (←.dctlファイル名)
deviceB -m deviceB-IMP.dmsb
(←.dctlファイルと違う.dmsbを使うときは -m 以下に記載)
```

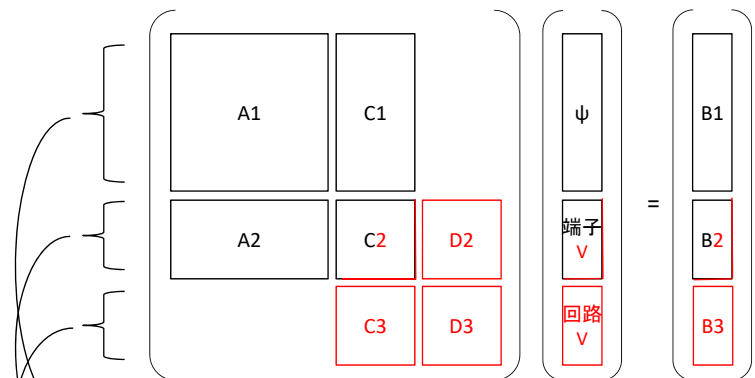
回路解析とデバイス解析の連成方法

● 回路解析とデバイス解析の連成方法

強連成



強連成における行列計算



- デバイスシミュレーションの方程式
- 端子における方程式
- 回路方程式

SPICEの部分は B2,C2の一部と B2,D2,C2,D3に入る。

特徴: 回路とデバイスの構成式を一括して解く。

● 回路シミュレータの概要

現在open sourceで公開されているもので最も完成度が高いのはspice3f5である。spice3f5の概要とMixed-Modeへの利用に関しては以下の文献に説明されている。昨年12月にも説明したので本報告では詳細は割愛する。

文献

<http://bwracs.eecs.berkeley.edu/Classes/IcBook/SPICE/MANUALS/spice3.html>

spive3f5のマニュアル

<http://www-tcad.stanford.edu/~fmr/research/docs/thesis5p0.pdf>

<http://www-tcad.stanford.edu/~fmr/research/docs/mmMan.pdf>

デバイスシミュレータpiscesに回路シミュレータspice3f5を取り込んで作ったMixed-Mode Device/Circuit Simulatorの博士論文とマニュアルインターフェース部の詳細

Voltage and Current Sources

Independent

[Pulse](#)

[Sinusoidal](#)

[Exponential](#)

[Piece-Wise Linear](#)

[Single-Frequency FM](#)

Linear Dependent

[Voltage-Controlled Current](#)

[Voltage-Controlled Voltage](#)

[Current-Controlled Current](#)

[Current-Controlled Voltage](#)

Non-linear Dependent

Transistors AND Diodes

Junction Diodes

[Diode Model](#)

[BJTs](#)

[BJT Models](#)

[JFETs](#)

[JFET Models](#)

[MOSFETs](#)

[MOSFET Models](#)

[MESFETs](#)

[MESFET Models](#)

電圧電流源を指定出来る。
ダイオード／バイポーラ／MOSFET等
が指定できる。

<http://bwracs.eecs.berkeley.edu/Classes/IcBook/SPICE/MANUALS/spice3.html>

MOSFETs

General form:

```
MXXXXXXX ND NG NS NB MNAME <L=VAL> <W=VAL> <AD=VAL> <AS=VAL>
+ <PD=VAL> <PS=VAL> <NRD=VAL> <NRS=VAL> <OFF>
+ <IC=VDS, VGS, VBS> <TEMP=T>
```

Examples:

```
M1 24 2 0 20 TYPE1
M31 2 17 6 10 MODM L=5U W=2U
M1 2 9 3 0 MOD1 L=10U W=5U AD=100P AS=100P PD=40U PS=40U
```

MOSFET Models (NMOS/PMOS)

SPICE provides four MOSFET device models, which differ in the formulation of the I-V characteristic. The variable LEVEL specifies the model to be used:

```
LEVEL=1 -> Shichman-Hodges
LEVEL=2 -> MOS2 (as described in [1])
LEVEL=3 -> MOS3, a semi-empirical model(see [1])
LEVEL=4 -> BSIM (as described in [3])
LEVEL=5 -> new BSIM (BSIM2; as described in [5])
LEVEL=6 -> MOS6 (as described in [2])
```

MOSFET指定の説明。

<http://bwracs.eecs.berkeley.edu/Classes/IcBook/SPICE/MANUALS/spice3.html>

回路シミュレータの概要

回路シミュレータで使われていたmos6 モデル **赤**の値を入力、**緑**がノード点の電位の差

しきい値(V_{on})以下

$I_d = 0$ // この回路モデルではサブスレッショルド電流は考えていない。デバイスシミュレータと大きな違い

$C_{gs} = 1/3 \times C_{ox} \times \text{Max}(1 + (V_{gs} - V_{on}) / (2\Phi), 0) + C_{gs} \text{ overlap}$ // 過渡解析の容量性電流

$C_{gd} = C_{gd} \text{ overlap}$

$C_{gb} = C_{ox} \times (-1) \times (V_{gs} - V_{on}) / 2 \times \text{Max}(\Phi, -(V_{gs} - V_{on}))$

線形領域($V_{dsat} \leq V_{ds}$)

$I_d = I_{dsat} \times (1 + \lambda V_{ds})$

$C_{gd} = 1/3 \times C_{ox} \times [1 - \{V_{dsat} / (2 \times V_{dsat} - V_{ds})\}^2] + C_{gd} \text{ overlap}$

$C_{gs} = 1/3 \times C_{ox} \times [1 - \{(V_{dsat} - V_{ds}) / (2 \times V_{dsat} - V_{ds})\}^2] + C_{gs} \text{ overlap}$

飽和領域($V_{dsat} > V_{ds}$)

$I_d = I_{dsat} \times (1 + \lambda V_{ds}) \times (2 - V_{ds} / V_{dsat}) \times V_{ds} / V_{sat}$

$C_{gs} = 1/3 \times C_{ox} + C_{gs} \text{ overlap}, C_{gd} = C_{gd} \text{ overlap}$

但し

$C_{ox} = \epsilon_{ox} / T_{ox} \times W$

$V_{on} = V_{th0} + \gamma \{ \text{sqrt}(\Phi - V_{bs}) - \Phi \}$

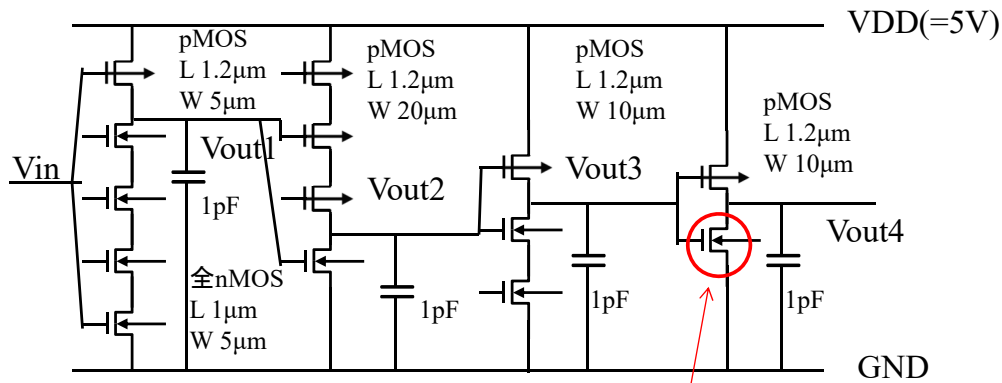
$V_{dsat} = K_v \times (V_{gs} - V_{on})^{N_v}, I_{dsat} = K_c \times W_g / (L_g - 2 \times L_d) \times (V_{gs} - V_{on})^{N_c}$

$\lambda = \lambda_0 - \lambda_1 \times V_{bs}$

● 連成解析事例

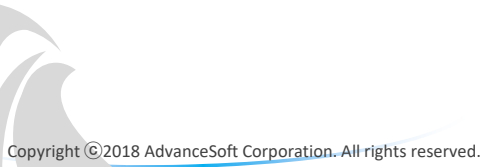
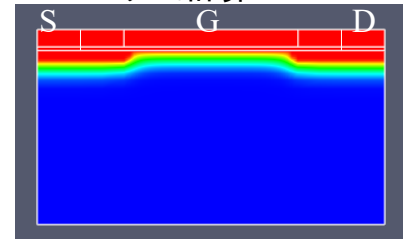
spice3f5に内包されているmos6invインバータ例題
(回路モデルmos6を使ったインバータ)

但し、下記インバータが4回繰り返しているのを1個にした。



nMOS Tox 19.8nm Vth = 0.69486 V
pMOS Tox 19.8nm Vth = -0.60865 V

今回最終段のnmosを
デバイスシミュレータで計算



```
MP14 11 10 100 100 P12L5 L=1.2U W=5U
MN11 11 100 12 0 N10L5 L=1.0U W=5U
MN12 12 100 13 0 N10L5 L=1.0U W=5U
MN13 13 100 14 0 N10L5 L=1.0U W=5U
MN14 14 10 0 0 N10L5 L=1.0U W=5U
```

```
MP21 23 0 100 100 P12L5 L=1.2U W=20U
MP22 22 11 23 100 P12L5 L=1.2U W=20U
MP23 21 0 22 100 P12L5 L=1.2U W=20U
MN22 21 11 0 0 N10L5 L=1.0U W=5U
```

```
MP31 31 21 100 100 P12L5 L=1.2U W=10U
MN31 31 21 32 0 N10L5 L=1.0U W=5U
MN32 32 100 0 0 N10L5 L=1.0U W=5U
```

```
MP41 41 31 100 100 P12L5 L=1.2U W=10U
*MN41 41 31 0 0 N10L5 L=1.0U W=5U
```

n1 41

n2 31

C11 11 0 1P

C21 21 0 1P

C31 31 0 1P

C41 41 0 1P

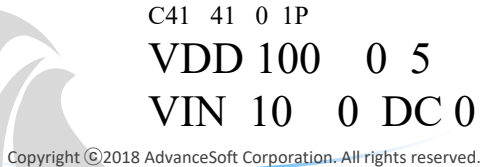
VDD 100 0 5

VIN 10 0 DC 0 PWL(0 0 2N 5 30N 5 32N 0)

回路接続情報ファイル
(.dcon)

```
#-----
# Circuit Definition File
#-----
#
2
Electrode_A1_4 n1
Electrode_A1_5 n2
```

回路ファイル(.cir)



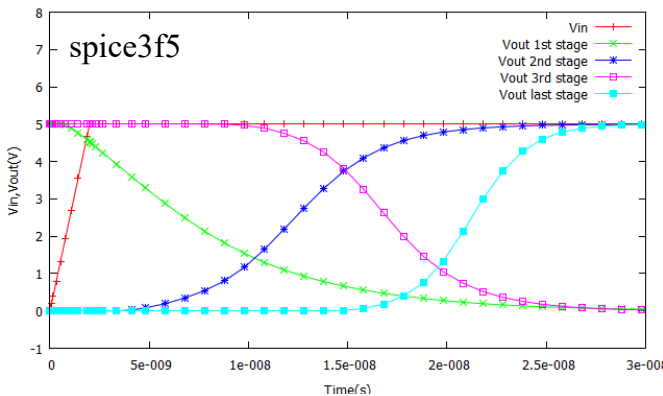
```

**** LEVEL 6 NMOS ****
.MODEL N10L5 NMOS
+ LEVEL=6 TPG=1
+ KC=3.8921e-05 NC=1.1739 KV=0.91602 NV=0.87225
+ LAMBDA0=0.013333 LAMBDA1=0.0046901 VT0=0.69486 GAMMA=0.60309 PHI=1
+ TOX=1.9800000E-08 XJ=0.2U LD=0.1U NSUB=4.9999999E+16
+ NSS=0.0000000E+00
+ CJ=4.091E-4 MJ=0.307 PB=1.0
+ CJSW=3.078E-10 MJSW=1.0E-2
+ CGSO=3.93E-10 CGDO=3.93E-10
**** LEVEL 6 PMOS ****
.MODEL P12L5 PMOS
+ LEVEL=6 TPG=-1
+ KC=6.42696E-06 NC=1.6536 KV=0.92145 NV=0.88345
+ LAMBDA0=0.018966 LAMBDA1=0.0084012 VT0=-0.60865 GAMMA=0.89213 PHI=1
+ TOX=1.9800000E-08 XJ=0.4U LD=0.28U NSUB=4.9999999E+17
+ NSS=0.0000000E+00
+ CJ=6.852E-4 MJ=0.429 PB=1.0
+ CJSW=5.217E-10 MJSW=0.351
+ CGSO=7.29E-10 CGDO=7.29E-10
    
```

回路ファイル(.cir)

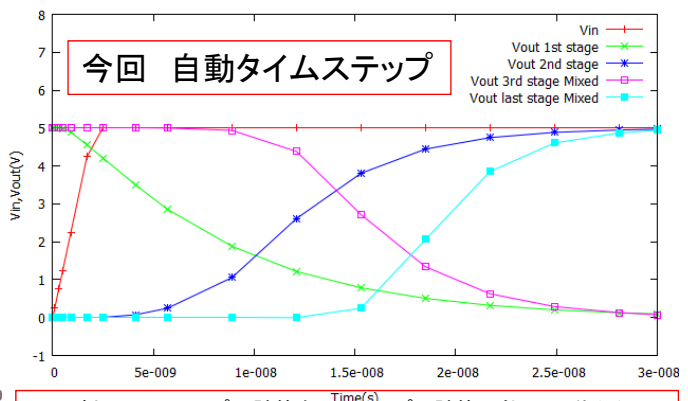
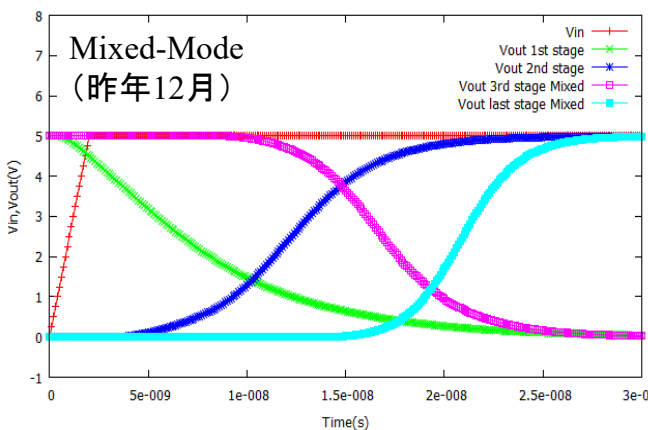
mos6model :
T. Sakurai and A. R. Newton. A simple MOSFET model for circuit analysis and its application to CMOS gate delay analysis and series-connected MOSFET structure. ERL Memo No. ERL M90/19, Electronics Research Laboratory, University of California, Berkeley, March 1990.

連成解析事例

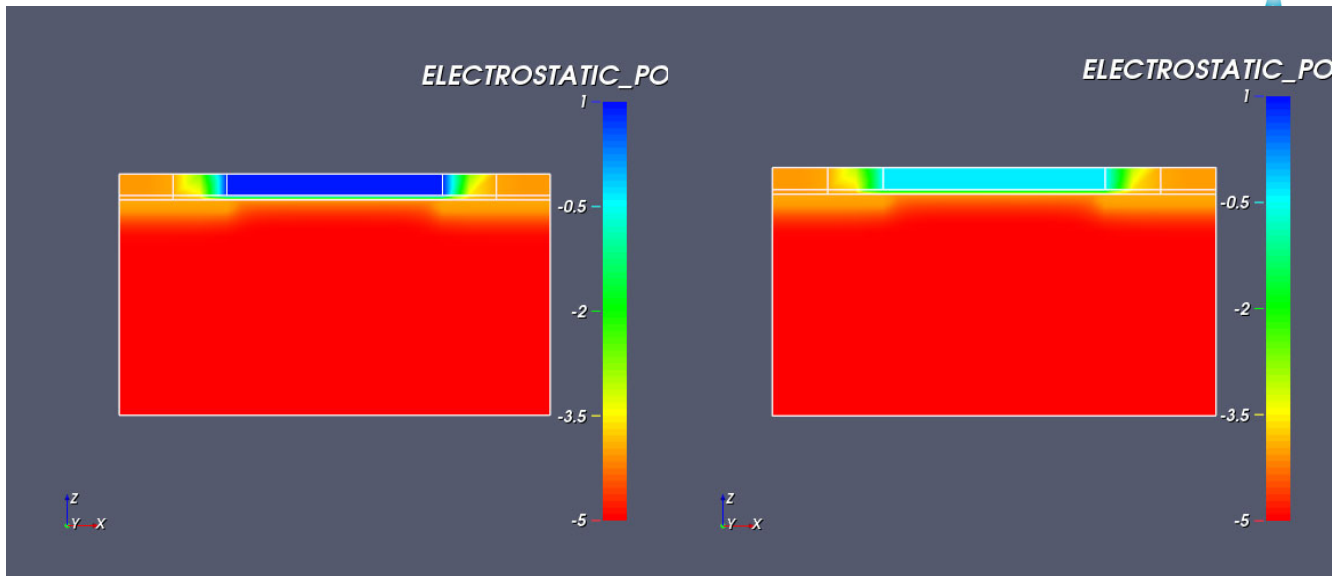


ケース1 もともとの例題 時刻ゼロでVinをGNDからVDDに2nsかけて上げる。

インバータが次々と反転していく。段が進むにつれインバータが軽くなっているのでスイッチングが速くなる。Vout 3rd stageはデバイスシミュレータのゲートに相当するため時刻ゼロの初期値をデバイスシミュレータ単独DC計算で計算。

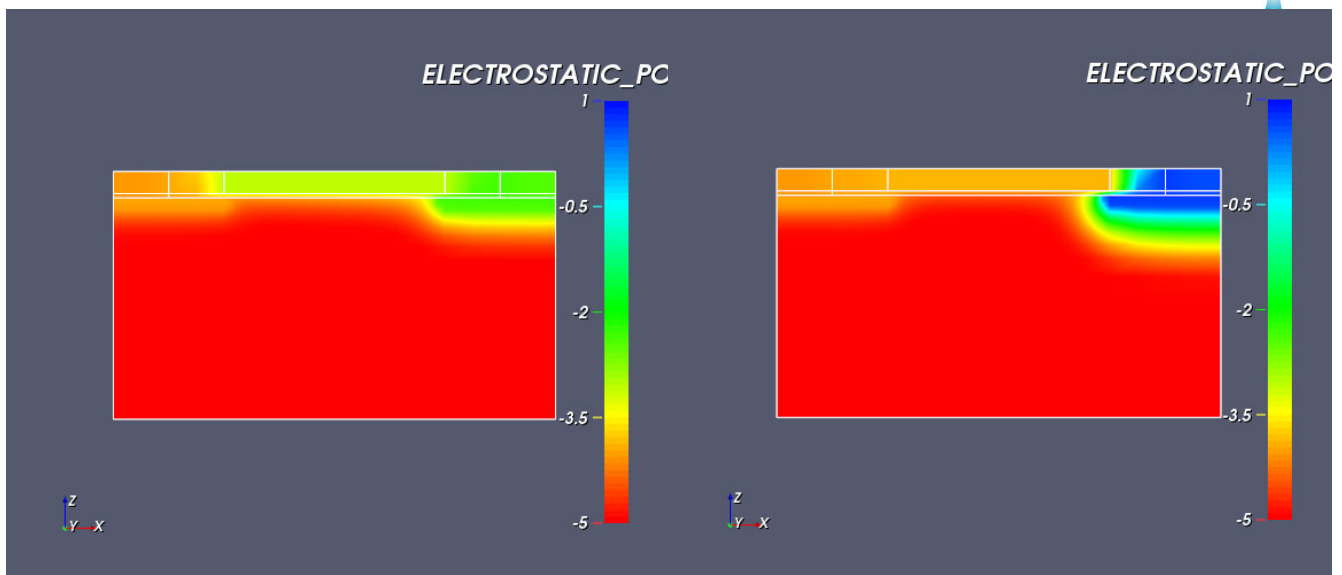


0.1ns刻み300ステップの計算を17ステップで計算可能。560秒から105秒に短縮。(回路シミュレータは0.5ns刻み)



4段目NMOSの10ns後の
静電ポテンシャル分布

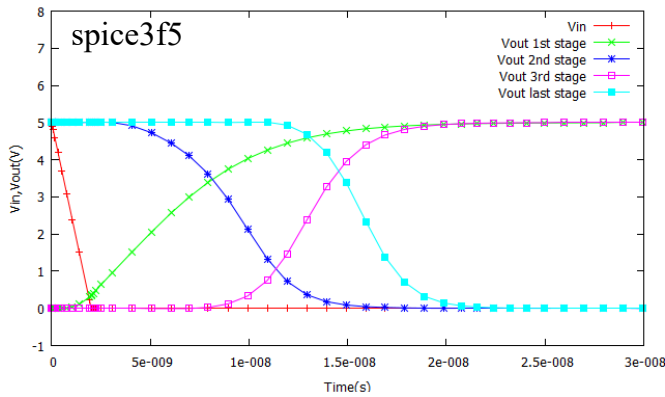
4段目NMOSの15ns後の
静電ポテンシャル分布



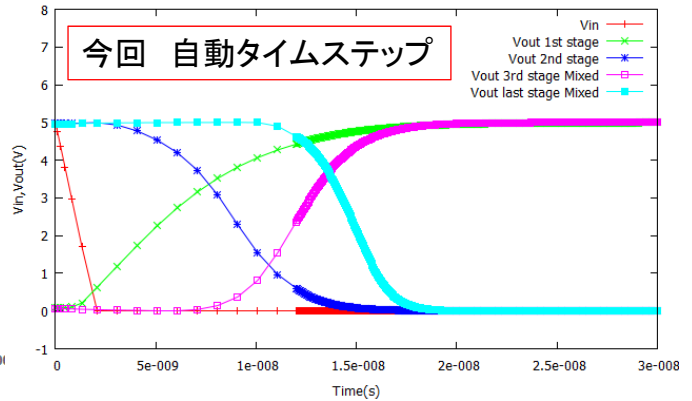
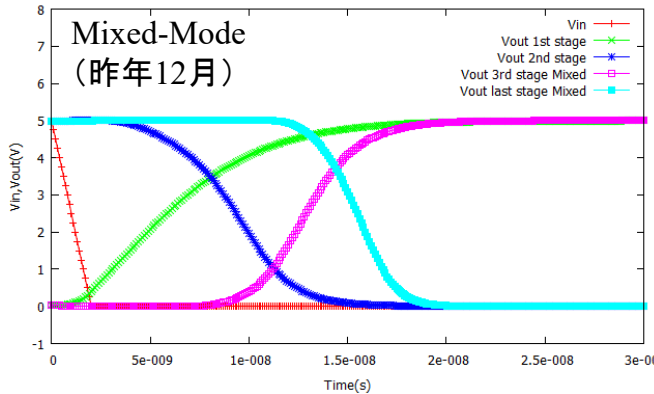
4段目NMOSの20ns後の
静電ポテンシャル分布

4段目NMOSの25ns後の
静電ポテンシャル分布

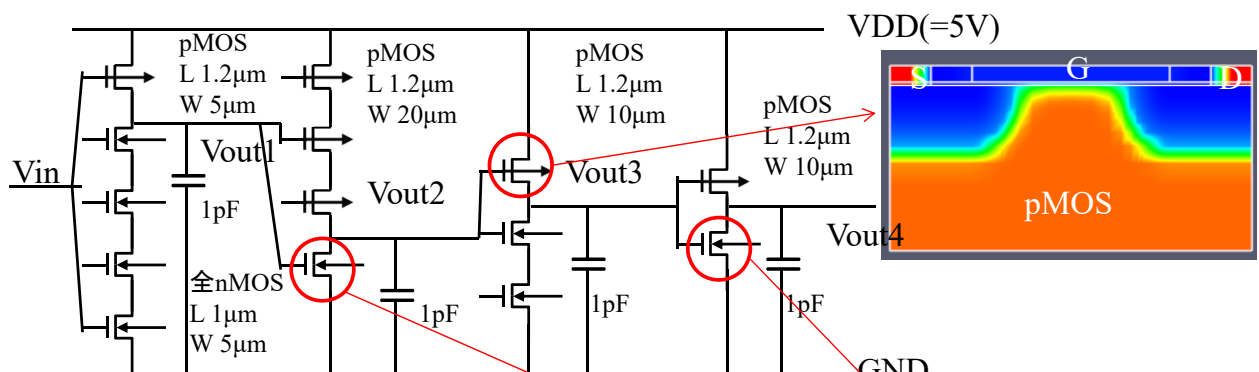




ケース2 もともとの例題には無いが時刻ゼロでVinをVDからDGNDに2nsかけて下げるケース。ほぼ一致。



spice3f5に内包されているmos6invインバータ例題 (回路モデルmos6を使ったインバータ) 但し、下記インバータが4回繰り返しているのを1個にした。



nMOS Tox 19.8nm Vth = 0.69486 V
pMOS Tox 19.8nm Vth = -0.60865 V

赤丸のnMOS/pMOSをデバイスとして解き残りを等価回路に

```
MP14 11 10 100 100 P12L5 L=1.2U W=5U
MN11 11 100 12 0 N10L5 L=1.0U W=5U
MN12 12 100 13 0 N10L5 L=1.0U W=5U
MN13 13 100 14 0 N10L5 L=1.0U W=5U
MN14 14 10 0 0 N10L5 L=1.0U W=5U
```

```
MP21 23 0 100 100 P12L5 L=1.2U W=20U
MP22 22 11 23 100 P12L5 L=1.2U W=20U
MP23 21 0 22 100 P12L5 L=1.2U W=20U
*MN22 21 11 0 0 N10L5 L=1.0U W=5U
```

```
*MP31 31 21 100 100 P12L5 L=1.2U W=10U
MN31 31 21 32 0 N10L5 L=1.0U W=5U
MN32 32 100 0 0 N10L5 L=1.0U W=5U
```

```
MP41 41 31 100 100 P12L5 L=1.2U W=10U
*MN41 41 31 0 0 N10L5 L=1.0U W=5U
n1 41
n2 31
n3 21
n4 11
n5 31
n6 21
C11 11 0 1P
C21 21 0 1P
C31 31 0 1P
C41 41 0 1P
VDD 100 0 5
VIN 10 0 DC 0 PWL(0 0 2N 5 30N 5 32N 0)
```

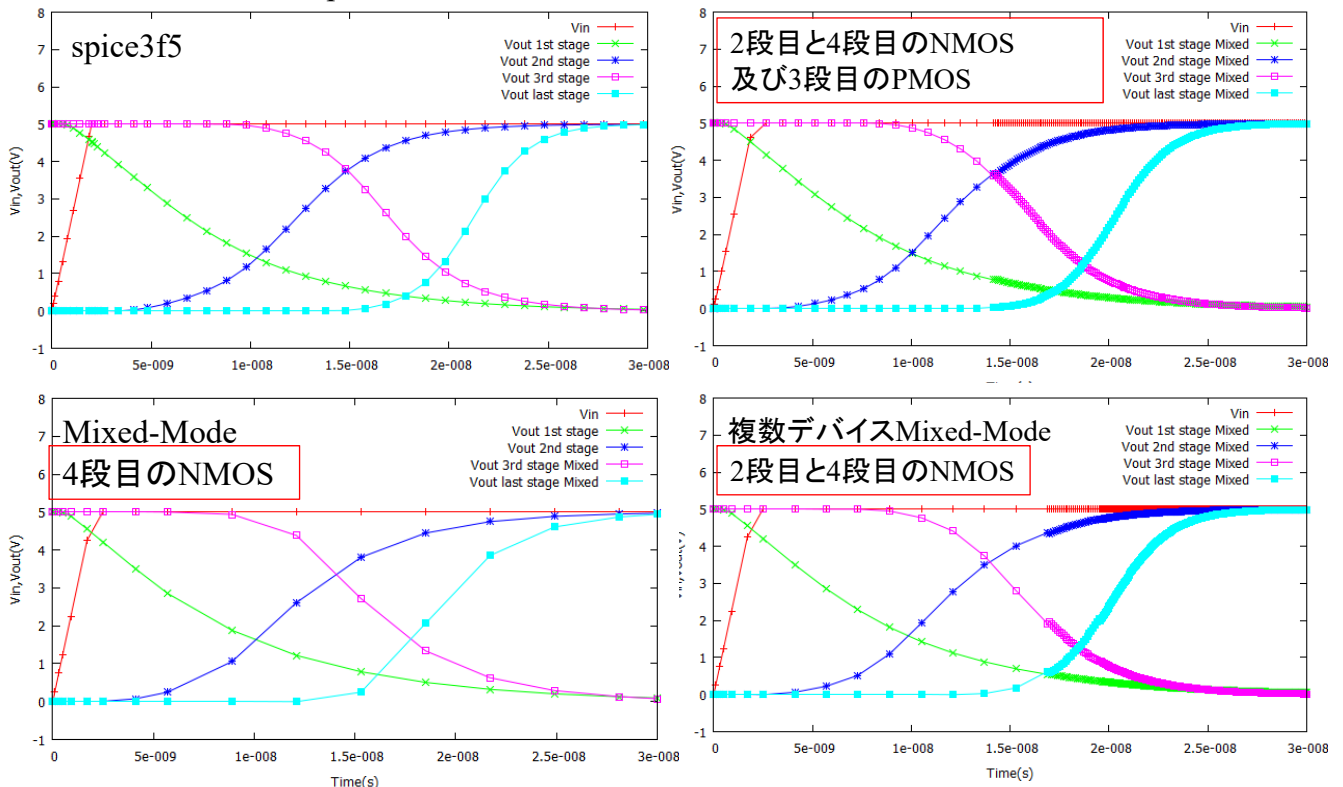
回路ファイル(.cir)

リストファイル(.dlist)

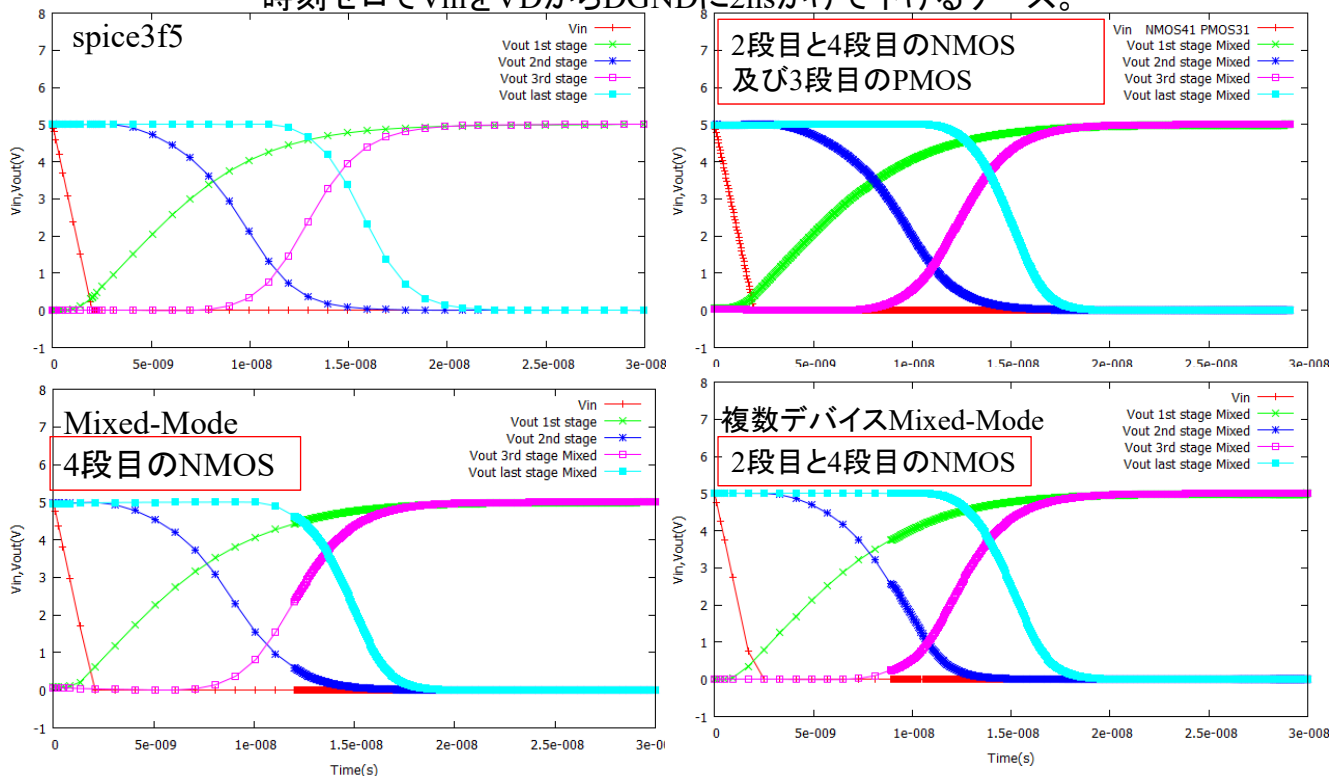
```
nmos41
3
nmos22
nmos41
pmos31 -m pmosW10.dmsH
```

回路接続情報ファイル(.dcon)

```
#-----
# Circuit Definition File
#-----
#
6
Electrode_A1_4 n1 nmos41
Electrode_A1_5 n2 nmos41
Electrode_A1_4 n3 nmos22
Electrode_A1_5 n4 nmos22
Electrode_A1_5 n5 pmos31
Electrode_A1_3 n6 pmos31
```



置き換えが増えるごとに安定性は厳しくなるが自動タイムステップで最後まで計算出来た。



まとめ

● まとめ

公開されているspiceを組み込んだ回路シミュレータとAdvance/TCADデバイスシミュレータとの連成解析機能を開発した。

昨年12月にはIGBTと還流ダイオードを含め報告をしたが、今回更に、複数デバイスでの計算が可能となったことを示した。

また、高速化のために、自動タイムステップ機能をMixed-Modeでも使えるようにした。



高信頼性N-ch LDMOSの提案 —民生用電源から車載用への展開—

松田 順一

群馬大学

2018年12月25日（火）

トスラブ山王(山王健保会館) 2階 会議室

1

概要

- LDMOSの用途と車載品への展開
- 従来(基本)LDMOSの問題点
- 高信頼性 30-50(20-40) V 用LDMOSの提案
- 高信頼性 60-100 V 用LDMOSの提案
- まとめ
- 謝辞
- 参考文献

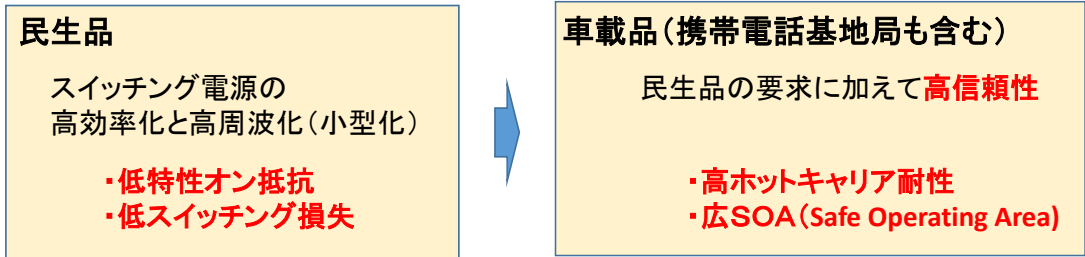
シミュレーション: 3次元デバイスシミュレータ **Advance/TCAD** を使用

2

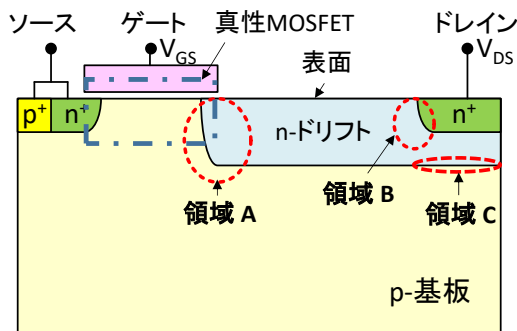
LDMOSの用途と車載品への展開

- ・低電力の電圧変換用の集積型スイッチングデバイス
- ・パワーアンプの出力増幅用デバイス

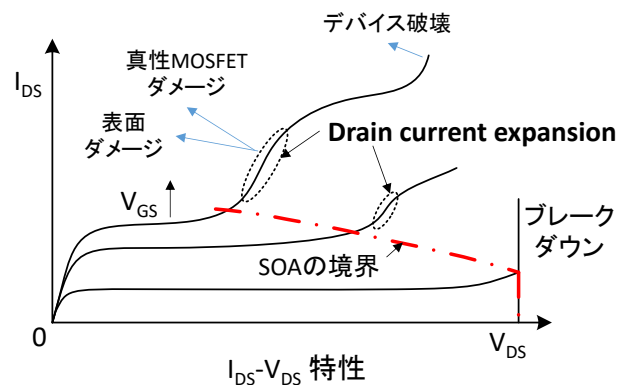
例: POL (Point of Load) 用電源、液晶パネルのLEDバックライト用電源、携帯電話及び携帯電話基地局用パワーアンプなど



基本LDMOSの問題点

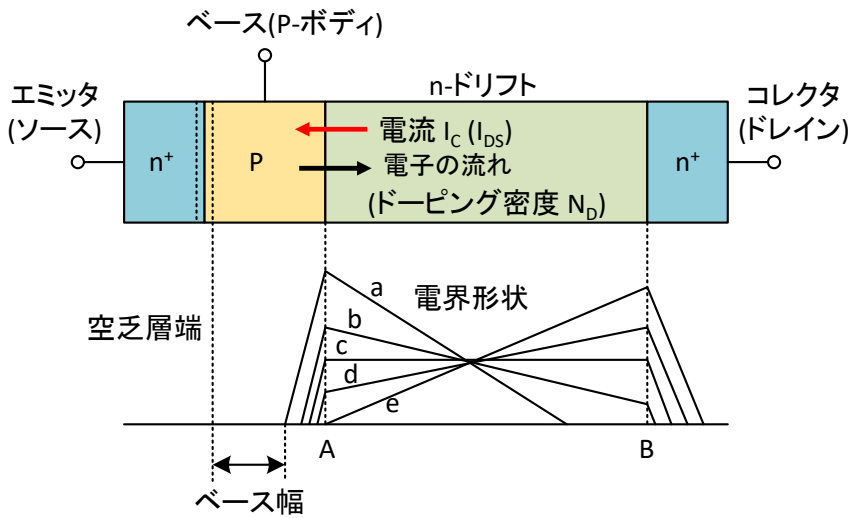


基本LDMOSの断面



- 問題
- (1) **低ホットキャリア耐性**
⇒ 領域 A 内の高電界に起因: DAHC (drain avalanche hot carriers)を誘起
 - (2) **ドレイン電流の拡張** (Drain current expansion (CE)): 狭いSOA
⇒ 領域 B 内のKirk効果による高電界に起因
 - (3) **高特性オン抵抗**
⇒ n-ドリフト領域の低不純物濃度に起因
 - (4) **耐圧の低下**
⇒ 領域 C 内の高電界に起因

Kirk効果のモデル

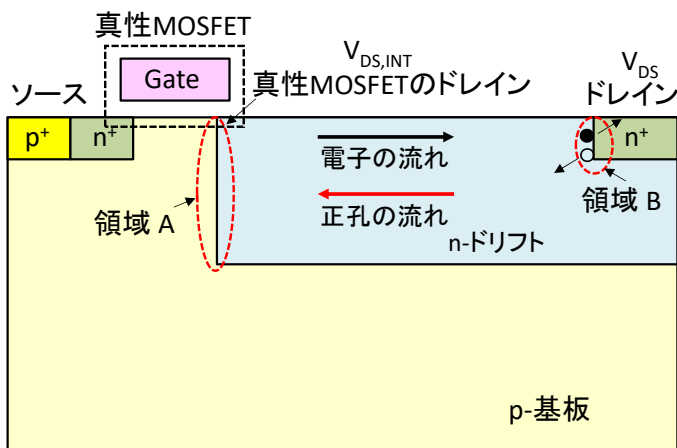


- $I_C (I_{DS})$ 増大
 - ⇒ 電界形状は“a” から “e”へ変化
 - ⇒ **電界ピークは“A” から “B”へ移動**
 - ⇒ ベース幅拡大
 - (Base widening or Kirk effect)**

- N_D 増大
 - ⇒ 電界ピークが“A” から “B”へ移動するのにより高い $I_C (I_{DS})$ が必要
 - ⇒ 固定 $I_C (I_{DS})$ では “B” での電界は低下

Ref. B. Jayant Baliga, “Fundamentals of Power Semiconductor Devices,” Springer Science + Business Media, 2008.

Current Expansion (CE) のモデル

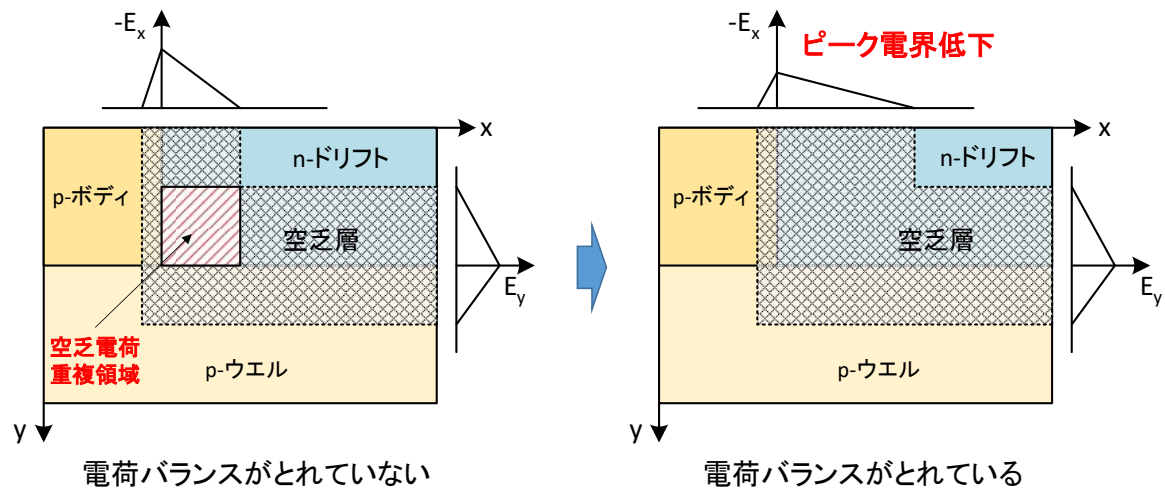


- 電子
- 正孔

- ① 電子による高電流
- ② 領域 B で高電界発生 (∵ Kirk 効果)
- ③ 領域 B でインパクトイオン化による電子正孔対発生
- ③ 領域 B から正孔電流発生
- ④ n-ドリフト領域で抵抗低下 (伝導度変調)
- ⑤ 真性MOSFETのドレイン電圧 $V_{DS,INT}$ 上昇
- ⑥ I_{DS} 増大 (CE発生) (∵ 真性MOSFET: 線形動作)
- ⑦ I_{DS} 飽和 (∵ 真性MOSFET: 飽和動作)

Ref. S. Poli, S. Reggiani, R. K. Sharma, M. Denison, E. Gnani, A. Gnudi, and G. Bacarani, IEEE Trans. Electron Devices, 59, p. 745 (2012).

RESURF (Reduced Surface Field)のモデル

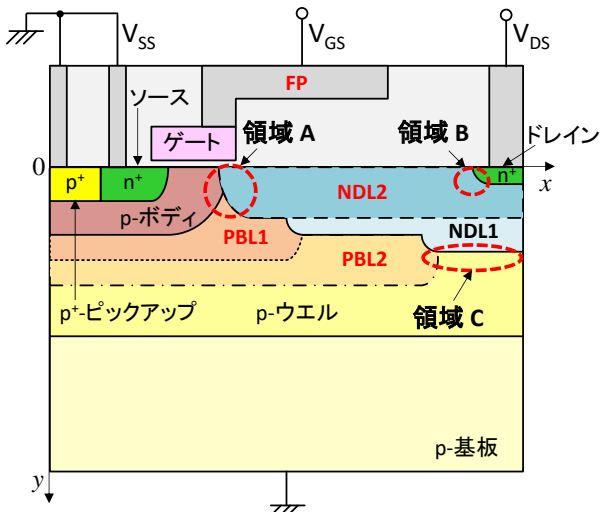


7

高信頼性 30-50(20-40) V 用 LDMOSの提案

8

高信頼性 30-50 V LDMOS: 提案(1) (1)

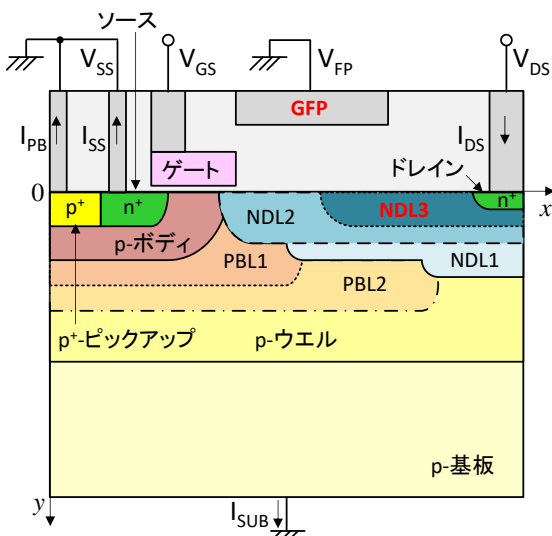


提案された 30-50 V LDMOS の断面
(1セル: 3.725 μm \times 0.3 μm)
0.35 μm CMOS compatible process

- 2層のp型埋め込み層 (Dual RESURF 構造)
 - ・PBL1: 領域 A のRESURF強化 \Rightarrow 高ホットキャリア耐性
 - ・PBL2: ① ドリフト領域内の均一電界
② 領域 C の耐圧低下防止
- 2層のn-ドリフト層
 - ・NDL1: ドリフト領域の基本層
 - ・NDL2: 特性オン抵抗低減
CE 抑制 (領域 B のKirk効果による電界低減)
- フィールドプレート FP (ゲートへ接続)
 - ・ドリフト領域のRESURF補強
 - ・Miller 容量の増大 \Rightarrow スイッチング損失増大 (問題)
- スケーラブルLDMOS
 - ・回路設計の自由度向上
 - ・低コストプロセス

9

高信頼性 20-40 V LDMOS: 提案(2) (2, 3)

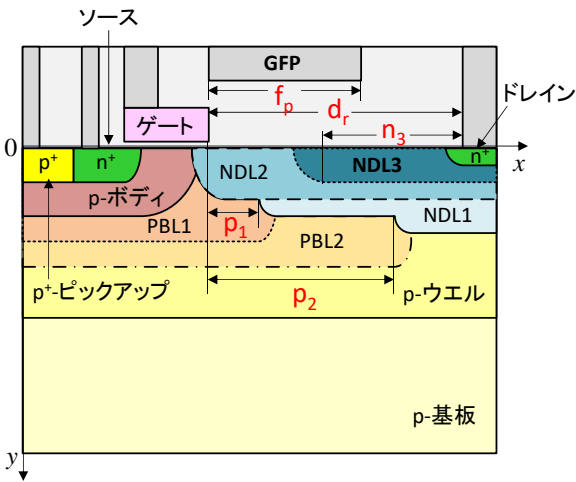


提案された 20-40 V LDMOS の断面
(1セル: 3.555 μm \times 0.3 μm)
0.18 μm CMOS compatible process

- 2層のp型埋め込み層 (Dual RESURF 構造)
 - ・PBL1 とPBL2: 提案(1)と同じ
- 3層のn-ドリフト層
 - ・NDL1 とNDL2: 提案(1)と同じ
 - ・NDL3: 特性オン抵抗低減とCE抑制
(GFPによる特性オン抵抗増大の抑制)
- 接地されたフィールドプレート GFP (Grounded Field Plate)
 - ・ドリフト領域のRESURF補強
 - ・Miller 容量低減 \Rightarrow スイッチング損失低減
- スケーラブルLDMOS
 - ・回路設計の自由度向上
 - ・低コストプロセス

10

スケーラブルLDMOS



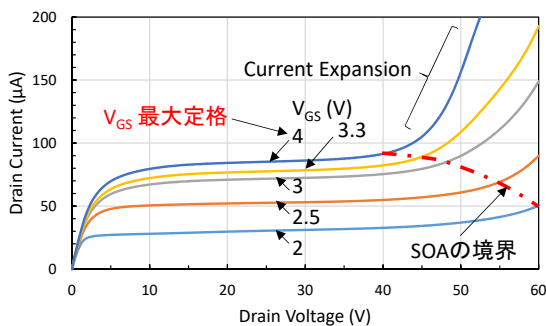
■ ドリフト領域の縮小

- ・ p_1 , p_2 , 及び f_p を d_r の縮小に比例して縮小
- ・ n_3 は固定 (ゲート近傍の電界増大を避けるため)

f_p : ドリフト領域上のGFPの長さ
 d_r : ドリフト領域の長さ(DRL)
 n_3 : ND13の長さ
 p_1 : ドリフト領域下のPBL1の長さ
 p_2 : ドリフト領域下のPBL2の長さ

11

$I_{DS}-V_{DS}$ 特性 (提案(2))



(a) ドリフト領域縮小なしデバイス (1セル: $3.555\mu\text{m} \times 0.3\mu\text{m}$)

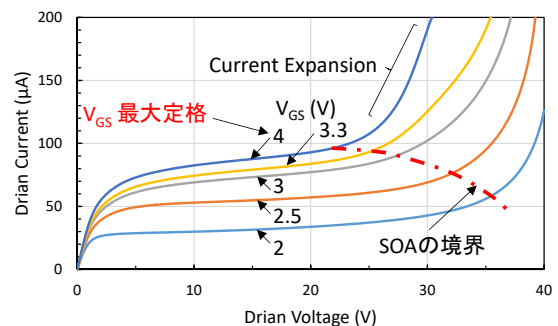
■ CE 発生電圧

⇒ $V_{CE} = 40\text{ V}$ (at $V_{GS} = 4\text{ V}$ 最大定格)

■ 特性オン抵抗

⇒ $R_{on,A} = 40.9\text{ m}\Omega \cdot \text{mm}^2$ at $V_{GS} = 3.3\text{ V}$

ドリフト領域
縮小



(b) ドリフト領域50%縮小デバイス (1セル: $2.23\mu\text{m} \times 0.3\mu\text{m}$)

■ CE 発生電圧

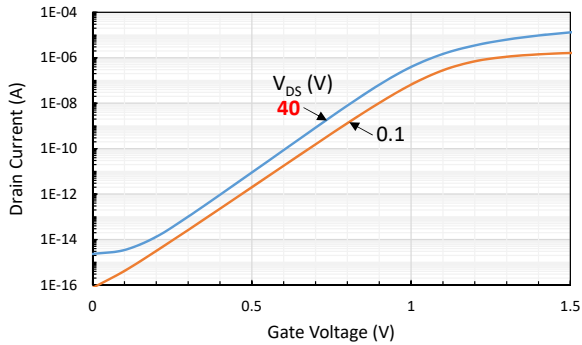
⇒ $V_{CE} = 20\text{ V}$ (at $V_{GS} = 4\text{ V}$ 最大定格)

■ 特性オン抵抗

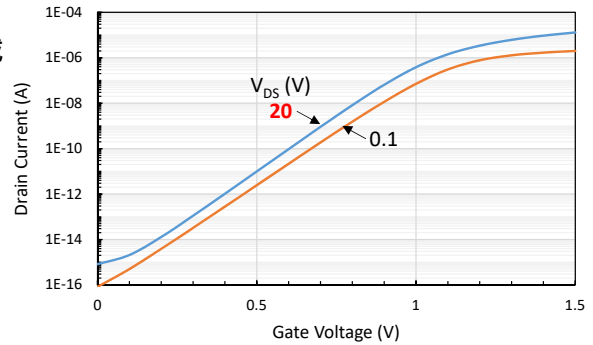
⇒ $R_{on,A} = 18.4\text{ m}\Omega \cdot \text{mm}^2$ at $V_{GS} = 3.3\text{ V}$

12

$I_{DS}-V_{GS}$ 特性(提案(2))



ドリフト領域
縮小



(a)ドリフト領域縮小なしデバイス(1セル: 3.555 μ m \times 0.3 μ m)

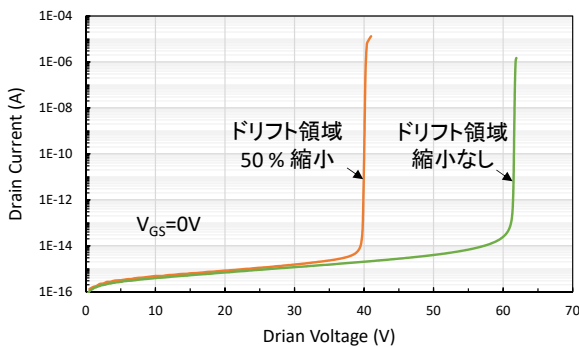
(b)ドリフト領域50%縮小デバイス(1セル: 2.23 μ m \times 0.3 μ m)

- しきい値電圧 V_{TH}
 V_{TH} (at $I_{DS} = 0.1 \mu A$ and $V_{DS} = 0.1 V$) = 1.026 V
- V_{DS} 増大による V_{TH} 低下
 ΔV_{TH} ($V_{DS} = 0.1V \rightarrow 40 V$) = 0.104 V
- $V_{DS} = 40 V$ でも非常に低いリーク電流

- しきい値電圧 V_{TH}
 V_{TH} (at $I_{DS} = 0.1 \mu A$ and $V_{DS} = 0.1 V$) = 1.023 V
- V_{DS} 増大による V_{TH} 低下
 ΔV_{TH} ($V_{DS} = 0.1V \rightarrow 20 V$) = 0.100 V
- $V_{DS} = 20 V$ でも非常に低いリーク電流

13

ブレイクダウン電圧特性(提案(2))

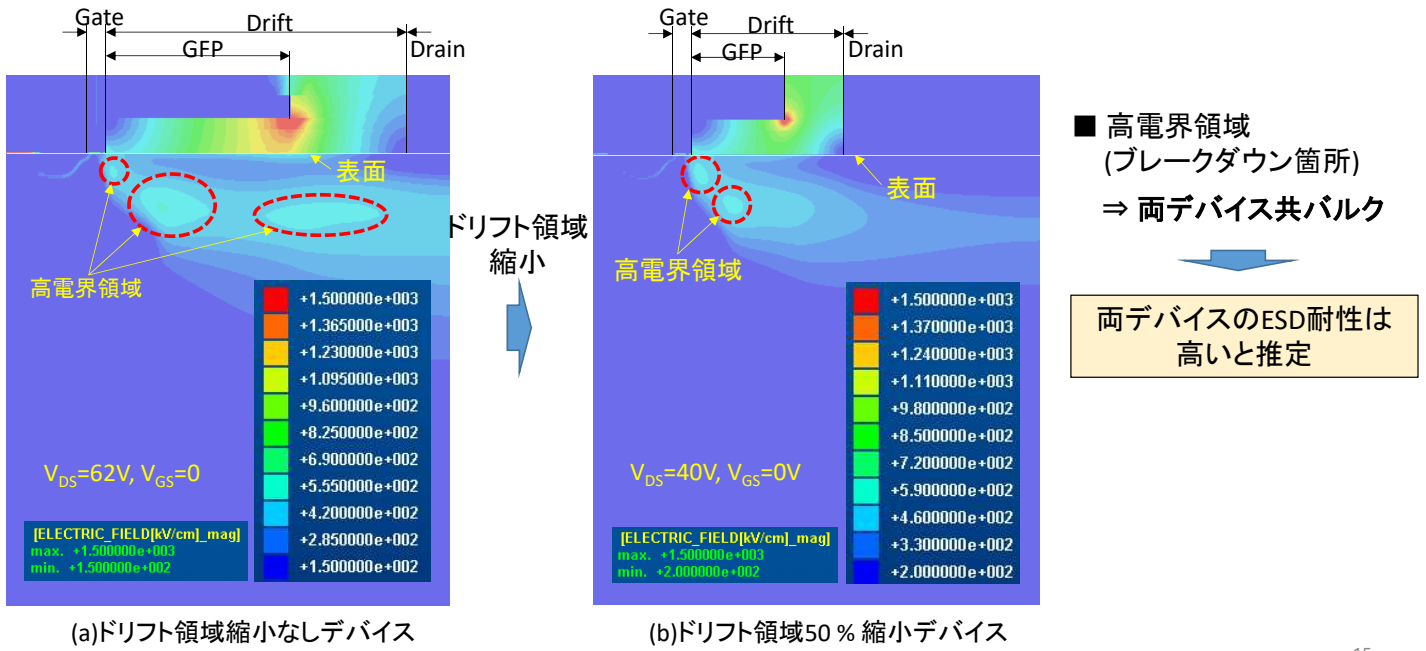


- ブレイクダウン電圧 BV_{DS} (at $I_{DS} = 1 \times 10^{-13} A$)
 - ・ドリフト領域50%縮小デバイス: $BV_{DS} = 39.8 V$
 $\Rightarrow 20 V$ 動作に十分な余裕あり
 - ・ドリフト領域縮小なしデバイス: $BV_{DS} = 61.9 V$
 $\Rightarrow 40 V$ 動作に十分な余裕あり

20-40 V LD MOS提案(2)のブレイクダウン電圧特性

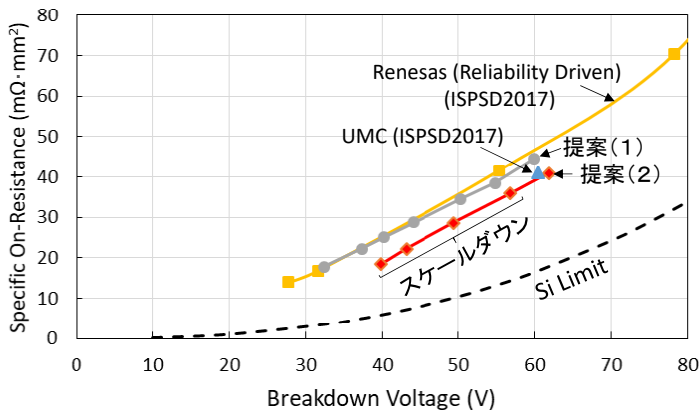
14

ブレークダウン時の電界分布(提案(2))



15

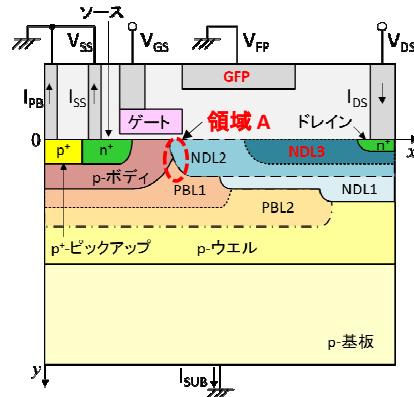
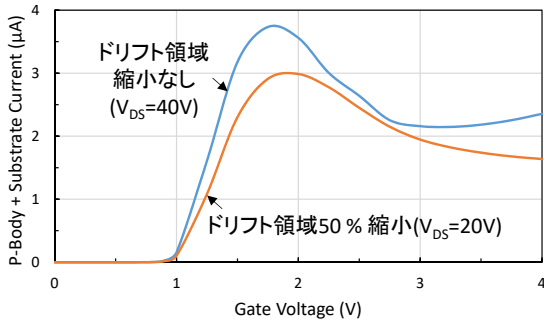
$R_{on}A-BV_{DS}$ 特性



- 提案(2)デバイスの $R_{on}A-BV_{DS}$ ⇒ UMC (ISPSD2017)の特性とほぼ同じ ⇒ 先端レベルにある

16

全正孔電流 ($I_{PB} + I_{SUB}$) の V_{GS} 依存性 (提案(2))



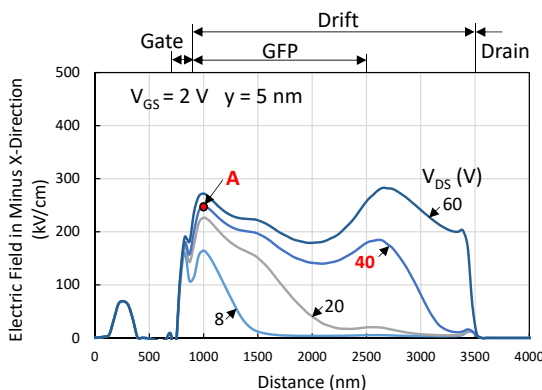
提案(2) LDMOSの断面

■ 両提案デバイスのピーク正孔電流

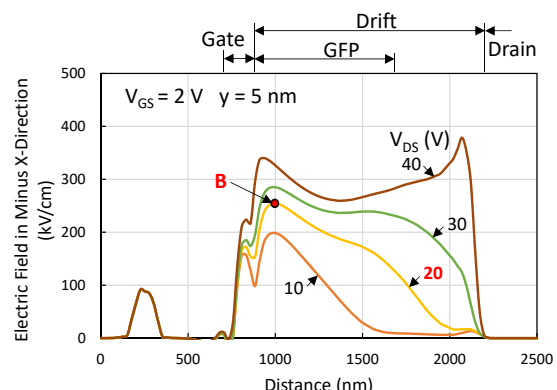
- $V_{GS} \cong 2V$ にピークあり
⇒ 真性MOSFET飽和動作
- 主に領域 A 内のインパクトイオン化によって発生

ホットキャリアによるダメージは、両提案デバイス共、 $V_{GS} \cong 2V$ で最大になる

表面に沿った電界形状 ($V_{GS} = 2V$) (提案(2))



(a)ドリフト領域縮小なしデバイス



(b)ドリフト領域50% 縮小デバイス

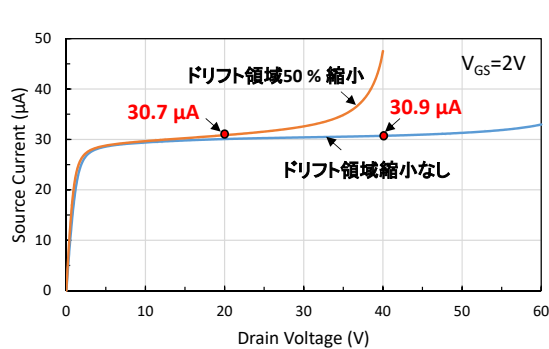
| ドリフト長 | $-E_{xx}$ (kV/cm) | I_{SS} (μA) | V_{DS} (V) | V_{GS} (V) |
|-------|-------------------|----------------------|--------------|--------------|
| 縮小なし | 248 (A) | 30.9 | 40 | 2 |
| 50%縮小 | 254 (B) | 30.7 | 20 | 2 |

E_{xx} : $x = 1000$ nmでのx方向電界
 I_{SS} : 1セルのソース電流(電子電流)

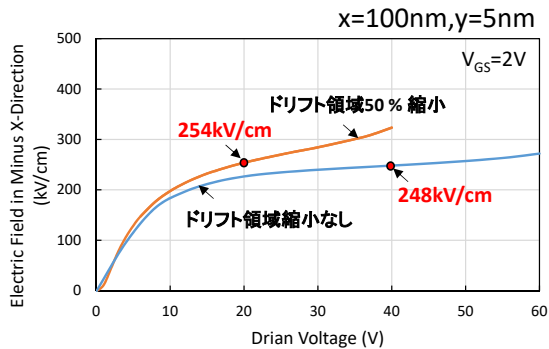
Note: インパクトイオン化による正孔電流 = $F(E_{xx}, I_{SS})$

- 両提案デバイス
⇒ ほぼ同じホットキャリア耐性を持つ
⇒ Dual RESURF 構造により、高ホットキャリア耐性を持つ

$I_{SS} - V_{DS}$ 特性、 $E_{xx} - V_{DS}$ 特性 ($V_{GS} = 2 V$)



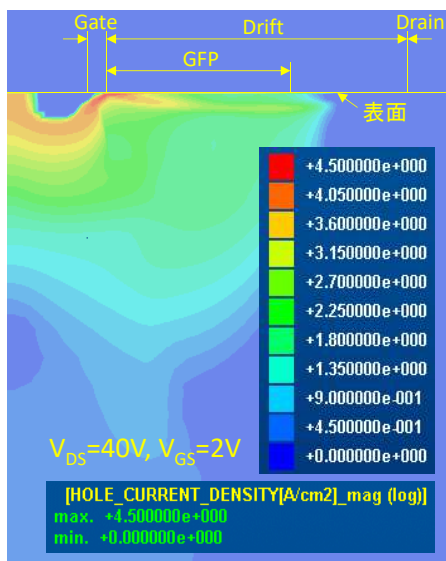
$I_{SS} - V_{DS}$ 特性 (1セル)



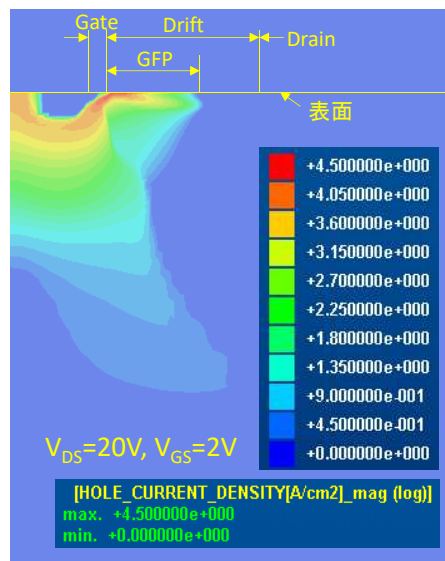
$E_{xx} - V_{DS}$ 特性

19

正孔電流密度分布 ($V_{GS} = 2 V$) (提案(2))



(a)ドリフト領域縮小なしデバイス

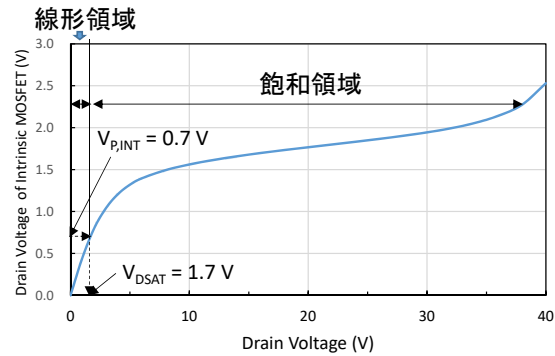


(b)ドリフト領域50%縮小デバイス

20

ドレイン電流成分と $V_{DS,INT}$ vs. V_{DS} ($V_{GS} = 2\text{ V}$)

ドリフト領域50% 縮小デバイス



■ ゲート側ドリフト領域でインパクトイオン化による正孔電流の発生

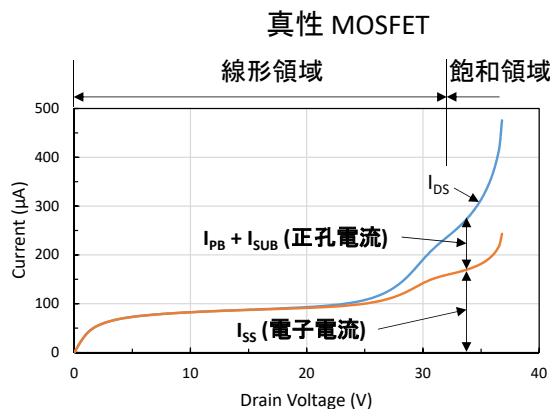
$V_{DS} > 35\text{ V} \Rightarrow$ 正孔電流急上昇

$V_{DS} < 25\text{ V} \Rightarrow$ 正孔電流は低い(真性MOSFETへ与えるダメージは少ないと推定)

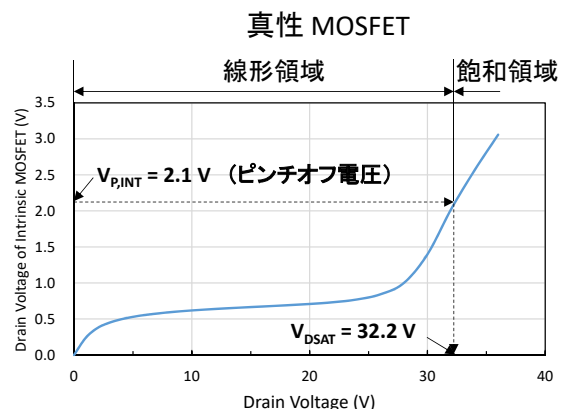
21

ドレイン電流成分と $V_{DS,INT}$ vs. V_{DS} ($V_{GS} = 4\text{ V}$)

ドリフト領域50% 縮小デバイス



ドレイン電流成分

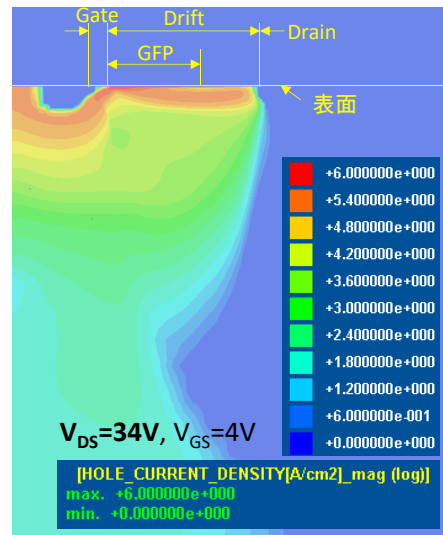
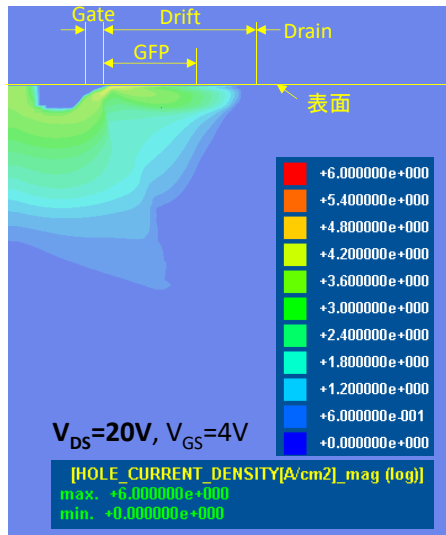


$V_{DS,INT}$ vs. V_{DS}

22

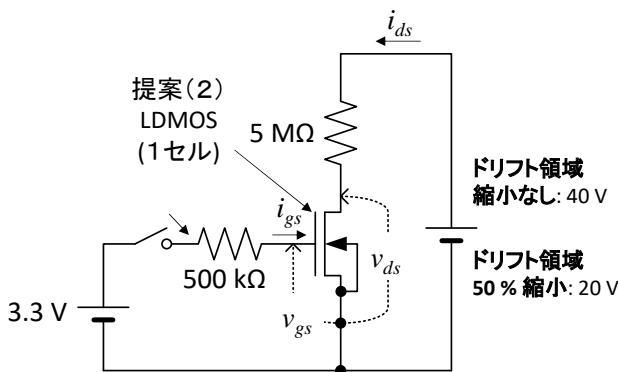
正孔電流密度分布($V_{GS} = 4V$) (提案(2))

ドリフト領域50%縮小デバイス

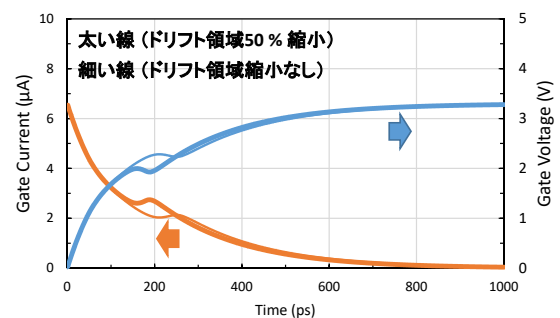


23

ターンオン特性とFOM(提案(2))



ターンオン特性を求めめるための回路



ターンオン特性(1セル)

FOM (オン抵抗 × ゲート電荷)

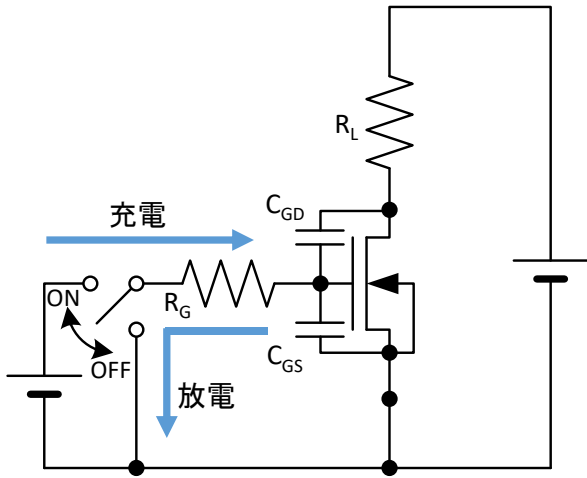
| ドリフト領域長 | Q_g/A (nC/mm ²) | $R_{on}A$ (mΩ · mm ²) | FOM (mΩ · nC) |
|---------|-------------------------------|-----------------------------------|---------------|
| 縮小無し | 1.18 | 40.9 | 48.2 |
| 50%縮小 | 1.86 | 18.4 | 34.2 |

Q_g/A : ゲート電荷密度

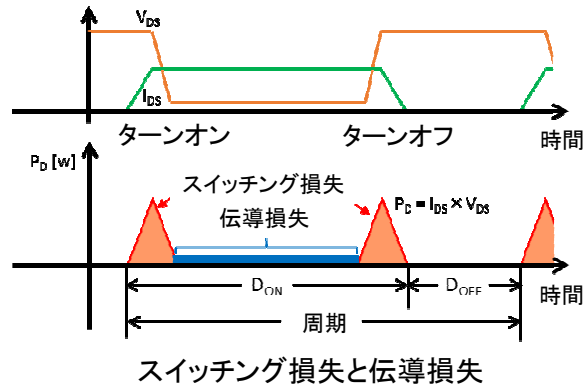
- 提案(2)のデバイスFOM (ドリフト領域縮小なし)
⇒ 提案(1)のデバイスのFOM (141 mΩ · nC)の約1/3
- 提案(2)のデバイスFOM (ドリフト領域50%縮小)
⇒ より低い特性オン抵抗によってドリフト領域縮小なしのデバイスより更に低下

24

全消費電力



ターンオンによるゲート充電と
ターンオフによるゲート放電

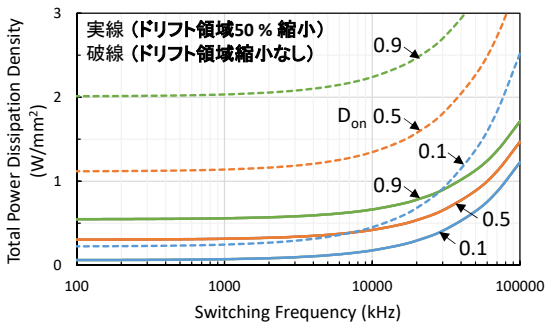


スイッチング損失と伝導損失

■ 全消費電力

- (1) ゲートドライビング損失
(C_{GS} と C_{GD} の充放電: R_G による損失)
- (2) ターンオンとオフ期間のスイッチング損失
- (3) 時比率による伝導損失

全消費電力密度 P_{TD} のスイッチング周波数依存性 (提案(2))



P_{TD} のスイッチング周波数依存性

1周期当たりのスイッチング損失密度 E_{SW} の成分

| ドリフト領域長 | E_{GD} [J/mm ²] | $E_{ON/OFF}$ [J/mm ²] | E_{sw} [J/mm ²] |
|---------|----------------------------------|--------------------------------------|----------------------------------|
| 縮小無し | 3.89×10^{-9} | 1.91×10^{-8} | 2.30×10^{-8} |
| 50% 縮小 | 6.14×10^{-9} | 5.52×10^{-9} | 1.17×10^{-8} |

E_{GD} : ゲートドライビング損失密度

$E_{ON/OFF}$: ターンオンとオフ期間のスイッチング損失密度

$$E_{SW} = E_{GD} + E_{ON/OFF}$$

- P_{TD} (ドリフト領域50% 縮小) < P_{TD} (ドリフト領域縮小無し)
∴ ドリフト領域50% 縮小デバイスの **低 $R_{on}A$** と **低 E_{SW}**

20-40 V LDMOS 提案(2)特性のまとめ

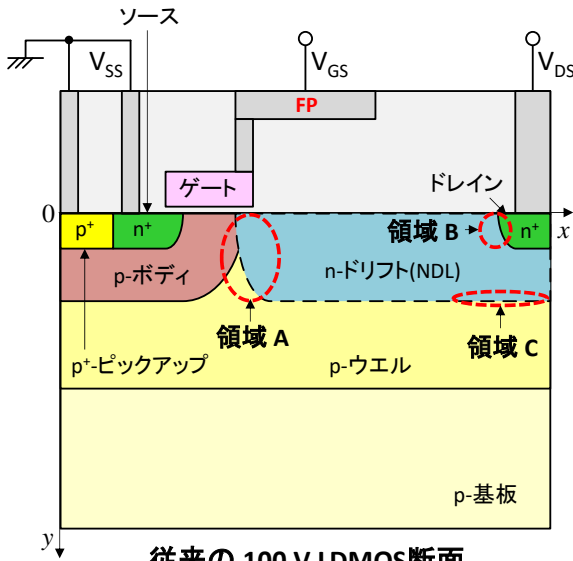
- 20-40 V 動作に対し、十分に CE を抑制し、広い SOA を持つ
- $R_{on}A - BV_{DS}$ の特性は先端レベルにある
- 非常に低い FOM (伝導損失とスイッチング損失の抑制) を持つ
- 高ホットキャリア耐性が見込まれる
- スケーラブルデバイスであることから、
低プロセスコストで回路設計の自由度が高い

27

高信頼性 60-100 V 用 LDMOS の提案

28

従来の 100 V LDMOS



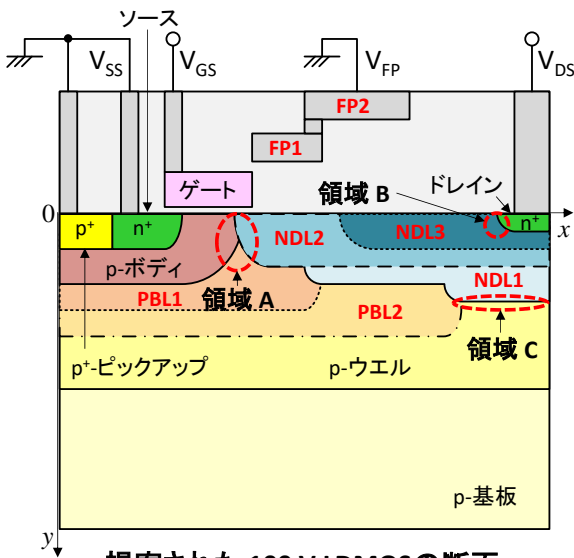
従来の 100 V LDMOS 断面
(1セル: 6.55 μm \times 0.2 μm)
0.35 μm CMOS compatible process

問題

- (1) **低ホットキャリア耐性**
⇒ 領域 A 内の高電界による
DAHC (Drain Avalanche Hot Carriers)の発生に起因
- (2) **CEの発生(狭いSOA)**
⇒ 領域 B 内の高電界に起因 (Kirk効果)
- (3) **耐圧の低下**
⇒ 領域 C 内の高電界に起因
- (4) **高特性オン抵抗**
⇒ n-ドリフト領域(NDL)の低濃度に起因
- (5) **高スイッチング損失**
⇒ 大きなMiller容量に起因

29

高信頼 100 V LDMOSの提案(4)



提案された 100 V LDMOSの断面
(1セル: 6.55 μm \times 0.2 μm)
0.35 μm CMOS compatible process

2層のp型埋め込み層 (Dual RESURF 構造)

- ・PBL1: 領域 A のRESURF強化⇒高ホットキャリア耐性
- ・PBL2: ①ドリフト領域内の均一電界
② 領域 C の耐圧低下防止

3層のn-ドリフト層

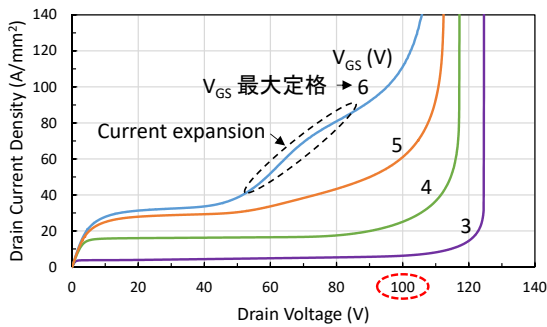
- ・NDL1: ドリフト領域の基本層
- ・NDL2, 3: **特性オン抵抗低減**
CE抑制(領域 B のKirk効果による電界低減)
(NDL3: GFPによる特性オン抵抗増大の抑制)

接地された2段階フィールドプレート(Two-Step GFP)

- ・FP1: 領域 A のRESURF補強
- ・FP2: 領域 A を除くドリフト領域のRESURF補強
- ・**Miller容量低減(スイッチング損失低減)**

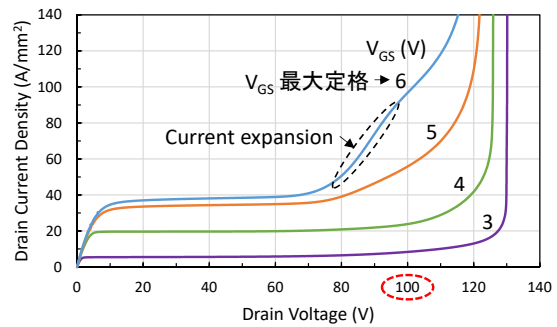
30

$I_{DS} - V_{DS}$ 特性



(a) 従来 LDMOS

- CE 発生ドレイン電圧 V_{CE}
⇒ 約 50 V at $V_{GS} = 6$ V
- 特性オン抵抗 $R_{on,sp}$
⇒ 178 $m\Omega \cdot mm^2$ at $V_{GS} = 5$ V

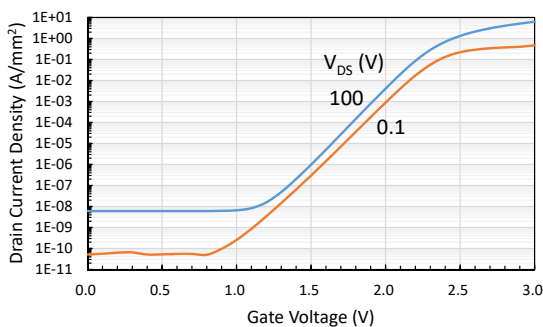


(b) 提案 LDMOS

- CE 発生ドレイン電圧 V_{CE}
⇒ 約 70 V at $V_{GS} = 6$ V
- 特性オン抵抗 $R_{on,sp}$
⇒ 150 $m\Omega \cdot mm^2$ at $V_{GS} = 5$ V

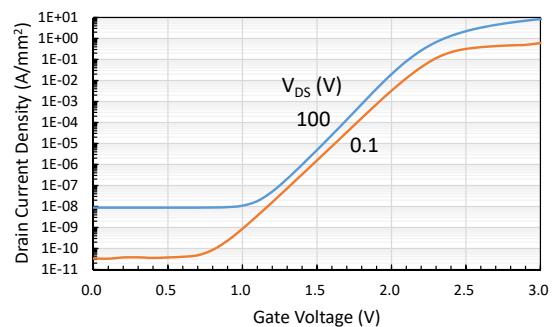
31

$I_{DS} - V_{GS}$ 特性



従来 LDMOS

- $V_{TH} = 2.16$ V at $I_{DS} = 1 \times 10^{-2}$ A/mm²
- $\Delta V_{TH} = -0.10$ V at $I_{DS} = 1 \times 10^{-2}$ A/mm²
 $V_{DS}=0.1V \Rightarrow V_{DS}=100V$
- $V_{DS} = 100$ Vでも非常に低いリーク電流

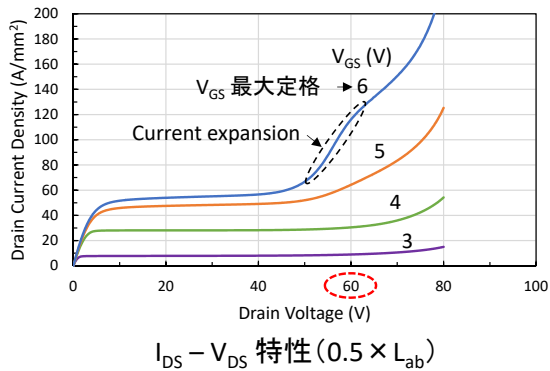


提案 LDMOS

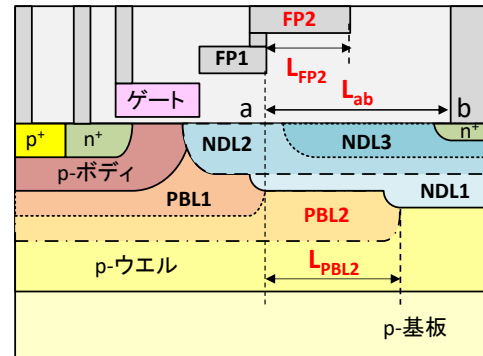
- $V_{TH} = 2.08$ V at $I_{DS} = 1 \times 10^{-2}$ A/mm²
- $\Delta V_{TH} = -0.12$ V at $I_{DS} = 1 \times 10^{-2}$ A/mm²
 $V_{DS}=0.1V \Rightarrow V_{DS}=100V$
- $V_{DS} = 100$ Vでも非常に低いリーク電流

32

スケールダウンデバイスの $I_{DS} - V_{DS}$ 特性



- CE 発生ドレイン電圧 V_{CE}
⇒ 約 50 V at $V_{GS} = 6$ V
- 特性オン抵抗 $R_{on,sp}$
⇒ 78 $m\Omega \cdot mm^2$ at $V_{GS} = 5$ V

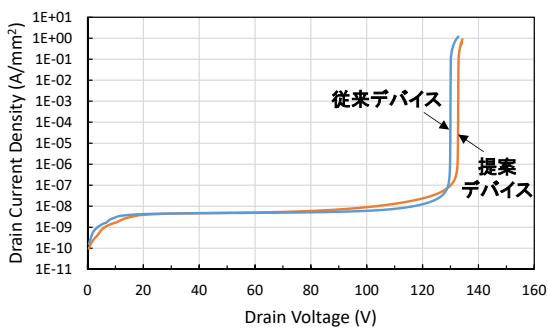


n-ドリフト領域のスケールリング

$$\alpha L_{ab} \rightarrow \alpha L_{PBL2} \text{ と } \alpha L_{FP2}$$

α : スケールリングファクタ

ブレークダウン特性

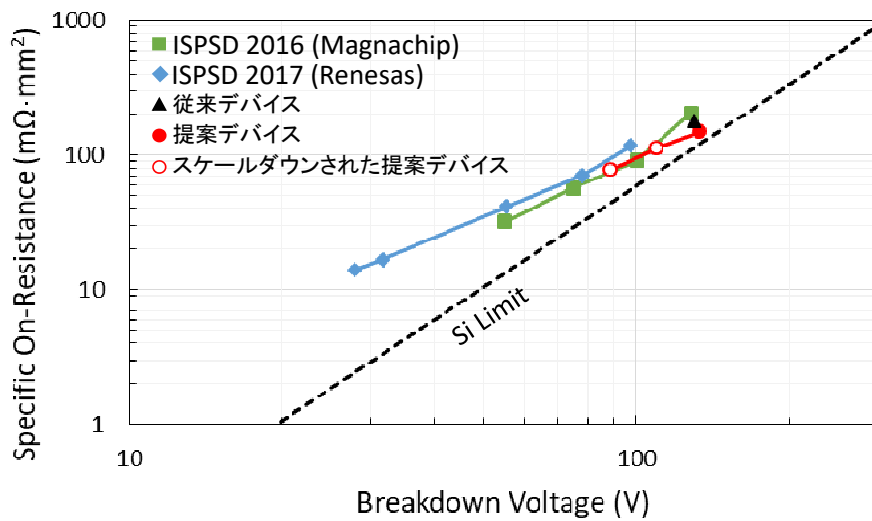


ブレークダウン特性

- ブレークダウン電圧 BV_{DS} (at $I_{DS} = 1 \times 10^{-6} A/mm^2$)
 - ・従来デバイス ⇒ 130 V
 - ・提案デバイス ⇒ 133 V

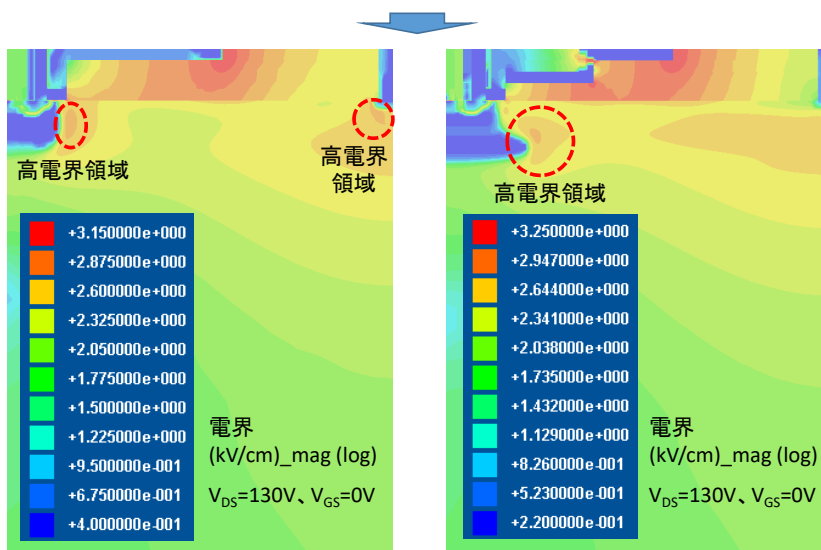
両デバイス共 100 V 動作には十分な耐圧

$R_{on,sp}$ - BV_{DS} 特性



■ 提案デバイスの $R_{on,sp}$ - BV_{DS} 特性
⇒ 先端レベル

ブレイクダウン時の電界分布



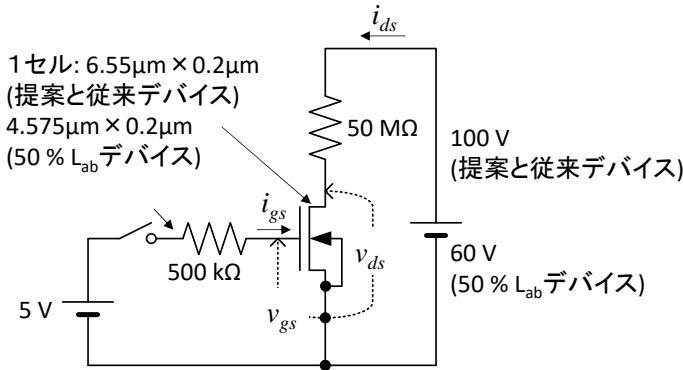
従来 LDMOS

提案 LDMOS

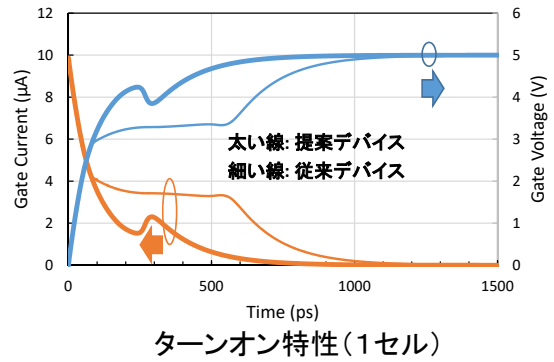
■ 高電界領域
(ブレイクダウン箇所)
⇒ 提案デバイスの高電界位置は
従来デバイスのものより深い

提案デバイスのESD耐性は
従来デバイスより高いと推定

ターンオン特性とFOM



ターンオン特性を求めるための回路



■ゲート電荷密度 Q_g

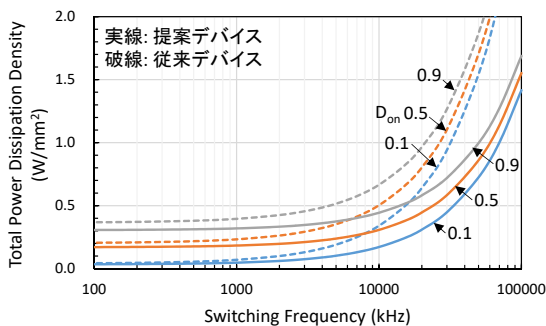
- Q_g (従来デバイス) = 2.09 nC/mm^2
- Q_g (提案デバイス) = 1.06 nC/mm^2

■FOM (オン抵抗 × ゲート電荷)

- FOM (従来デバイス) = $373 \text{ m}\Omega \cdot \text{nC}$
- FOM (提案デバイス) = $159 \text{ m}\Omega \cdot \text{nC}$

37

P_{TD} のスイッチング周波数依存性



P_{TD} のスイッチング周波数依存性

1周期当たりのスイッチング損失密度 E_{SW} の成分

| デバイス | E_{GD} (J/mm^2) | $E_{ON/OFF}$ (J/mm^2) | E_{SW} (J/mm^2) |
|------|------------------------------|----------------------------------|------------------------------|
| 従来 | 1.05×10^{-8} | 1.96×10^{-8} | 3.01×10^{-8} |
| 提案 | 5.31×10^{-9} | 5.32×10^{-9} | 1.06×10^{-8} |

E_{GD} : ゲートドライビング損失密度

$E_{ON/OFF}$: ターンオンとオフ期間のスイッチング損失密度

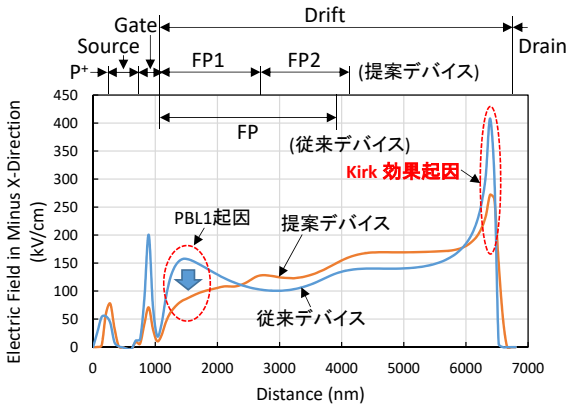
$E_{SW} = E_{GD} + E_{ON/OFF}$

■ P_{TD} (提案デバイス) < P_{TD} (従来デバイス)

∴ 提案デバイスの **低 R_{on}** と **低 E_{SW}**

38

表面に沿った電界分布 (1): CE 低減



表面に沿った電界分布 ($V_{DS}=80V, V_{GS}=6V$)

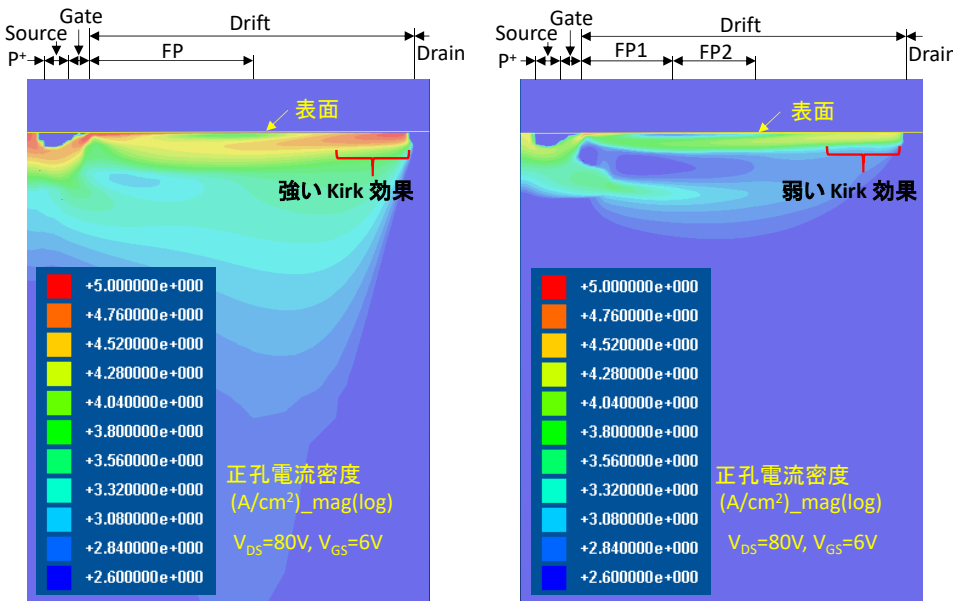
- E_g : ゲート側ドリフト端近傍の電界
- $V_{DS,INT}$: 真性MOSFETのドレイン電圧
- N_D : n-ドリフト領域の濃度

- ① E_g (提案) < E_g (従来) (∵ **PBL1**)
⇒ 提案デバイスで電子電流発生(ゲート近傍)低減
- ② $\Delta V_{DS,INT}$ (提案) < $\Delta V_{DS,INT}$ (従来) (∵ **Dual RESURF**)
⇒ 提案デバイスでソース電流(電子電流)低減
- ③ N_D (提案) > N_D (従来) (∵ **NDL2 と 3**)
⇒ 提案デバイスでKirk効果の低減

■ ドレイン側ドリフト端近傍の電界 E_d :
 E_d (提案) \ll E_d (従来) (∵ **Kirk effect**)

CE(提案) \ll CE(従来)

正孔電流密度分布 ($V_{GS}=6V$)



従来 LDMOS

提案 LDMOS

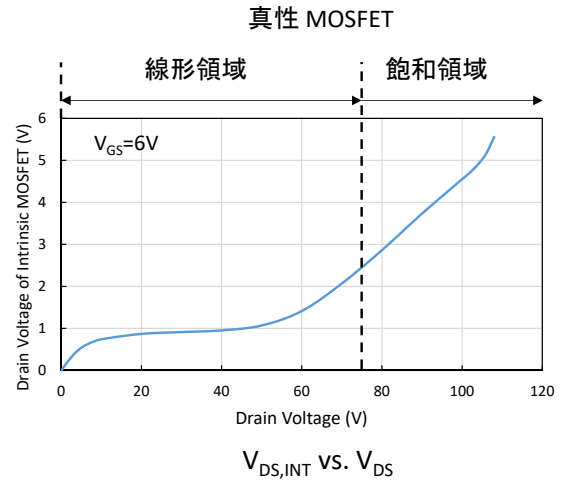
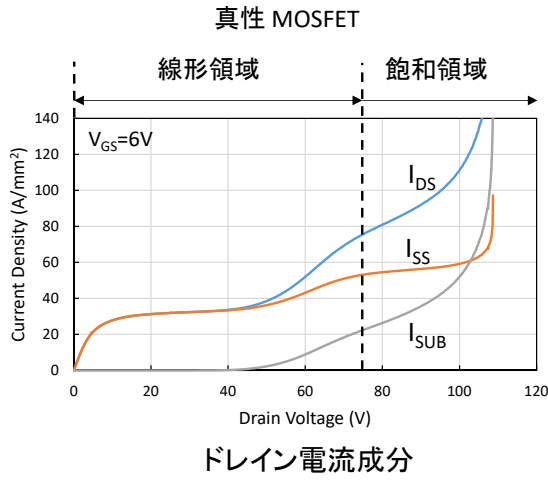
■ ゲート側ドリフト領域端近傍の正孔電流密度 J_{hg}

$$J_{hg}(\text{従来}) > J_{hg}(\text{提案})$$

■ ドレイン側ドリフト領域端近傍の正孔電流密度 J_{hd}

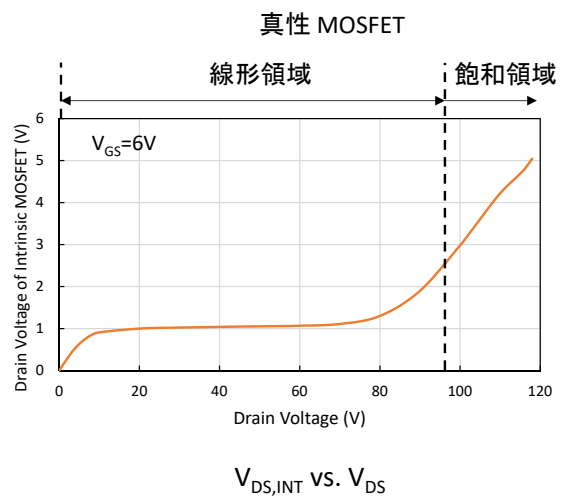
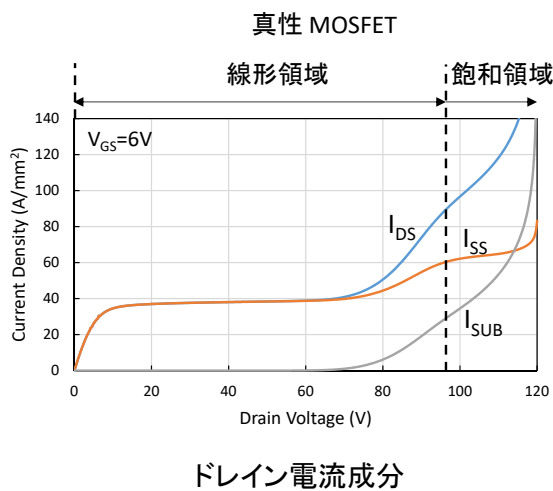
$$J_{hd}(\text{従来}) > J_{hd}(\text{提案})$$

従来LDMOSのドレイン電流成分と $V_{DS,INT}$ vs. V_{DS} ($V_{GS}=6V$)



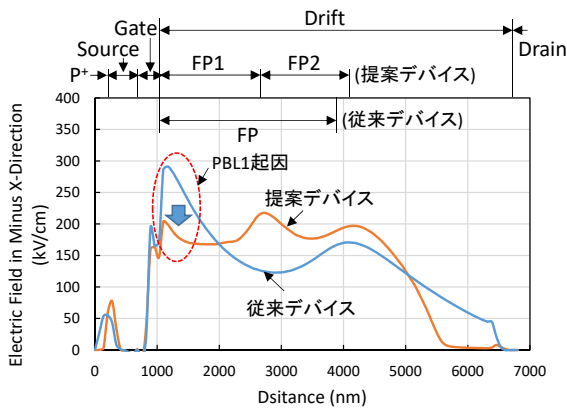
41

提案LDMOSのドレイン電流成分と $V_{DS,INT}$ vs. V_{DS} ($V_{GS}=6V$)



42

表面に沿った電界分布 (2): ホットキャリア耐性



■ ゲート側ドリフト端近傍の電界 E_g

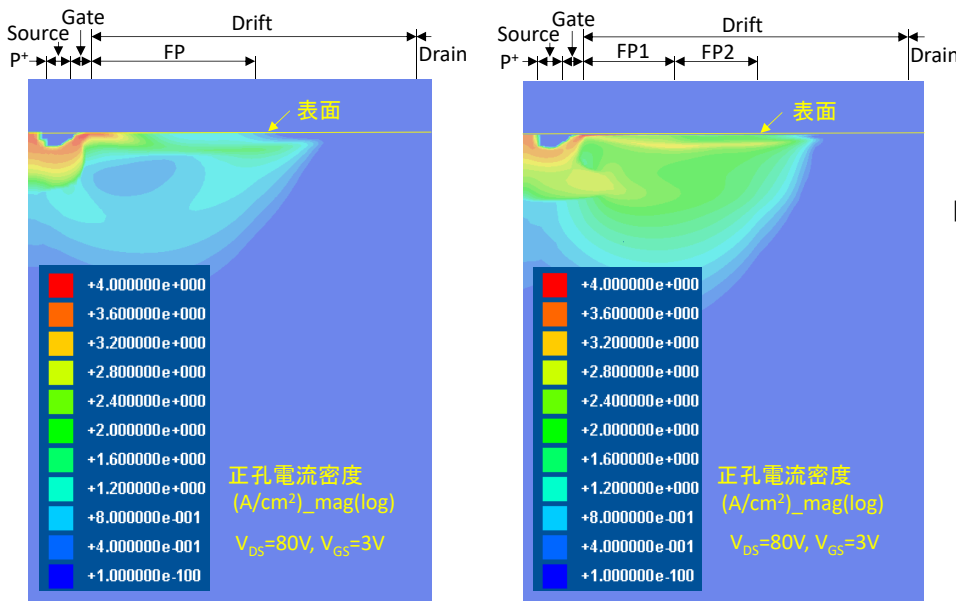
$$E_g (\text{提案デバイス}) < E_g (\text{従来デバイス}) (\because \text{PBL1})$$



真性MOSFETのホットキャリア耐性
提案デバイス > 従来デバイス

表面に沿った電界分布 ($V_{DS}=80V, V_{GS}=3V$)

正孔電流密度分布 ($V_{GS}=3V$)



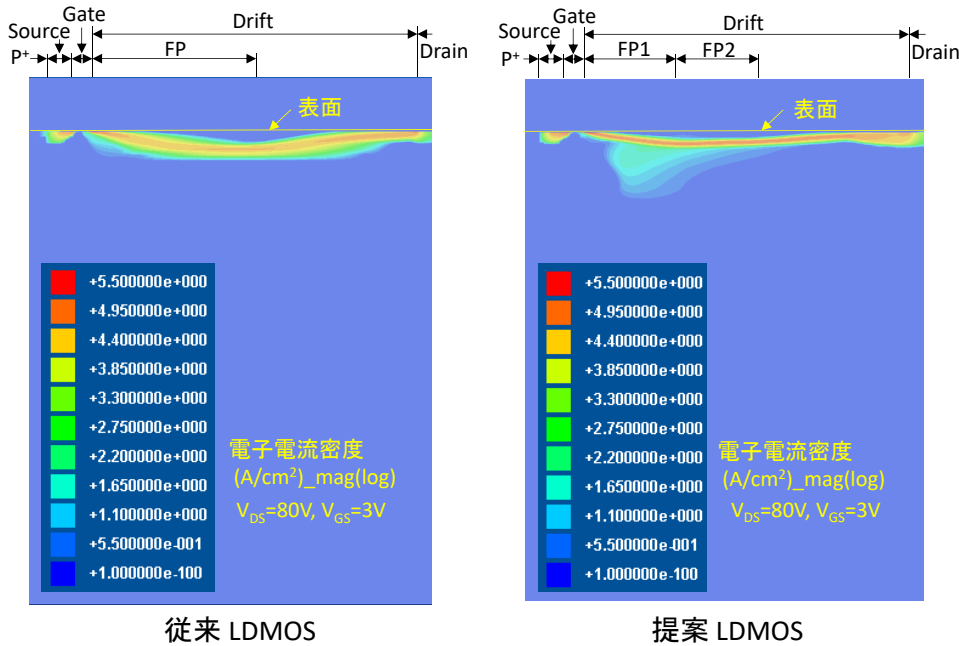
■ ゲート側ドリフト端近傍の正孔電流密度 J_{hg}

$$J_{hg} (\text{従来}) > J_{hg} (\text{提案})$$

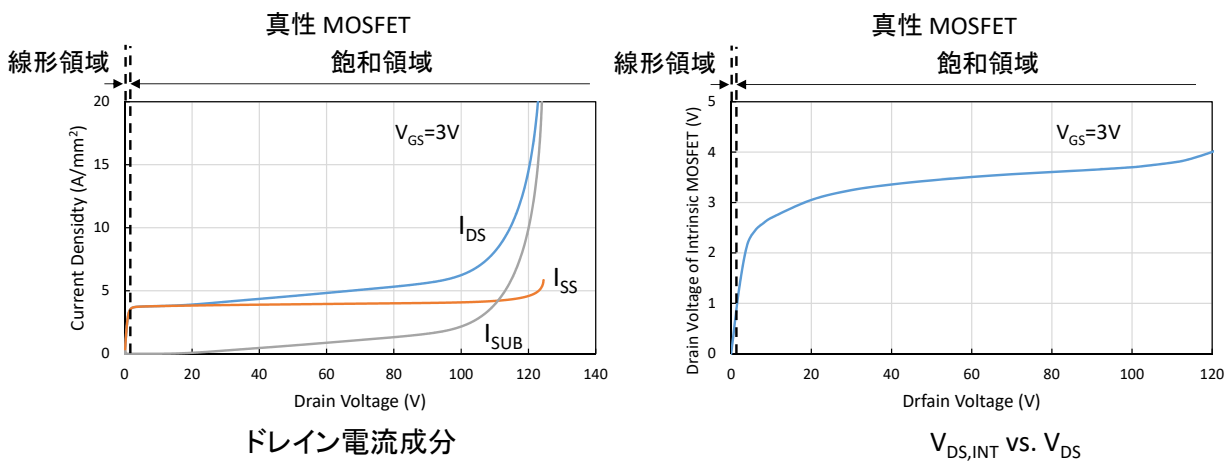
従来 LDMOS

提案 LDMOS

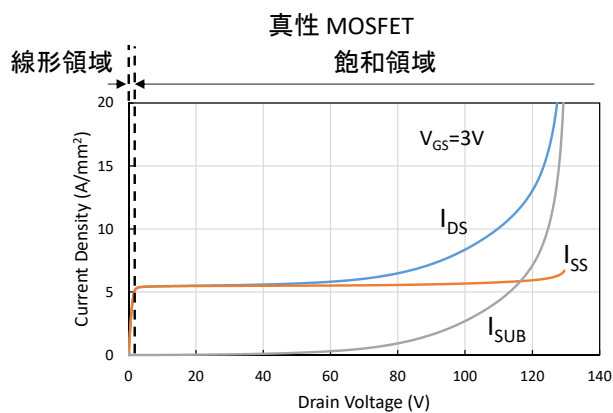
電子電流密度分布 ($V_{GS}=3V$)



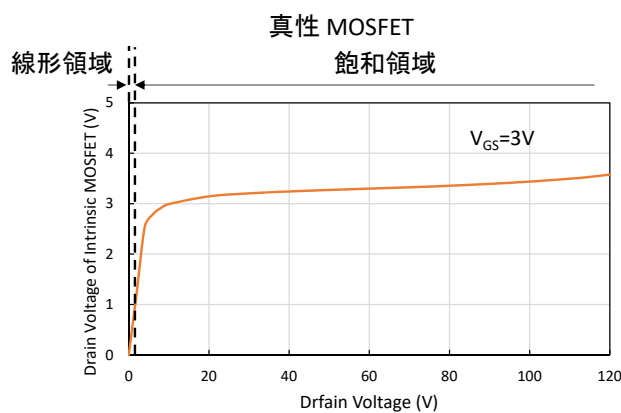
従来LDMOSのドレイン電流成分と $V_{DS,INT}$ vs. V_{DS} ($V_{GS}=3V$)



提案LDMOSのドレイン電流成分と $V_{DS,INT}$ vs. V_{DS} ($V_{GS}=3V$)



ドレイン電流成分



$V_{DS,INT}$ vs. V_{DS}

47

提案した 60-100 V LDMOS特性のまとめ

- 60-100 V 動作に対し、十分に CE を抑制し、広い SOA を持つ
- $R_{on,sp} - BV_{DS}$ 特性は先端レベルにある
- 非常に低い FOM (伝導損失とスイッチング損失の抑制) を持つ
- 高ホットキャリア耐性が見込まれる
- スケーラブルデバイスであることから、
低プロセスコストで回路設計の自由度が高い

48

まとめ

提案した 20-40 V 及び 60-100 V LDMOSは以下の特長を持つ

- Dual RESURF構造により、十分なCE抑制(広SOA)、高ホットキャリア耐性、低特性オン抵抗が得られる
- GFP構造により、大幅なスイッチング損失低減が図られる
- 過酷な環境の車載用途に相応しい
- スケーラブルデバイスであることから、低プロセスコストで回路設計の自由度が高い

49

謝辞

本研究を進めるにあたり、3D-TCADを使用させて頂いたアドバンスソフト株式会社様に深く感謝を申し上げます。

この3D-TCADは、国立研究開発法人科学技術振興機構 A-STEPプログラムの助成を受けてアドバンスソフト株式会社様で開発されました。

50

参考文献

- (1) Jun-ya Kojima, Jun-ichi Matsuda, Masataka Kamiyama, Nobukazu Tsukiji, and Haruo Kobayashi, "Optimization and Analysis of High Reliability 30-50V Dual RESURF LDMOS," International Conference on Solid-State and Integrated Circuit Technology (**ICSICT**), Oct. 25-28, 2016, Hangzhou, China, pp. 392-394, 2016.
- (2) Jun-ichi Matsuda, Jun-ya Kojima, Nobukazu Tsukiji, Masataka Kamiyama, and Haruo Kobayashi, "A Low Switching Loss 40 V Dual RESURF LDMOS Transistor with Low Specific On-Resistance," International Conference on Mechanical, Electrical and Medical Intelligent System (**ICMEMI**), Nov. 29-Dec.1, 2017, Kiryu, Japan, I01-05, 2017.
- (3) Jun-ichi Matsuda, Jun-ya Kojima, Nobukazu Tsukiji, Masataka Kamiya, and Haruo Kobayashi, "Low Switching Loss and Scalable 20-40 V LDMOS Transistors with Low Specific On-Resistance," International Conference on Technology and Social Science (**ICTSS**), Apr. 18-20, Kiryu, Japan, I03-02, 2018.
- (4) Jun-ichi Matsuda, Anna Kuwana, Jun-ya Kojima, Nobukazu Tsukiji, and Haruo Kobayashi, "Wide SOA and High Reliability 60-100 V LDMOS Transistors with Low Switching Loss and Low Specific On-Resistance," International Conference on Solid-State and Integrated Circuit Technology (**ICSICT**), Oct. 31-Nov. 3, Qingdao, China, S25-6, 2018.

半導体デバイス3次元TCADシステム Advance/TCAD新機能による事例紹介2：

— 熱解析機能による事例紹介 —

小山田 隆行（主事研究員）

2018年12月25日（火）
アドバンスソフト株式会社



【目次】 本発表の概要

| | | |
|--------|----------------------------------|----|
| 【序】 | 半導体デバイスの設計における電気・熱連成解析の重要性 | 3 |
| 【目的】 | 本開発業務の目的と内容 | 4 |
| 【理論】 | Advance/TCAD 熱解析の基礎方程式 | 5 |
| 【理論】 | 半導体デバイスにおける内部発熱 | 6 |
| 【理論】 | 熱抵抗境界条件の実装 | 7 |
| 【精度検証】 | 熱量収支バランスの整合性 | 8 |
| 【計算方法】 | 熱伝導方程式の反復計算 | 9 |
| 【計算結果】 | 熱伝導率 κ の温度依存性の影響 | 13 |
| 【計算結果】 | 電流-電圧特性に対する内部発熱の影響 | 15 |
| 【まとめ】 | | 16 |





- 電子機器:
- 小型化・高集積化に伴う**熱問題**
 - 主要な発熱源 → 半導体デバイス



カーエレクトロニクス分野: パワーSi MOSFETが電流制御に用いられる

半導体デバイスの温度上昇に伴う性能の低下

誤動作
短寿命化

半導体デバイスの設計における**電気・熱連成解析の重要性**

◆ Poisson方程式: $\nabla(\epsilon \nabla \psi) = q(n - p - N_D + N_A)$

↑↓
連成

温度に間接的に依存

温度にあらわに依存

◆ 電流連続式: 電子: $J_n = qn\mu_n E + qD_n \nabla n + qn\mu_n P_n \nabla T_n$

↑↓
連成

正孔: $J_p = qp\mu_p E + qD_p \nabla p - qp\mu_p P_p \nabla T_p$

◆ 熱伝導方程式: $\rho C_p \frac{\partial T_L}{\partial t} = \nabla(\kappa \nabla T_L) + H_{total} \text{ (発熱項)}$

電流や静電ポテンシャル等に依存

ϵ : 誘電率 q : 素電荷
 ψ : 静電ポテンシャル
 n, p : キャリア濃度
 N_D, N_A : 不純物濃度
 μ_n, μ_p : 移動度
 D_n, D_p : 拡散係数
 P_n, P_p : ゼーベック係数
 T_n, T_p : 電子, 正孔温度
 T_L : 格子温度
 E : 電界
 添字: n=電子, p=正孔

【目的】 本開発業務の目的と内容

【機能実装】 Advance/TCADデバイスシミュレーターに、内部発熱のある場合の熱解析機能を強化するため、以下の新機能を追加実装する

| 熱解析の新機能 | 関連するインタフェース機能 |
|---------------------|-------------------------------|
| (1) 熱抵抗境界条件の実装※ | (4) 境界条件をdmsbファイルから設定する機能 |
| (2) 熱伝導方程式の反復計算機能 | (5) 熱解析の計算条件をdctlファイルから設定する機能 |
| (3) 熱伝導率の温度依存性(冪乗則) | (6) 熱物性値を dctlファイルから設定する機能 |

※ 熱解析の境界条件について、昨年のTCADセミナーの段階では、

- ① 温度固定境界条件と、② 断熱境界条件のみ実装

【精度検証】 実装した熱解析機能の精度と信頼性について、以下の精度検証を行う

- ✓ 熱収支バランスの検証
- ✓ 縦型パワー Si MOSFET についての文献(2次元モデル)との比較

【調査】 半導体デバイスの電流-電圧特性に対する内部発熱と冷却効率の影響の調査

内部発熱のある場合の熱伝導方程式の離散式

$$\rho_j (C_p)_j \frac{\partial T_j}{\partial t} V_j = \sum_a \tilde{\kappa}_{ja} \frac{T_a - T_j}{(d_{aj} + d_{ja})} S_{ja} + (H_{total})_j V_j$$

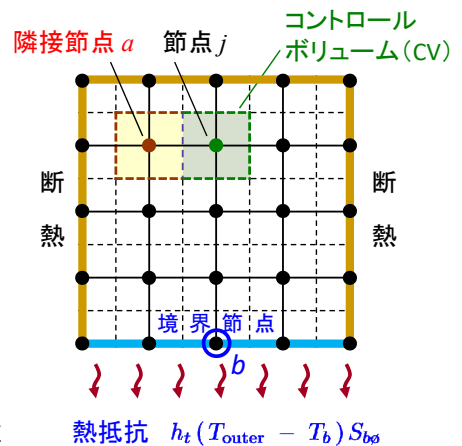
通常の非定常熱伝導方程式

内部発熱項

- ρ : 密度 [kg/m³]
- C_p : 比熱 [J/(kg·K)]
- T : 格子温度 [K]
- κ : 熱伝導率 [W/(m·K)]
- V : CVの体積 [m³]
- S : CV界面の面積 [m²]
- d : 隣接節点間の距離 [m]

添字 j : 節点 j に関する物理量
 添字 ja : 2節点 j, a に関する物理量

有限体積法の模式図



陰解法で時間微分を差分化して整理する

$$\left\{ \frac{\rho_j (C_p)_j V_j}{\Delta t} + \sum_a \frac{\tilde{\kappa}_{ja} S_{ja}}{d_{aj} + d_{ja}} \right\} T_j^{(t+\Delta t)} + \sum_a \left(-\frac{\tilde{\kappa}_{ja} S_{ja}}{d_{aj} + d_{ja}} \right) T_a^{(t+\Delta t)} = \frac{\rho_j (C_p)_j V_j}{\Delta t} T_j^{(t)} + (H_{total})_j V_j$$

対角係数

非対角係数

右辺(既知の項)

Copyright ©2018 AdvanceSoft Corporation. All rights reserved.

【理論】 半導体デバイスにおける内部発熱

$$H_{total} = H_J + H_T + H_{GR} + H_P$$

ジュール熱 (主要) トムソン効果 電子・正孔対の再結合効果 ペルチェ効果 (実装予定)

- ◆ **ジュール熱** : 抵抗を持つ導体に電流を流した時に生じる発熱

$$H_J = \mathbf{E} \cdot (\mathbf{J}_n + \mathbf{J}_p) = -\nabla\psi \cdot (\mathbf{J}_n + \mathbf{J}_p)$$

電界 電流密度 静電ポテンシャル

添字 n : 電子
 添字 p : 正孔

- ◆ **トムソン効果** : 熱電効果の1つで温度差のある2点に電流を流すと熱を吸収・発生する

$$H_T = q(R - G) T_L (P_n + P_p)$$

電子・正孔対の再結合率 ゼーベック係数

- ◆ **電子・正孔対の再結合効果** : 電子-正孔対が再結合する時のエネルギーが熱となる現象

$$H_{GR} = (R - G) (E_{fn} + E_{fp})$$

擬フェルミポテンシャルエネルギー

- ◆ **ペルチェ効果** : 異なる導体を接合して、電流を流すと接合点で熱の吸収・放出が起こる

$$H_P = -T_L (\mathbf{J}_n \cdot \nabla P_n + \mathbf{J}_p \cdot \nabla P_p)$$

Copyright ©2018 AdvanceSoft Corporation. All rights reserved.

【理論】 熱抵抗境界条件の実装

熱抵抗条件： 熱流束が外気温度 T_{outer} と境界温度 T_b の差に比例

$$q_{b\phi} = \left[\kappa \nabla T_{b\phi} \right] \cdot \mathbf{n} = \frac{(T_{outer} - T_b)}{R_{hc}} = h_t (T_{outer} - T_b)$$

熱流束

※ 熱抵抗 R_{hc} [$m^2 \cdot K/W$] は、
熱伝達率 h_t [$W/(m^2 \cdot K)$] の逆数。 $R_{hc} = \frac{1}{h_t}$

熱伝達率 h_t [$W/(m^2 \cdot K)$]： 物質と流体の間の熱の伝わり易さ。

熱伝達率 h_t は物性値ではなく、流体の種類、流れの状態、
物体の形状、表面の形状などに依存して変化する。

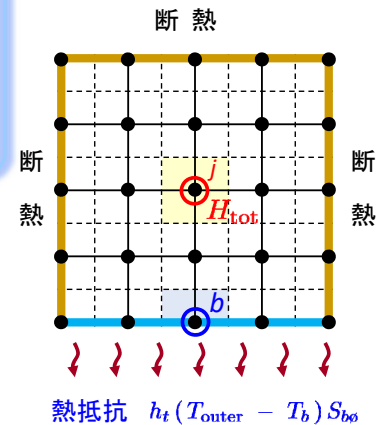
熱伝導率 κ [$W/(m \cdot K)$]： 物質内の熱の伝わり易さであり、物質に固有の物性値。

熱伝導方程式(熱抵抗条件の場合)

$$\rho_j (C_p)_j V_j \frac{\partial T_j}{\partial t} = \sum_a \frac{\tilde{\kappa}_{ja} S_{ja}}{(d_{aj} + d_{ja})} (T_a - T_j) + \delta_{jb} h_t (T_{outer} - T_j) S_{j\phi} + (H_{tot})_j V_j$$

境界条件は、メッシュ(dmesh) ファイルと、コントロール(dctl) ファイルから設定可能(複数設定可能)

Copyright ©2018 AdvanceSoft Corporation. All rights reserved.

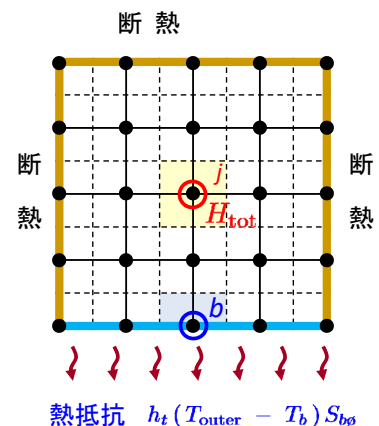


【精度検証】 熱量収支バランスの整合性

定常計算では、**内部発熱の総量 Q_1** と、**熱抵抗境界面から流出した熱の総量 Q_2** は、逆符号で一致する。 $Q_1 = -Q_2$
(ただし、その他の面は、断熱条件とする。)

内部発熱の総量 $Q_1 = \int_V (H_{tot}) V_{cv} dV$
体積分

熱抵抗境界面から流出した熱の総量 $Q_2 = \int_S h_t (T_{outer} - T_b) S_{b\phi} dS$
面積分



$V_G = 20$ [V], 熱伝達率 $h_t = 10^7$ [$W/(m^2 \cdot K)$] での精度検証の結果

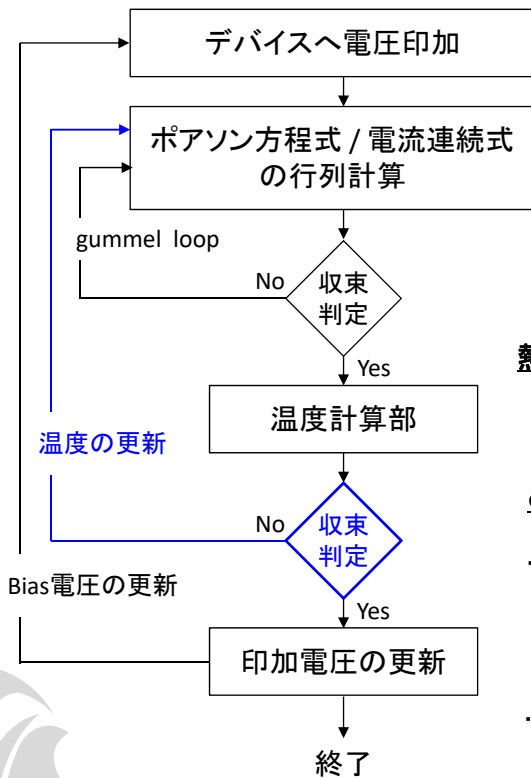
| 熱量 | $V_D = 5$ [V] | $V_D = 10$ [V] | $V_D = 15$ [V] |
|-------------|--------------------------------|--------------------------------|--------------------------------|
| Q_1 | $2.7847272273 \times 10^{-5}$ | $8.8960700416 \times 10^{-5}$ | $14.267493440 \times 10^{-5}$ |
| Q_2 | $-2.7847272277 \times 10^{-5}$ | $-8.8960700415 \times 10^{-5}$ | $-14.267493441 \times 10^{-5}$ |
| $Q_1 + Q_2$ | -3.7×10^{-15} | 1.2×10^{-15} | -5.0×10^{-15} |

熱量収支の保存則も満たされ、Advance/TCADでは定量的に信頼のできる熱解析が可能

Copyright ©2018 AdvanceSoft Corporation. All rights reserved.

【計算方法】 熱伝導方程式の反復計算

定常計算における熱解析の流れ図



熱解析の反復計算:

2つの収束判定方法を実装

- ① 最大温度変化を用いた収束判定
- ② 2乗ノルムの比を用いた収束判定

定常熱解析: $0 = \nabla(\kappa \nabla T_L) + H_{total}$

非定常熱解析: $\rho C_p \frac{\partial T_L}{\partial t} = \nabla(\kappa \nabla T_L) + H_{total}$

※ Advance / TCAD には非定常熱解析も実装済み

熱伝導方程式の解の高速化・安定化の機能

● **最大反復回数** 熱解析の反復計算を iter_max 回で打ち切る

● **格子温度のCutoff** $|\Delta T_i^{(n+1)}| = \min(\text{cutoff}, |T_i^{(n+1)} - T_i^{(n)}|)$

・反復計算中の温度変化 $\Delta T_i^{(n+1)}$ の絶対値が
上限値以上の時に、温度変化を上限値で打ち切る

● **格子温度のMixing Parameter** $T_i^{(n+1)} = (1 - \alpha) \tilde{T}_i^{(n+1)} + \alpha T_i^{(n)}$

・反復計算の前回の温度 $T_i^{(n)}$ と最新の温度 $\tilde{T}_i^{(n+1)}$ を混合率 α ($0 \leq \alpha < 1$) で混ぜる。

上記の計算条件は、コントロール(dctl)ファイルから設定可能

【計算結果】 熱伝導率 κ の温度依存性の影響

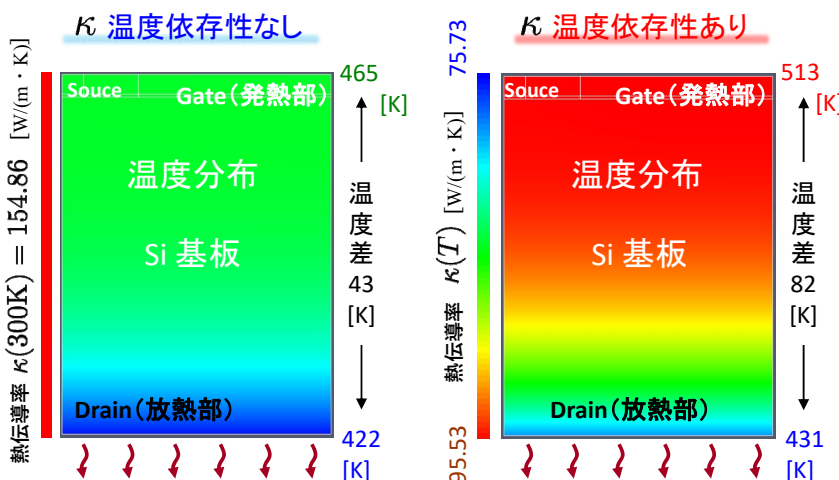
熱伝導率の冪乗則

$$\kappa_L(T_L) = \kappa_0 \left(\frac{T_L}{T_0} \right)^\zeta$$

κ_0 : 基準温度における熱伝導率 [W/(m·K)]

T_L : 格子温度 [K]、 T_0 : 基準温度 [K]

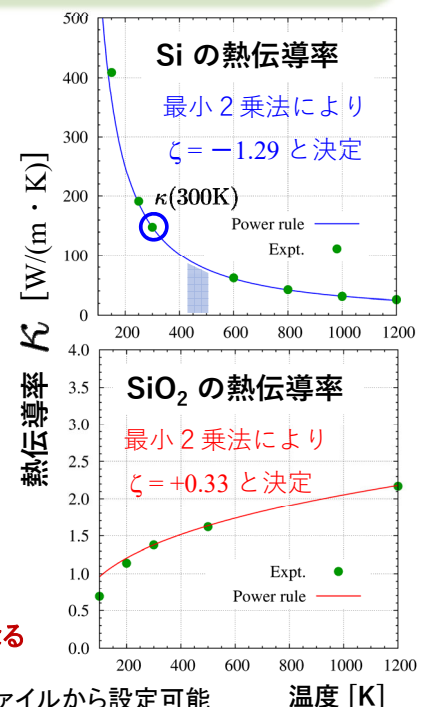
ζ : 冪乗則の指数 [-] → 実験値等から最小2乗法で決定する

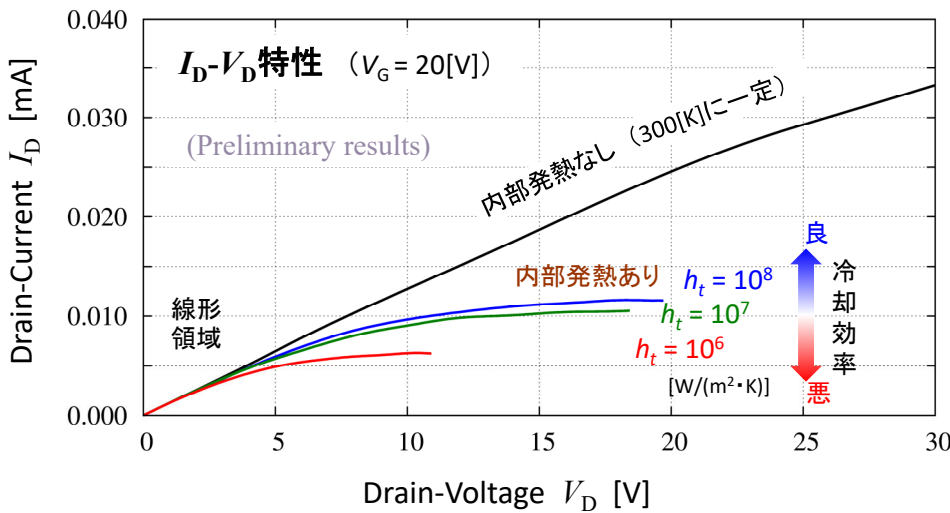


熱抵抗境界条件: 熱伝達率 $h_t = 10^6$ [W/(m²·K)]

外気温度 $T_{outer} = 300$ [K]

熱伝導率の温度依存性を考慮することで、デバイス内の温度差が顕著になる





※ “内部発熱なし” の場合は、デバイス内の全領域で格子温度 T_L が常に300[K] に保たれている (理想的状態)

- ◆ 線形領域では、“内部発熱なし” と“内部発熱あり” で、 I_D - V_D 特性は、ほぼ同様
- ◆ “内部発熱なし” と比べて、“内部発熱あり” の結果では、飽和電流値が低下する
- ◆ 熱伝達率 h_t が大きくなると、飽和電流値は大きくなり、“内部発熱なし” の結果に近づく

→ 半導体デバイスの冷却効率が、飽和電流などの電流-電圧特性のパフォーマンスに影響する

Copyright ©2018 AdvanceSoft Corporation. All rights reserved.

【まとめ】

Advance/TCAD デバイスシミュレーターに、内部発熱のある場合の熱解析機能を強化するため、新機能を追加実装した。これにより熱解析の対象範囲が広がった。

| 熱解析の新機能 | 関連するインターフェース機能 |
|----------------------|-------------------------------|
| (1) 熱抵抗境界条件の実装 | (4) 境界条件をdmshファイルから設定する機能 |
| (2) 熱伝導方程式の反復計算機能 | (5) 熱解析の計算条件をdctlファイルから設定する機能 |
| (3) 熱伝導率の温度依存性 (冪乗則) | (6) 熱物性値を dctlファイルから設定する機能 |

実装した熱解析機能の精度と信頼性を検証するため、以下の精度検証を行った。

✓ 熱収支バランスの検証

→ 内部発熱の総量 Q_1 と、熱抵抗境界面から流出した熱の総量 Q_2 が 10^{-15} 程度で一致

✓ 縦型パワー Si MOSFET についての文献値 (2次元モデル) との比較

→ 熱伝達率 $h_t = 10^5$ [W/(m²·K)] の Drain電圧 $V_D = 15$ [V] を除き、文献値と良く一致

電流-電圧特性に対する内部発熱の影響 → 内部発熱により飽和電流値が低下する

→ 半導体デバイスの冷却効率が、電流-電圧特性などのパフォーマンスに影響する

Copyright ©2018 AdvanceSoft Corporation. All rights reserved.

Advance/TCAD GUIの機能紹介

第1事業部 技術第6部 小瀬村 大亮

半導体デバイス3次元TCADシステムAdvance/TCAD

最新動向セミナー

2018年12月25日 (火)

アドバンスソフト株式会社

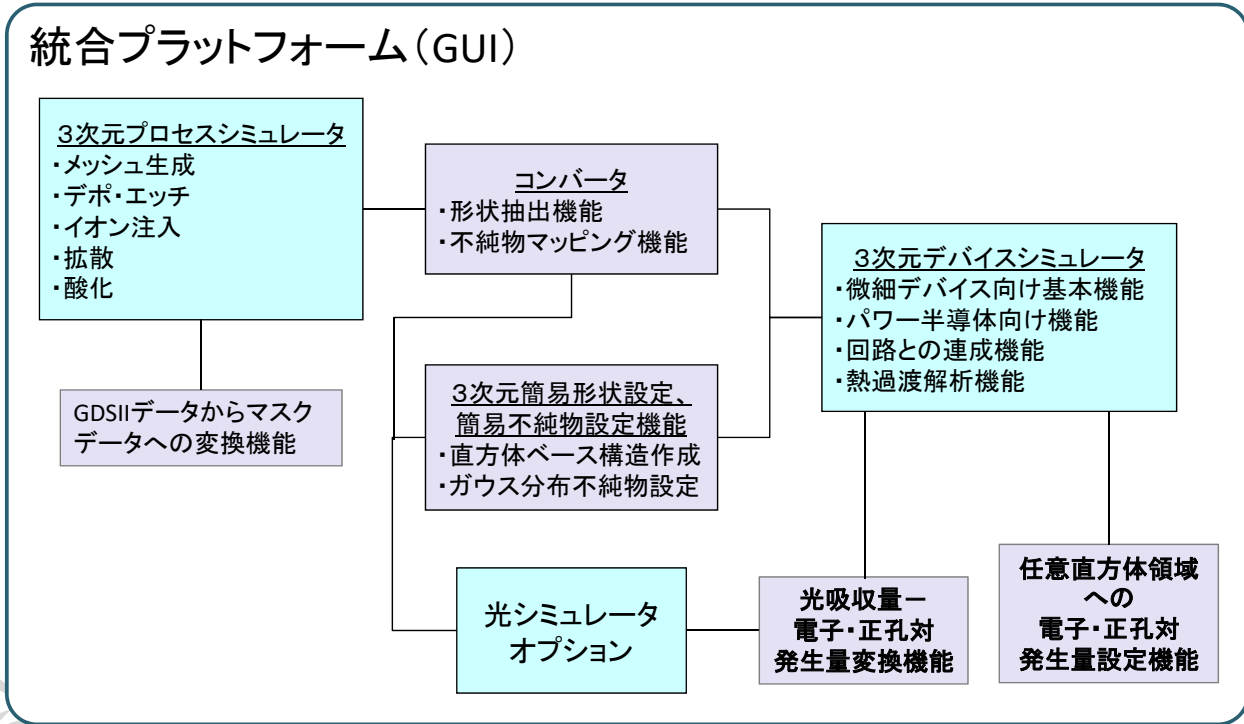


目次

1. Advance/TCADのシステム構成
2. 統合プラットフォーム(GUI)機能
 - プロセスシミュレータ基本操作
 - デバイスシミュレータ基本操作
 - その他の機能
3. 回路シミュレータとの連成解析GUI
4. 熱解析GUI
5. Advance/TCAD GUIバージョンアップ



Advance/TCADのシステム構成

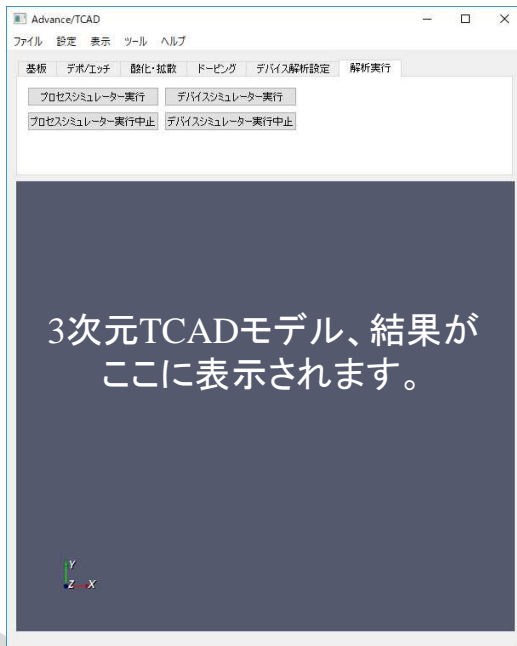


統合プラットフォーム (GUI) 機能

| No | 項目 | 内容 |
|----|------------------------------------|---|
| 1 | プロセスシミュレータ用 入力データ作成支援 | プロセスシミュレータに必要なパラメータを設定して、コントロールファイルを出力します (pctlファイル)。四面体非構造格子 (メッシュ) を作成して、メッシュファイルを出力します (pmshファイル)。 |
| 2 | デバイスシミュレータ用 入力データ作成支援 | デバイスシミュレータに必要なパラメータを設定して、コントロールファイルを出力します (pctlファイル)。直方体構造格子 (メッシュ) を作成して、メッシュファイルを出力します (dmshファイル)。 |
| 3 | デバイスシミュレータ用 モデル作成 | 簡易形状作成、ガウス分布を使用した不純物設定、その他の機能を使用してデバイスシミュレータ用のモデルを作成します。この機能を使用する場合、プロセスシミュレータで構造、および不純物分布を計算する必要はありません。 |
| 4 | シミュレーション結果の 可視化 | 表示する3次元計算結果 (物性値) を選択できます。カラーマップ、およびカラーマップの設定ができます。ベクトル表示 (電流密度、電場) ができます。断面の分布を表示できます。特定線、および特定点における結果を抽出できます。グラフ表示ができます (I-Vカーブなど)。 |
| 5 | プロセスシミュレータと デバイスシミュレータの 接続機能 | プロセスシミュレータで使用した四面体非構造格子をデバイスシミュレータで使用する直方体構造格子に変換します。この時、プロセスシミュレータで作成した構造、および不純物の情報がデバイスシミュレータ用のモデルに引き継がれます。 |

統合プラットフォーム(GUI)機能

メイン画面



Copyright ©2018 AdvanceSoft Corporation. All rights reserved.

| タブ | ボタン | プロセスSim/デバイスSim |
|----------|---------------------|-----------------|
| 基板 | 基板設定 | プロセスSimとデバイスSim |
| デポ/エッチ | プロセスシミュレーション用メッシュ作成 | プロセスSim |
| | デポジションパラメータ設定 | プロセスSim |
| | エッチングパラメータ設定 | プロセスSim |
| | 簡易形状作成 | デバイスSim |
| 酸化・拡散 | 酸化・拡散パラメータ設定 | プロセスSim |
| ドーピング | イオン注入パラメータ設定 | プロセスSim |
| | 簡易イオン注入設定 | プロセスSim |
| | ガウス分布ドーピング設定 | デバイスSim |
| デバイス解析設定 | メッシュ設定 | デバイスSim |
| | 円形メッシュ設定 | デバイスSim |
| | 材料定数設定 | デバイスSim |
| | 界面設定 | デバイスSim |
| | システム設定 | デバイスSim |
| | 電極設定 | デバイスSim |
| | バイアススケジュール設定 | デバイスSim |
| | 計算条件設定 | デバイスSim |
| | 出力制御設定 | デバイスSim |
| | 測定点編集 | デバイスSim |
| | 回路データ | デバイスSim |
| | 熱解析設定 | デバイスSim |
| 解析実行 | プロセスシミュレータ実行 | プロセスSim |
| | プロセスシミュレータ実行中止 | プロセスSim |
| | デバイスシミュレータ実行 | デバイスSim |
| | デバイスシミュレータ実行中止 | デバイスSim |

5

目次

1. Advance/TCADのシステム構成
2. 統合プラットフォーム(GUI)機能
 - プロセスシミュレータ基本操作
 - デバイスシミュレータ基本操作
 - その他の機能
3. 回路シミュレータとの連成解析GUI
4. 熱解析GUI
5. Advance/TCAD GUIバージョンアップ

Copyright ©2018 AdvanceSoft Corporation. All rights reserved.

6

プロセスシミュレータ機能

Advance/TCADプロセスシミュレータ機能一覧

| 項目 | 内容 |
|-----------|---|
| メッシュ作成機能 | • 格子密度制御機能付き非構造四面体メッシャー |
| 3次元形状生成機能 | • テトラメッシュ使用。 • 距離関数を用いた幾何学処理。 • 等方デポ・エッチ、異方デポ・エッチ、平坦化デポ・エッチ。 |
| イオン注入機能 | • 平均自由行程モデル (アモルファス材質)。 • 原子間相互作用: ZBL ポテンシャル。 • 原子・電子間相互作用: LSS、Firsov、VIENNA モデル。 • 熱振動モデル: Debyeモデルによる熱振動振幅。 • 結晶破壊モデル: Kinchin-Peace モデル。 |
| 拡散機能 | • 非平衡反応拡散モデル。 • Fermiモデル。 |
| 酸化機能 | • 粘弾性モデルによる酸化-変形連成解析機能。 |

プロセスシミュレータ基本操作



プロセスレシピ編集

ファイル: ④プロセスレシピ作成

基板設定: ⑤プロセスSim実行

メッシュファイル: meshcp.msh

□ リスタート

プロセスステップ

| プロセス | ステップ名 | 使用マスク | ソルバー名 | 形状追跡条件 | 出力ファイル名 |
|------|--------|---------------|-------------------|---------|---------|
| 1 | デポジション | DEPO_OX1 | | SHAPER1 | STEP01 |
| 2 | デポジション | DEPO_GATE | gate_polySi.msk | SHAPER1 | STEP02 |
| 3 | イオン注入 | II_As | | | STEP03 |
| 4 | デポジション | DEPO_OX2 | SD.msk | SHAPER1 | STEP04 |
| 5 | イオン注入 | II_P | | | STEP05 |
| 6 | 酸化・拡散 | DIFFUSE1 | LINEAR, NONLINEAR | | STEP06 |
| 7 | デポジション | DEPO_OX3 | | SHAPER1 | STEP07 |
| 8 | エッチング | ETCH_CONTACTG | gate.msk | SHAPER1 | STEP08 |
| 9 | エッチング | ETCH_CONTACTS | source.msk | SHAPER1 | STEP09 |
| 10 | エッチング | ETCH_CONTACTD | drain.msk | SHAPER1 | STEP10 |
| 11 | デポジション | DEPO_METAL | | SHAPER1 | STEP11 |

複製 削除

デポジション

デポジション

エッチング

酸化・拡散

イオン注入

簡易不純物設定

デポジション

追加

プルダウンメニューからプロセスを選択して、「追加」ボタンを押すと、レシピにプロセスが追加される。

シリアル計算 並列計算

並列数: 1

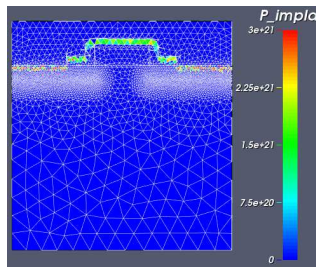
シミュレーション実行

デポ、エッチ、拡散、イオン注入の各プロセスステップ毎に計算条件を設定する。

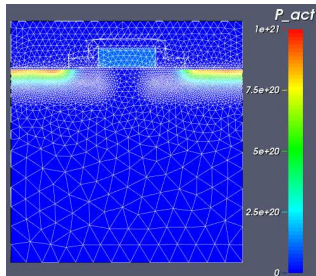
- プロセス
0. 基板設定
 1. SiO₂絶縁膜デポ
 2. ゲートpoly-Siデポ
 3. エクステンション(As)イオン注入
 4. サイドウォール酸化膜デポ
 5. S/D (P)イオン注入
 6. 熱処理 (拡散)
 7. SiO₂デポ
 8. コンタクトホール(gate)エッチ
 9. コンタクトホール(source)エッチ
 10. コンタクトホール(drain)エッチ
 11. Alデポ

プロセスシミュレーション結果

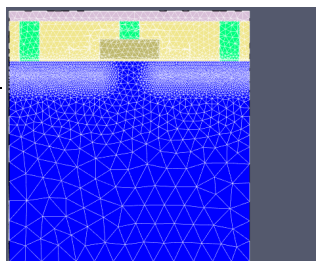
プロセス5
イオン注入後
P分布



プロセス6
熱処理後
P分布



プロセス11
全ステップ終了
材質情報



プロセスステップ毎に結果が出力されます。
(材質情報, 不純物, Amorphous rate)
リスタート機能が使えます。

リスタート機能

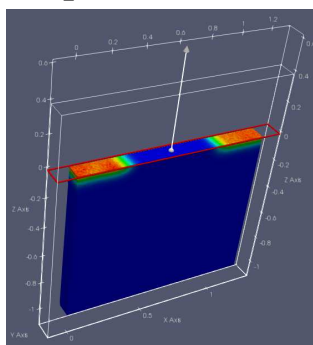
- プロセス
0. 基板設定
 1. SiO₂絶縁膜デポ → Data_1
 2. ゲートpoly-Siデポ → Data_2
 3. エクステンション(As)イオン注入 → Data_3
 4. サイドウォール酸化膜デポ
 5. S/D (P)イオン注入
 6. 熱処理(拡散)
 7. SiO₂デポ
 8. コンタクトホール(gate)エッチ
 9. コンタクトホール(source)エッチ
 10. コンタクトホール(drain)エッチ
 11. Alデポ
- リスタート機能
- 設定ミスあり
実行中止

結果ファイルの表示

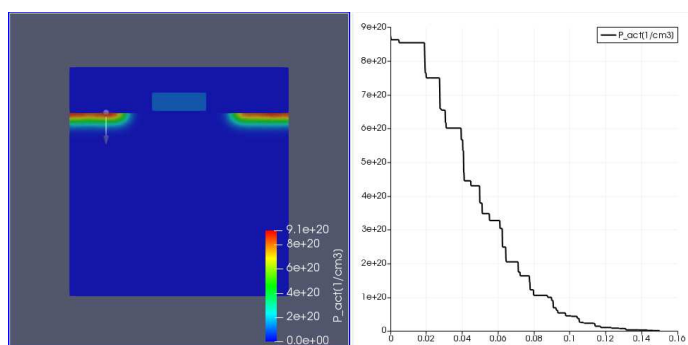
結果ファイルはVTK形式を採用しています。
ParaView⁽¹⁾で3Dデータの描画が可能です。

(1) ParaView: <https://www.paraview.org/>

Clip



Plot Over Line



| No | データファイル | 拡張子 | ParaView 表示Yes/No |
|----|--------------|------|----------------------|
| 1 | プロセスメッシュファイル | pms | Yes* |
| 2 | プロセス結果ファイル | pres | Yes* |
| 3 | デバイスメッシュファイル | dms | No |
| 4 | デバイス結果ファイル | dpst | Yes |

*pmsとpresファイルはパッケージに含まれる実行プログラムを使用することによりVTK形式に変換できます。

プロセスシミュレータで扱える材質

プロセスシミュレータでは下記の材質名を読み込むことが可能です。
 その他に”INSULATOR”と”GENERIC”というキーワードを使用可能です。
 上記キーワードにパラメータを設定することで任意材質に対応可能です。

| 属性 | 材質番号 | 固体材質名 | デフォルト値の有無* |
|-----|------|------------------------|------------|
| 半導体 | 1 | Si | 有(結晶) |
| | 2 | poly_Si | 有(非晶質) |
| | 3 | GaAs | 有(非晶質) |
| | 4 | GaAl _{0.1} As | 有(非晶質) |
| | 5 | GaAl _{0.2} As | 有(非晶質) |
| | 6 | GaAl _{0.3} As | 有(非晶質) |
| | 7 | AlAs | 有(非晶質) |
| | 8 | Ge | 有(結晶) |
| | 9 | SiGe _{0.3} | 有(非晶質) |
| | 10 | SiGe _{0.5} | 有(非晶質) |
| | 11 | SiGe _{0.7} | 有(非晶質) |
| | 12 | 3C-SiC | 有(結晶) |
| | 13 | 4H-SiC | 有(結晶) |
| | 14 | 6H-SiC | 有(結晶) |

| 属性 | 材質番号 | 固体材質名 | デフォルト値の有無* |
|-----|------|--------------------------------|------------|
| 金属 | 15 | Al | 有(非晶質) |
| | 16 | Cu | 有(非晶質) |
| | 17 | Ti | 有(非晶質) |
| | 18 | Ta | 有(非晶質) |
| | 19 | Mo | 有(非晶質) |
| | 20 | W | 無 |
| | 21 | TiN | 無 |
| 絶縁体 | 22 | SiO ₂ | 有(非晶質) |
| | 23 | Si ₃ N ₄ | 有(非晶質) |
| | 24 | Ta ₂ O ₅ | 有(非晶質) |
| | 25 | Al ₂ O ₃ | 有(非晶質) |
| | 26 | Air | — |

*イオン注入計算のデフォルト値の有無を示しています。

目次

1. Advance/TCADのシステム構成
2. 統合プラットフォーム(GUI)機能
 - プロセスシミュレータ基本操作
 - デバイスシミュレータ基本操作
 - その他の機能
3. 回路シミュレータとの連成解析GUI
4. 熱解析GUI
5. Advance/TCAD GUIバージョンアップ

デバイスシミュレータ機能

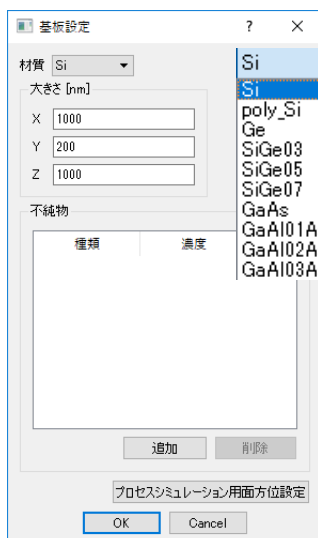
Advance/TCADデバイスシミュレータ機能一覧

| 項目 | 内容 |
|-------------------------------------|--|
| 使用可能な材質 (※材料定数を変更することで別材質も設定可能。) | 半導体: Si, poly-Si, Ge, Si _x Ge _{1-x} , GaAs, AlAs, Ga _x Al _{1-x} As, 3C-SiC, 4H-SiC, 6H-SiC, GaN, GaAl _x N _{1-x} , AlN 絶縁体: SiO ₂ , Si ₃ N ₄ , Ta ₂ O ₅ , Al ₂ O ₃ , Air 金属: Cu, Al, Ti, Ta, Mo, W, TiN |
| 解析機能 | <ul style="list-style-type: none"> 電子・正孔密度の移流拡散方程式 + ポアソン方程式 ガンメル法、カップル法 定常解析、過渡解析機能(タイムステップ制御) 不純物モデル(浅い準位から深い準位までに対応) 界面準位モデル(界面再結合, 界面電荷を考慮。連続準位の設定が可能)。 ヘテロ接合に対応。 量子効果補正 (Feynmanの実効ポテンシャル、直接トンネリング) 電極特性(オーミック, ショットキー接合に対応)。 仮想ライフタイム法、バイアス粗密調整機能 並列計算 線形回路素子との連成解析 |
| 基本物性のモデル | <ul style="list-style-type: none"> 誘電率、電子親和力、質量モデル、バンドギャップモデルなど |
| 移動度モデル | <ul style="list-style-type: none"> MOS反転層モデル、折れ線近似、指数飽和型、定数型など |
| 生成・再結合モデル | <ul style="list-style-type: none"> SRH, Auger, 直接再結合、深い準位による再結合、二準位間再結合、GIDL, 衝突電離など |

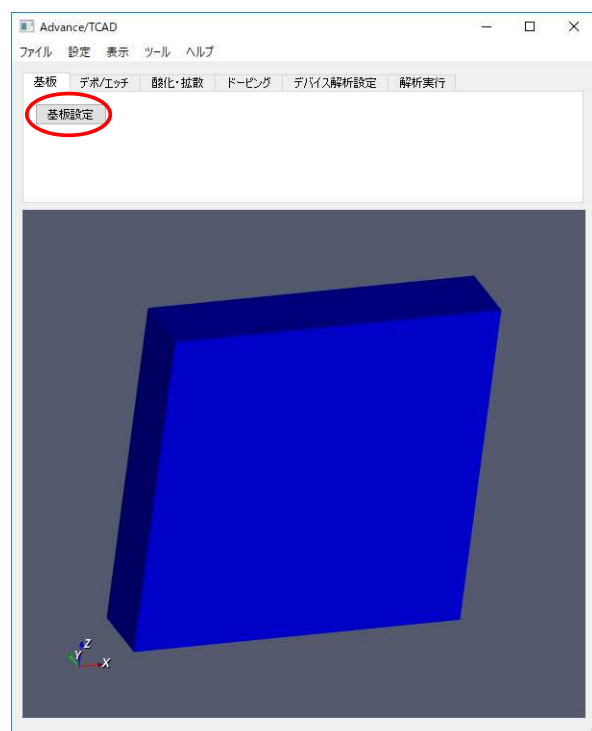
デバイスシミュレータ基本操作

デバイスシミュレータ実行までの流れ

1. 基板設定 ←
2. 簡易形状作成
3. ガウス分布ドーピング設定
4. メッシュ設定
5. バイアススケジュール設定
6. デバイスシミュレーション実行



使用可能な材質については後のスライドに記載します。



デバイスシミュレータ基本操作

デバイスシミュレータ実行までの流れ

1. 基板設定
2. 簡易形状作成 ←
3. ガウス分布ドーピング設定
4. メッシュ設定
5. バイアススケジュール設定
6. デバイスシミュレーション実行

簡易形状作成画面で、モデル構造を作成します。

簡易形状作成画面

形状編集

操作: 簡易形状編集 | 実行

層: 膜 2 (SiO₂)
 材質: SiO₂
 厚さ [nm]: 100
 膜形成モード: パターン有り

パターン設定

| マスクファイル名 | X [nm] | Y [nm] | 材質 |
|------------|--------|--------|---------|
| 1 SD.msk | 0 | 0 | Al |
| 2 SD.msk | 900 | 0 | Al |
| 3 gate.msk | 0 | 0 | poly_Si |

追加 | 削除

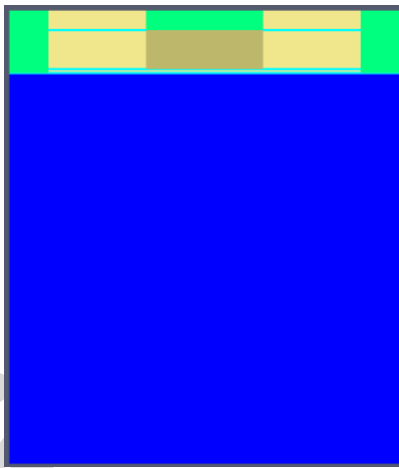
SiO₂ (2層目の材質)

Al (パターン設定1) | Al (パターン設定3)

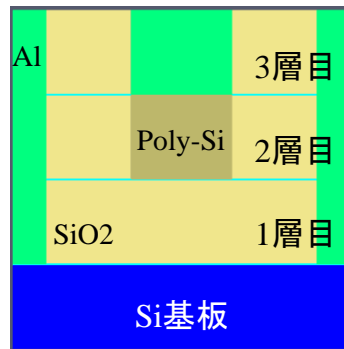
Poly-Si (パターン設定2)

OK | Cancel

作成したMOSFET構造



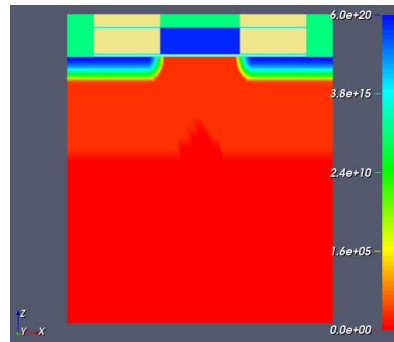
各層の膜厚を視覚的に等間隔にして、作成した層構造を容易に可視化できます (d, Dショートカットキー)



デバイスシミュレータ基本操作

デバイスシミュレータ実行までの流れ

1. 基板設定
2. 簡易形状作成
3. ガウス分布ドーピング設定 ←
4. メッシュ設定
5. バイアススケジュール設定
6. デバイスシミュレーション実行



設定可能な不純物

| | |
|------|------|
| Al | Si_A |
| B | S |
| P | Se |
| As | Sn |
| Sb | Te |
| In | Cr |
| Au_D | EL2 |
| Au_A | DX |
| Zn | X_A |
| Fe | X_D |
| N | |
| C | |
| Be | |
| Mg | |
| Si_D | |

不純物分布設定

不純物: As | 対象材質: Si 1

注入方法: 形状定義

形状: 長方形

分布名: source | 一様分布 [1/cm²]: 0 | 最大濃度 [1/cm²]: 3e+20 | ピーク位置 [nm]: 0 | 標準偏差 [nm]: 10 | 偏平率: 0.7 | パラッキ係数: 0

不純物打込み形状定義 (x, y, dx, dy...4 つ組で) [nm]: 0, 0, 300, 200

変更

| 表示 | 分布名 | 不純物 | 対象材質 | 一様分布 | 最大濃度 | ピーク位置 | 標準偏差 | 偏平率 | パラツ |
|-------------------------------------|--------|-----|-----------|-------|-------|-------|------|-----|-----|
| <input checked="" type="checkbox"/> | gate | P | poly_Si 1 | 1e+20 | 0 | 0 | 0 | 0.7 | |
| <input type="checkbox"/> | sub | B | Si 1 | 1e+17 | 0 | 0 | 0 | 0.7 | |
| <input checked="" type="checkbox"/> | source | As | Si 1 | 0 | 3e+20 | 0 | 10 | 0.7 | |
| <input checked="" type="checkbox"/> | drain | As | Si 1 | 0 | 3e+20 | 0 | 10 | 0.7 | |

一括操作: 全ドナー選択 | 全アクセプター選択 | 全選択 | 全クリア | 封鎖表示

OK

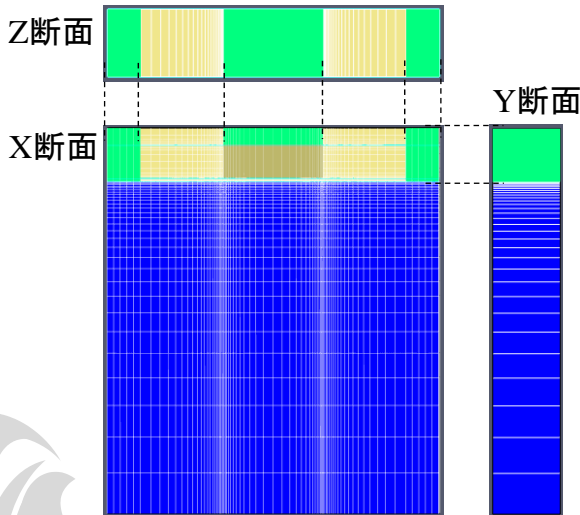
ソース領域の不純物設定を示しています。

デバイスシミュレータ基本操作

デバイスシミュレータ実行までの流れ

1. 基板設定
2. 簡易形状作成
3. ガウス分布ドーピング設定
4. メッシュ設定 ←
5. バイアススケジュール設定
6. デバイスシミュレーション実行

- メッシュ設定画面を開くと、材質境界を自動的に認識して領域が分割されます(下図)。
- 分割された領域ごとに、ユーザーが分割数を設定して、メッシュサイズを設定します。
- 等比級数的にメッシュ分割することができます。
- ユーザーが新たに領域を分割してさらに詳細にメッシュを分割することができます。



メッシュ設定画面

X方向

| | X | Y | Z |
|---|--------|-------------|-----|
| | 始点[nm] | 最小メッシュ幅[nm] | 分割数 |
| 1 | 0 | 0 | 5 |
| 2 | 100 | 0 | 20 |
| 3 | 350 | 3 | 26 |
| 4 | 650 | 3 | 20 |
| 5 | 900 | 0 | 5 |
| | 終点[nm] | | |

Y方向

| | X | Y | Z |
|---|--------|-------------|-----|
| | 始点[nm] | 最小メッシュ幅[nm] | 分割数 |
| 1 | 0 | 0 | 1 |
| | 終点[nm] | | |

Z方向

| | X | Y | Z |
|---|--------|-------------|-----|
| | 始点[nm] | 最小メッシュ幅[nm] | 分割数 |
| 1 | 0 | 0 | 30 |
| 2 | 1000 | 0 | 4 |
| 3 | 1010 | 3 | 10 |
| 4 | 1110 | 3 | 5 |
| | 終点[nm] | | |

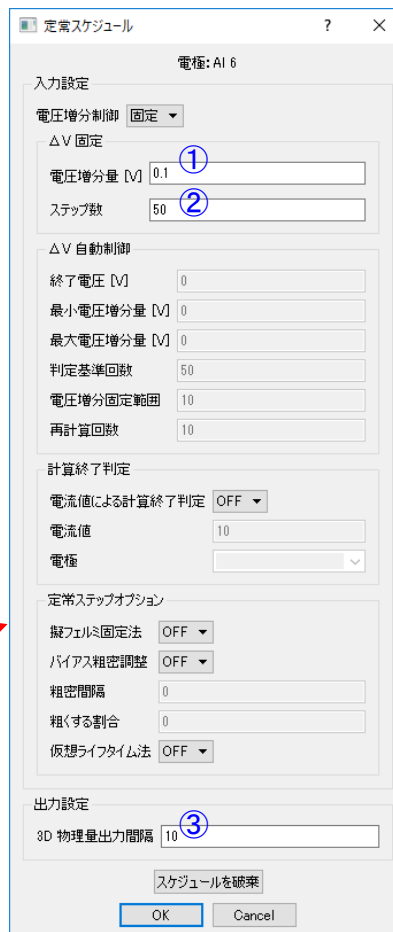
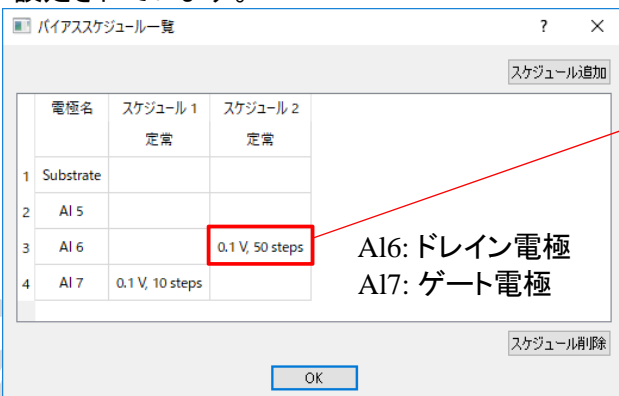
デバイスシミュレータ基本操作

デバイスシミュレータ実行までの流れ

1. 基板設定
2. 簡易形状作成
3. ガウス分布ドーピング設定
4. メッシュ設定
5. バイアススケジュール設定 ←
6. デバイスシミュレーション実行

バイアススケジュール設定画面

* 下記の例では、2つのバイアススケジュールが設定されています。



- ①電圧増分量: 0.1 V
- ②ステップ数: 50
- 5 V (total)

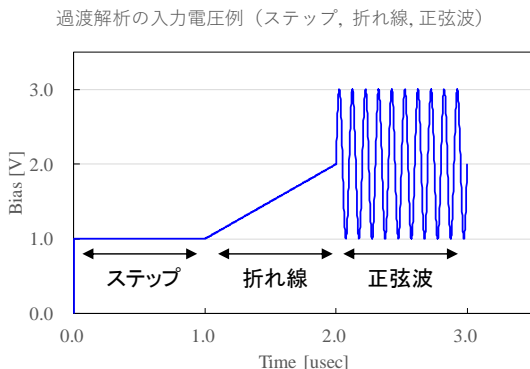
- ③3D物理量出力間隔: 10
- 5回データが出力される

デバイスシミュレータ基本操作

過渡解析の設定画面

デバイスシミュレータ実行までの流れ

1. 基板設定
2. 簡易形状作成
3. ガウス分布ドーピング設定
4. メッシュ設定
5. バイアススケジュール設定 ←
6. デバイスシミュレーション実行



* 上のグラフは右の画面の設定値と対応していません。

- ①電圧増分量: -2 V (total)
- ②時間刻み幅: 1e-9 sec (1 nsec)
- ③時間ステップ数: 1000 → 1 μsec (total time)
- ④3D物理量出力間隔: 100 → 10回データが出力される
- ⑤電流-電圧出力間隔: 1 → 1ステップごとに出力される。1000点のデータが得られる。

デバイスシミュレータ基本操作

デバイスシミュレータ実行までの流れ

1. 基板設定
2. 簡易形状作成
3. ガウス分布ドーピング設定
4. メッシュ設定
5. バイアススケジュール設定
6. デバイスシミュレーション実行 ←

- 「デバイスシミュレータ実行」ボタンを押すと、画面が現れ、GUIから作成したソルバー計算に必要なファイル(コントロールファイル, メッシュファイル)が自動的に選択されます。
- Linuxマシンの場合、並列計算の実行ができます。
- リスタート計算ができます。

➡ デバイスシミュレーション開始

デバイスシミュレータで扱える材質

デバイスシミュレータでは下記の材質名を読み込むことが可能です。
材料定数を変更することで別材質として扱うことができます。

| 属性 | 材質番号 | 固体材質名 | デフォルト値の有無* |
|-----|------|--|------------|
| 半導体 | 1 | Si | 有 |
| | 2 | poly_Si | 有 |
| | 3 | Ge | 有 |
| | 4 | Si _{0.3} Ge _{0.7} | 有 |
| | 5 | Si _{0.5} Ge _{0.5} | 有 |
| | 6 | Si _{0.7} Ge _{0.3} | 有 |
| | 7 | GaAs | 有 |
| | 8 | AlAs | 有 |
| | 9 | Ga _{0.9} Al _{0.1} As | 有 |
| | 10 | Ga _{0.8} As _{0.2} As | 有 |
| | 11 | Ga _{0.7} As _{0.3} As | 有 |
| | 12 | 3C-SiC | 有 |
| | 13 | 4H-SiC | 有 |
| | 14 | 6H-SiC | 有 |
| | 15 | GaN | 有 |
| | 16 | GaAl _{0.2} N _{0.8} | 有 |
| | 17 | GaAl _{0.5} N _{0.5} | 有 |
| | 18 | GaAl _{0.8} N _{0.2} | 有 |
| | 19 | AlN | 有 |

| 属性 | 材質番号 | 固体材質名 | デフォルト値の有無* |
|-----|------|--------------------------------|------------|
| 金属 | 20 | Cu | 有 |
| | 21 | Al | 有 |
| | 22 | Ti | 有 |
| | 23 | Ta | 有 |
| | 24 | Mo | 有 |
| | 25 | W | 有 |
| | 26 | TiN | 有 |
| | 27 | SiO ₂ | 有 |
| 絶縁体 | 28 | Si ₃ N ₄ | 有 |
| | 29 | Ta ₂ O ₅ | 有 |
| | 30 | Al ₂ O ₃ | 有 |
| | 32 | Air | — |

- デバイスシミュレータで扱う材質の物性値を設定することが可能です。
- 設定した物性値をファイルに保存して、次回以降その値を使用することが可能です。(paramファイル)

材料定数設定

半導体

絶縁体

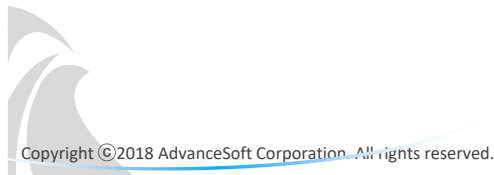
金属



- 材料定数はデフォルト値が設定されています。
- 材料定数は上記画面より変更して頂くことができます。変更した材料定数はCSV形式で保存され、次回のGUI起動時以降、その値を使用することができます (paramファイル)。

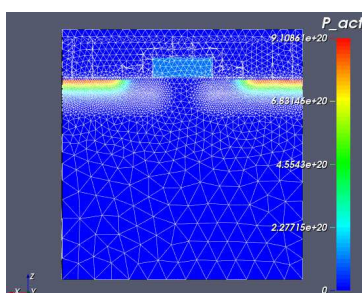
目次

1. Advance/TCADのシステム構成
2. 統合プラットフォーム(GUI)機能
 - プロセスシミュレータ基本操作
 - デバイスシミュレータ基本操作
 - その他の機能
3. 回路シミュレータとの連成解析GUI
4. 熱解析GUI
5. Advance/TCAD GUIバージョンアップ



プロセスシSimとデバイスSimの接続機能

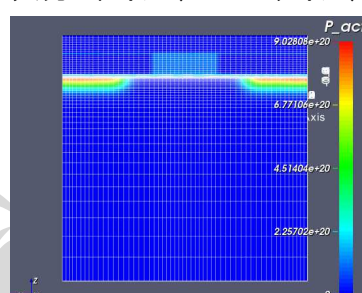
プロセスSimの結果ファイル(presファイル)
3Dデータ(材質と不純物情報を含む)



四面体非構造格子
(プロセスSim)から直
方体構造格子に変換
します(デバイスSim)。



プロセスSimの結果ファイルからデバイスSimの
入力ファイル(dmshファイル)を作成します。



実際に行っていること
は、プロセスSimで作
成した形状の抽出
(①)と、デバイスSim
のメッシュへの不純物
濃度変換(②)です。

コンバータの設定画面

データ変換

ファイル

プロセスシミュレーション結果ファイル [STEP11pres]

デバイスシミュレーションケース名

デバイス解析対象領域

原点 (x, y, z) [um] [0, 0, -1] ※ 原点はプロセス解析空間の座標値を指定

幅 [um] [12] 奥行 [um] [0.1] 高さ [um] [12]

材質境界探索幅 (XY 方向) [um] [0.0001]

高さ方向材質境界 (Z 座標) [um]

| z 座標 | |
|------|------|
| 1 | 0 |
| 2 | 0.01 |
| 3 | 0.11 |

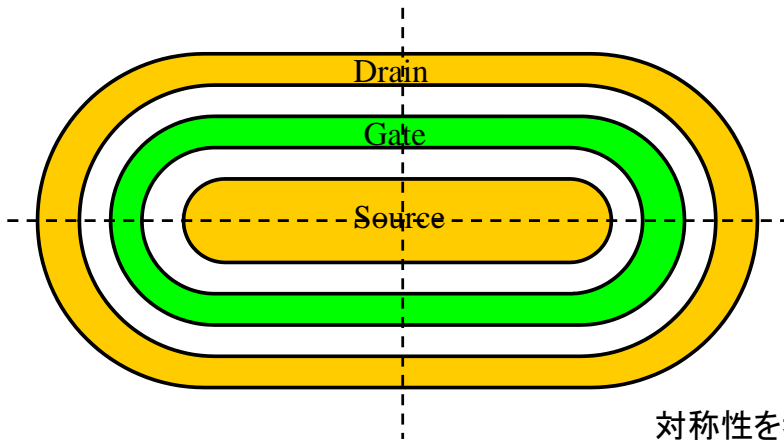
マスク設定

| マスクファイル名 | |
|----------|-----------------|
| 1 | drain.msk |
| 2 | gate_polySi.msk |
| 3 | gate.msk |
| 4 | source.msk |

円形メッシュ機能

パワー半導体デバイスでは電界集中の抑制などの目的で円形パターンを含む構造が提案されています。

円形パターンと直線パターンを含む構造

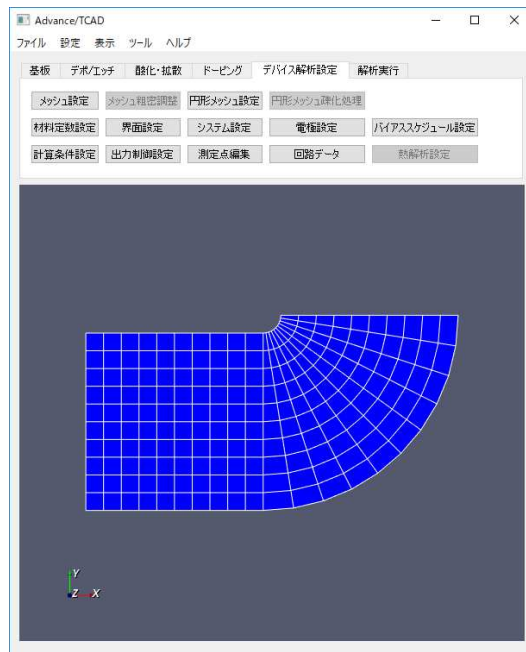
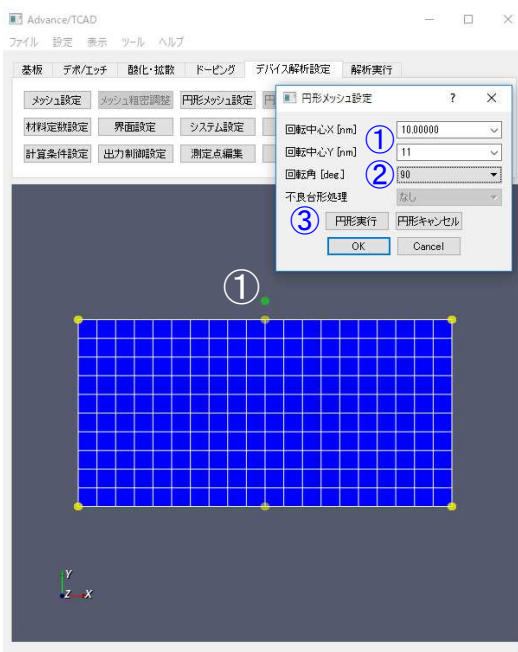


対称性を考慮して、1/4の領域を解析します。

円形メッシュGUI

- ①「回転中心」を設定します。
- ②「回転角度」を設定します (90, 60, 45, 30°)。
- ③「円形実行」を押します。

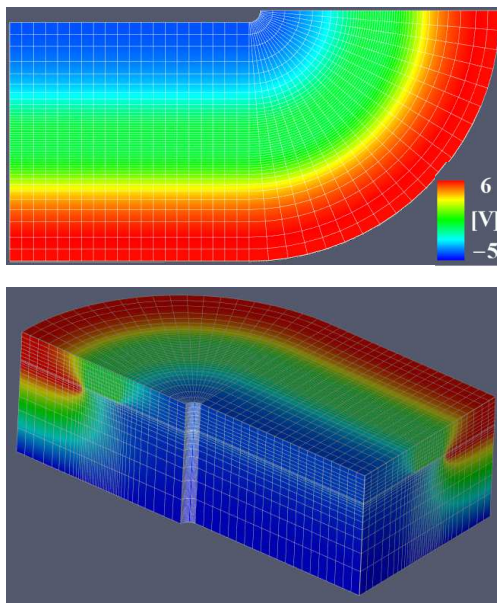
円形処理後のメッシュ



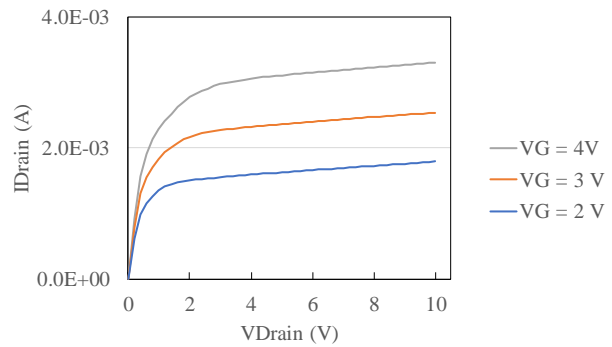
円形メッシュを使用した計算例

円形パターンと直線パターンを含む構造

静電ポテンシャル



ID-VDS特性



並列計算機能

プロセスシミュレーション実行画面

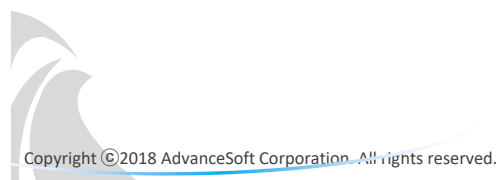
| プロセス | ステップ名 | 使用マスク | ソルバー名 | 形状追跡条件 | 出力ファイル名 |
|------|--------|---------------|-------------------|---------|---------|
| 1 | デポジション | DEPO_OX1 | | SHAPER1 | STEP01 |
| 2 | デポジション | DEPO_GATE | gate_polySi.msk | SHAPER1 | STEP03 |
| 3 | イオン注入 | II_As | | | STEP03 |
| 4 | デポジション | DEPO_OX2 | SD.msk | SHAPER1 | STEP04 |
| 5 | イオン注入 | II_P | | | STEP05 |
| 6 | 酸化・拡散 | DIFFUSE1 | LINEAR, NONLINEAR | | STEP06 |
| 7 | デポジション | DEPO_OX3 | | SHAPER1 | STEP07 |
| 8 | エッチング | ETCH_CONTACTG | gate.msk | SHAPER1 | STEP08 |
| 9 | エッチング | ETCH_CONTACTS | source.msk | SHAPER1 | STEP09 |
| 10 | エッチング | ETCH_CONTACTD | drain.msk | SHAPER1 | STEP10 |
| 11 | デポジション | DEPO_METAL | | SHAPER1 | STEP11 |

デバイスシミュレーション実行画面

GUIをLinuxマシン上で立ち上げた場合、シミュレーション実行時に、並列数を指定することができます*。
 * 並列計算機能をご使用頂く場合、LinuxマシンにMPIライブラリを予めインストールして頂く必要があります。

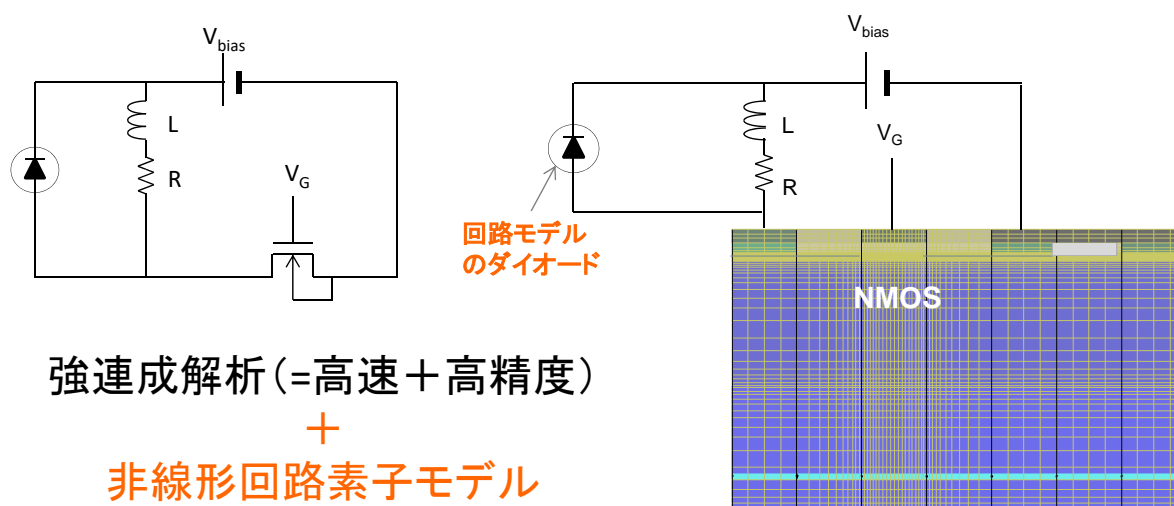
目次

1. Advance/TCADのシステム構成
2. 統合プラットフォーム(GUI)機能
 - プロセスシミュレータ基本操作
 - デバイスシミュレータ基本操作
 - その他の機能
3. 回路シミュレータとの連成解析GUI
4. 熱解析GUI
5. Advance/TCAD GUIバージョンアップ

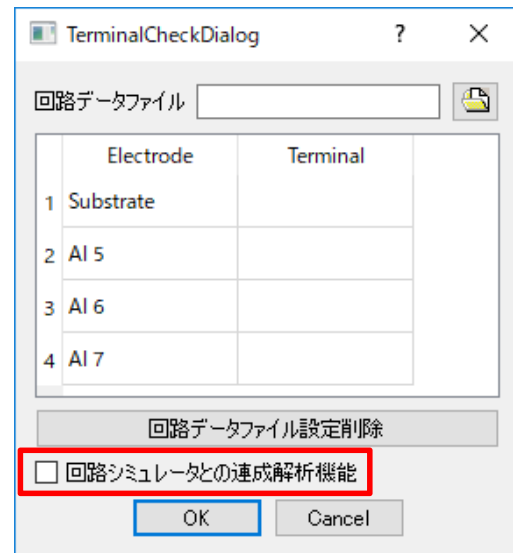
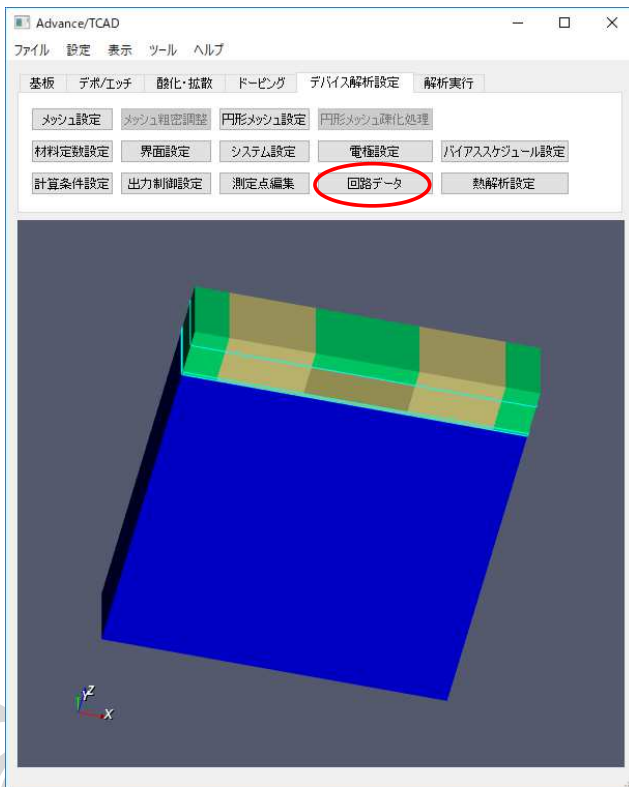


回路シミュレータ機能との連成解析機能

線形素子(L, R, C)、および非線形素子(ダイオード, MOSTランジスタなどの半導体素子)を含む回路モデルとAdvance/TCADを連成して計算することが可能です(Mixed-Mode)。



回路シミュレータとの連成解析GUI



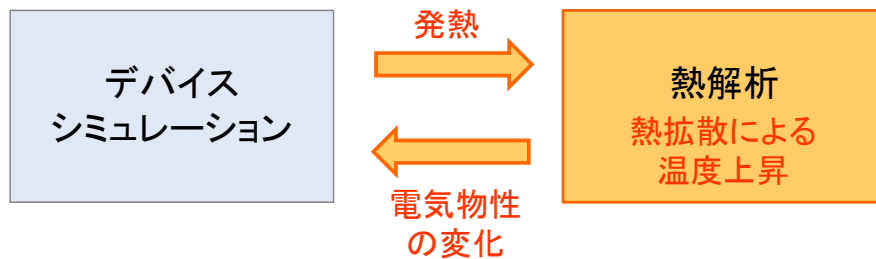
- 回路モデルファイルが必要です (cir ファイル)。書式はspice 3f5の書式と同じです (公開されている中で最も完成度が高いバージョン)。
- 接続情報ファイルが必要です (dcon ファイル)。Advance/TCADと回路モデルの接続情報を記載します。

目次

1. Advance/TCADのシステム構成
2. 統合プラットフォーム (GUI) 機能
 - プロセスシミュレータ基本操作
 - デバイスシミュレータ基本操作
 - その他の機能
3. 回路シミュレータとの連成解析GUI
4. 熱解析GUI
5. Advance/TCAD GUIバージョンアップ

熱解析機能

これまでに、電流による発熱、熱拡散による温度上昇、温度上昇による電気物性の変化についての解析機能をデバイスシミュレーションに組み込みました。

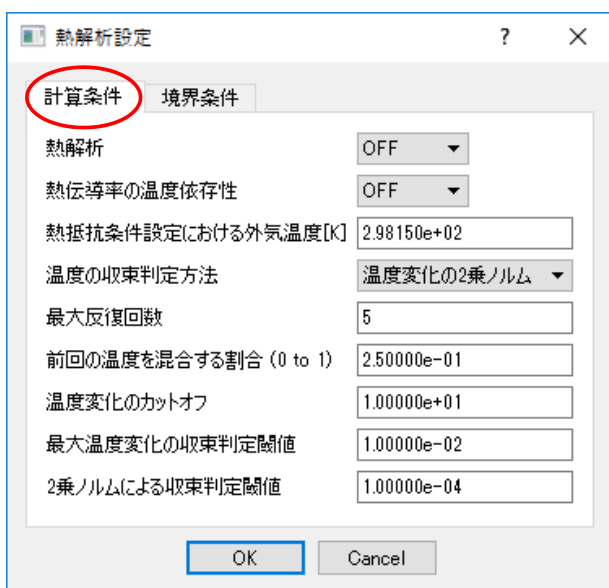


今回、下記の項目について開発を行い、熱解析機能を強化しました。

- 境界条件として、温度固定条件の他に、熱抵抗条件を追加
- 熱伝導率の温度依存性
- 熱伝導方程式の反復計算機能
- 熱解析GUI
- 熱解析の非定常計算
- 熱解析の定量的なテスト計算

熱解析GUI

熱解析の計算条件



GUIで作成した熱解析の入力ファイル

```

thermal{
  calc_temp_switch = off,
  kappa_tdpnd_switch = off,
  outer_temp = 2.981500e+02,
  scftemp{
    converg_type = SQN,
    nmaxiter_T = 5,
    mixing_parameter_T = 2.500000e-01,
    cutoff_T = 1.000000e+01,
    criteria_maxT = 1.000000e-02,
    criteria_sqnT = 1.000000e-04,
  }
}
    
```

計算条件の補足

| GUI項目 | 内容 |
|--------------|---|
| 温度の収束判定方法 | 最大温度変化 温度変化の2乗ノルム 反復計算なし 最大温度変化かつ2乗ノルム 最大温度変化または2乗ノルム |
| 最大反復回数 | 熱解析の反復計算を $iter_max$ 回で打ち切る |
| 前回の温度を混合する割合 | 前回の温度と最新の温度を混合率 α ($0 \leq \alpha < 1$)で混ぜる。 |
| 温度変化のカットオフ | 温度変化の絶対値が $cutoff$ 以上の時に、 $cutoff$ で打ち切る。 |

熱解析GUI

熱解析の物性値



材料定数設定

半導体 絶縁体 金属

材質 Si 1 ファイル読み込み ファイル出力

材料定数複写元材質 Si 1 材料定数複写

基本設定 質量モデル バンドギャップ 移動度 再結合 生成 不純物 熱解析

基準温度での熱伝導率 [W/(m*K)] 148

熱伝導率の温度係数の指数 [-] -1.3

基準温度 [K] 298.15

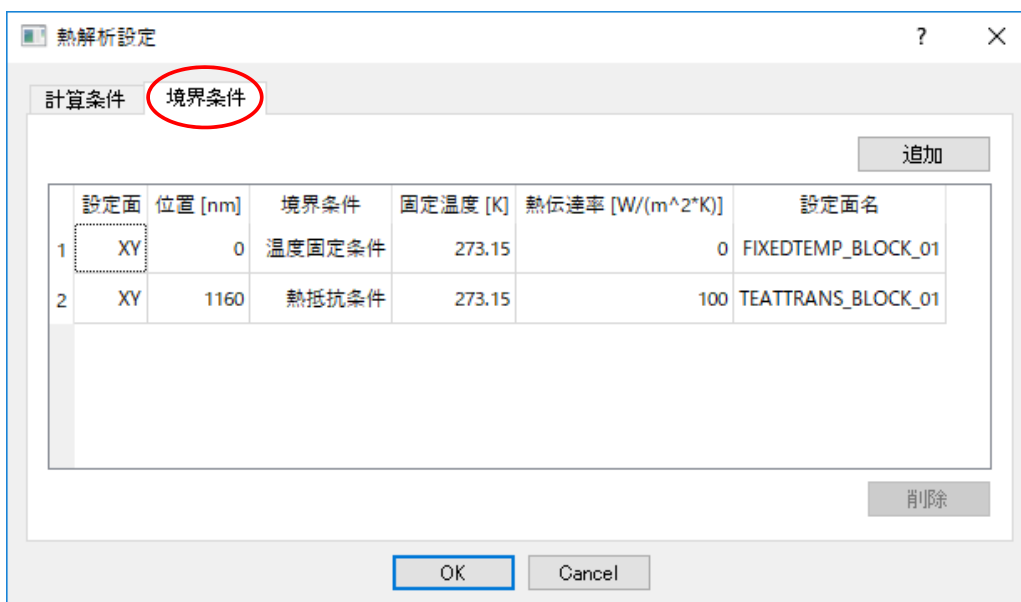
質量密度 [kg/m³] 2330

比熱 [J/(kg*K)] 712

- 熱解析の物性値として5種類のパラメータを設定します。
- 熱解析の物性値(半導体, 絶縁体, 導体)にデフォルト値を設定することが可能です(paramファイル)。

熱解析GUI

熱解析の境界条件



熱解析設定

計算条件 境界条件

追加

| 設定面 | 位置 [nm] | 境界条件 | 固定温度 [K] | 熱伝達率 [W/(m²K)] | 設定面名 |
|-----|---------|--------|----------|----------------|--------------------|
| 1 | XY | 温度固定条件 | 273.15 | 0 | FIXEDTEMP_BLOCK_01 |
| 2 | XY | 熱抵抗条件 | 273.15 | 100 | TEATTRANS_BLOCK_01 |

削除

OK Cancel

- 任意の面に境界条件(温度固定条件, 熱抵抗条件)を設定できます。
- 温度固定条件を選択した場合、固定温度 [K]を与えます。
- 熱抵抗条件を選択した場合、熱伝達率 [W/(m²K)]を与えます。

目次

1. Advance/TCADのシステム構成
2. 統合プラットフォーム(GUI)機能
 - プロセスシミュレータ基本操作
 - デバイスシミュレータ基本操作
 - その他の機能
3. 回路シミュレータとの連成解析GUI
4. 熱解析GUI
5. Advance/TCAD GUIバージョンアップ



Advance/TCAD GUIバージョンアップ

バージョンアップ履歴

- バージョン1.0.5: 2018年12月7日配布
機能追加: 5件、機能改善: 1件
- バージョン1.0.4: 2018年11月16日配布
機能追加: 1件、機能改善: 14件
- バージョン1.0.3: 2018年8月17日配布
機能追加: 0件、機能改善: 2件
- バージョン1.0.2: 2018年7月31日配布
機能追加: 0件、機能改善: 11件
- バージョン1.0.1: 2018年6月7日配布
機能追加: 0件、機能改善: 8件

お客様のご要望に応じて、今後も機能追加、機能改善を行っていきます。



今後のバージョンアップ予定項目

お客様よりご要望頂いた項目について機能追加、機能改善を行っていく予定です。

システム全体に関するGUIへの要望(一部抜粋)

| No | 項目 |
|----|-------------------------------------|
| 1 | 不具合を無くす。 |
| 2 | 入力ファイルに記述されるファイルパスを相対パスにする。現在は絶対パス。 |
| 3 | 開いているファイル名を表示する。 |
| 4 | 背景色変更機能。 |

プロセスシミュレータに関するGUIへの要望(一部抜粋)

| No | 項目 |
|----|----------------------------|
| 1 | 物性パラメータのデフォルト値の充実。 |
| 2 | 拡散計算の並列化。 |
| 3 | 結果ファイルについて、材質ごとに表示・非表示したい。 |

デバイスシミュレータに関するGUIへの要望(一部抜粋)

| No | 項目 |
|----|--------------------|
| 1 | 物性パラメータのデフォルト値の充実。 |
| 2 | マスクを使用した不純物ドーピング。 |
| 3 | 斜め線を含んだ多角形構造。 |

コンバータに関するGUIへの要望(一部抜粋)

| No | 項目 |
|----|-------------------|
| 1 | 形状抽出の精度がよくない。 |
| 2 | 設定しなければいけない項目が多い。 |



ご清聴ありがとうございました。



Advance/TCADによる最新事例紹介 —SRAMソフトウェアエラーの解析—

第1事業部 原田 昌紀

半導体デバイス3次元TCADシステム
Advance/TCAD最新動向セミナー
2018年12月25日（火）
アドバンスソフト株式会社

SRAMソフトウェアエラー解析の背景と目的

背景

- ▶半導体デバイスの微細化が進むにつれ、 α 線などの高エネルギー粒子によるメモリデバイスのソフトウェアエラーは発生しやすくなる。
- ▶SRAM(Static Random Access Memory)のソフトウェア発生メカニズムは実験や回路シミュレーションにより明らかにされているが、SRAM全体をデバイスシミュレーションで解析することにより、デバイスの構造や拡散層の濃度や深さなどへの依存性をより定量的に把握することができる。

目的

今回、アドバンスソフト社製Advance/TCADデバイスシミュレータを使用し、 α 線入射によるSRAMのソフトウェアエラーを再現する。複数のモデルについて、電子・正孔密度や静電ポテンシャルの3次元分布の時間変化を解析することで、ソフトウェア発生メカニズムの定量的な理解を得る。

SRAMソフトエラー解析で使した Advance/TCADデバイスシミュレータの機能

複数デバイス一括解析

これまでの事例:
5段CMOSリングオシレータ解析

エネルギー粒子との反応
(電子・正孔対発生)

これまでの事例:
DRAMソフトエラー解析

複数デバイス一括解析
&
エネルギー粒子との反応

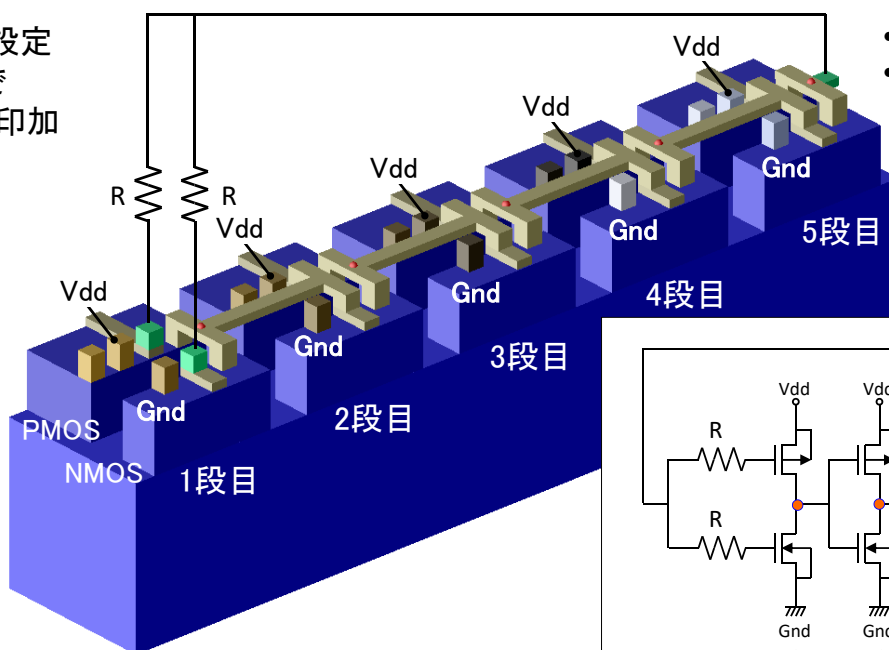
SRAMソフトエラー解析

複数デバイス一括解析のこれまでの事例

～ 5段CMOSリングオシレータ解析～

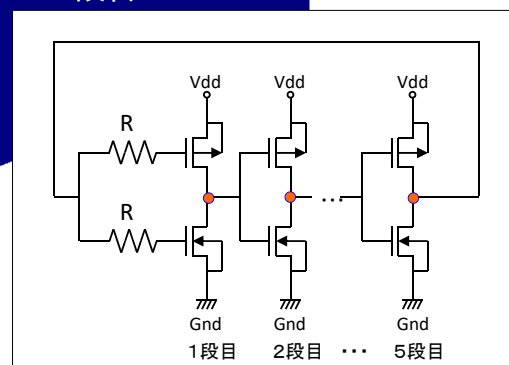
5段CMOSリングオシレータの解析モデル

バイアス設定
時刻t=0で
Vdd = 2 V印加



- SiO₂は非表示。
- ● は電位測定点

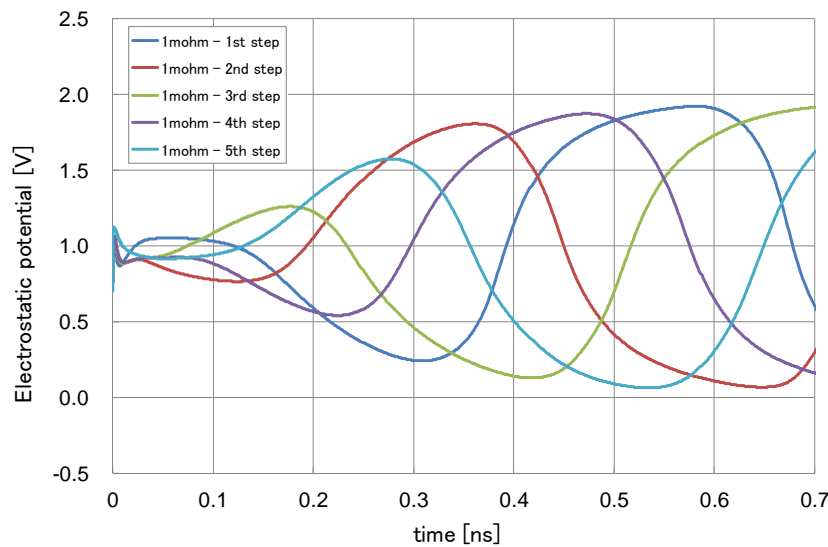
| Material |
|----------|
| Al |
| poly_Si |
| Cu |
| Si |



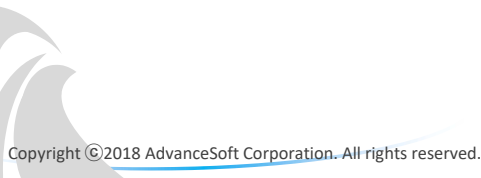
複数デバイス一括解析のこれまでの事例

～ 5 段CMOSリングオシレータ解析～

時刻t=0でVdd=2Vに印加後の過渡解析



※静電ポテンシャルはゼロバイアス時の値からの相対値



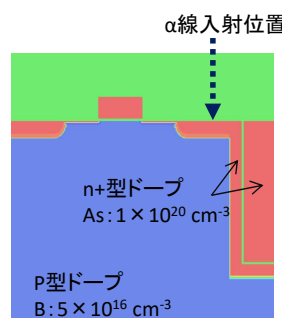
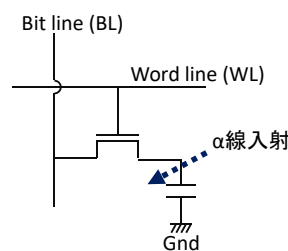
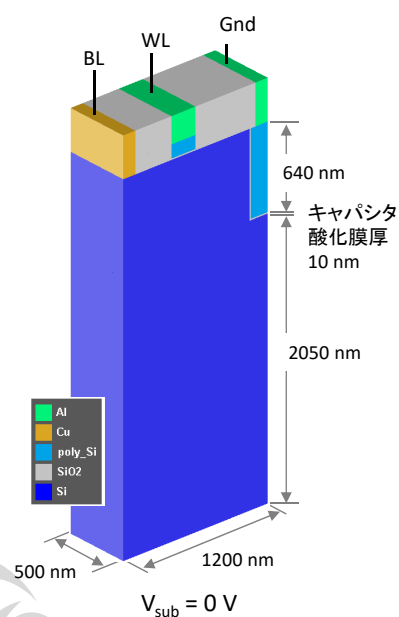
電子・正孔対発生機能によるこれまでの事例

～DRAMソフトエラー解析～

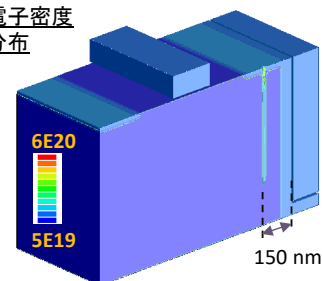
α線入射による電子・正孔対の初期設定

入射直前のα線のエネルギーが0.1MeVだと仮定し、Siの電子的阻止能などから28000個の電子正孔対を、10nm×10nm×478nmの領域に分布させる。

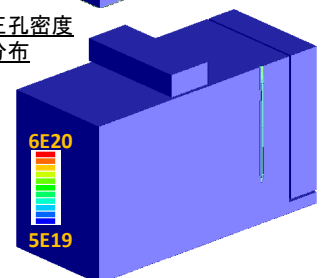
DRAM解析モデル



電子密度分布

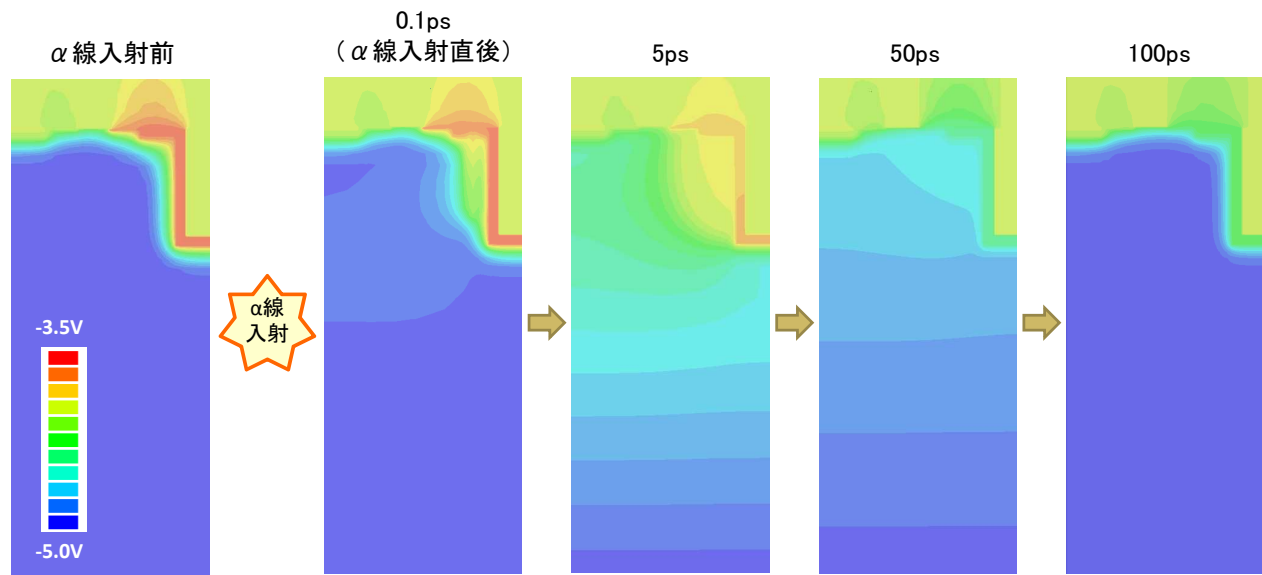


正孔密度分布



電子・正孔対発生機能によるこれまでの事例 ～DRAMソフトエラー解析～

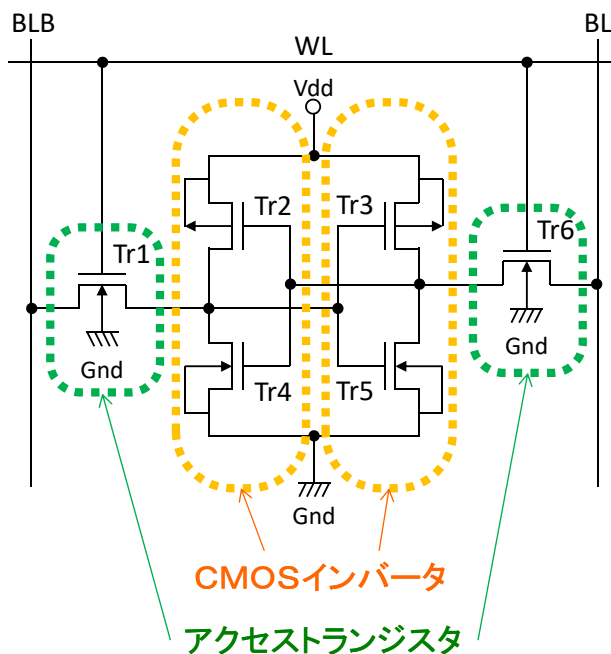
α線入射前および入射後～100psの静電ポテンシャルの時間変化



キャパシタに正の電荷が蓄積されたビット"1"の初期状態

キャパシタは中性なビット"0"の状態に変化(=ソフトエラー発生)

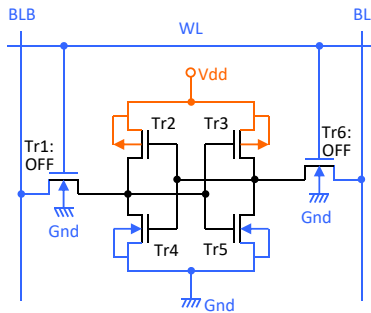
SRAMとは (おさらい)



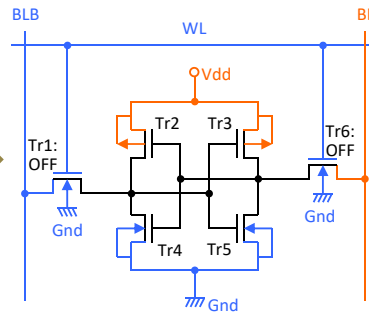
- SRAM (Static Random Access Memory)は2つのCMOSインバータと2つのアクセストランジスタから構成される。
- 各インバータの出力が他方のインバータの入力となる。
- その結果、一旦、片方がVDD、他方がGNDに固定されると、電源が供給されている限りこの状態は継続され、DRAMのようなりフレッシュ動作は必要ない。

SRAM書き込み動作

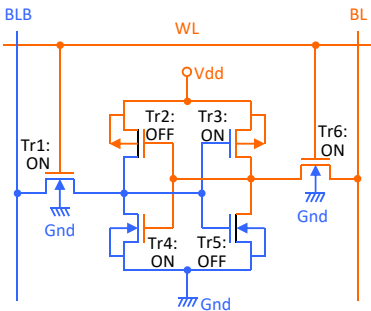
①初期状態
 WL = GND
 BL = GND
 BLB = GND



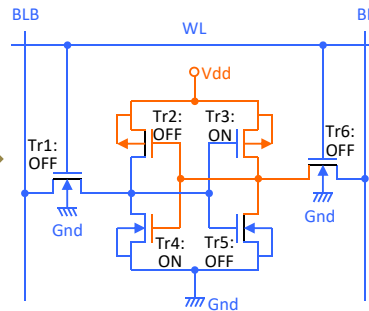
②BL選択
 WL = GND
 BL = VDD
 BLB = GND



③WL選択
 WL = VDD
 BL = VDD
 BLB = GND
 (アクセス
 トランジスタ
 Tr1、Tr6がON)



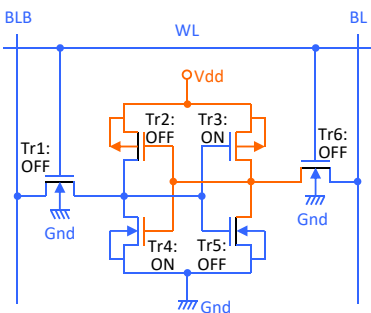
④BL、WL選択解除
 WL = GND
 BL = GND
 BLB = GND
 (アクセス
 トランジスタ
 Tr1、Tr6がOFF)



BL側のインバータの出力電位がVDD、
 BLB側のインバータの出力電位がGNDに固定される。
 (※ここでは、この状態をビット“1”の状態とする。)

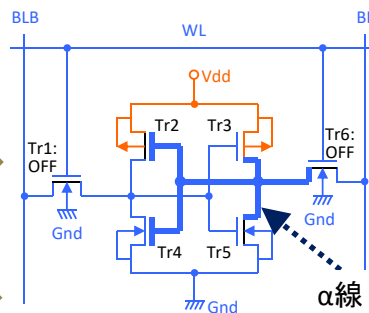
SRAMソフトエラーの原理

[1]ビット“1”
 の状態を
 初期状態
 とする

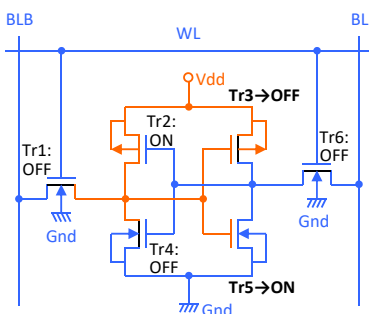
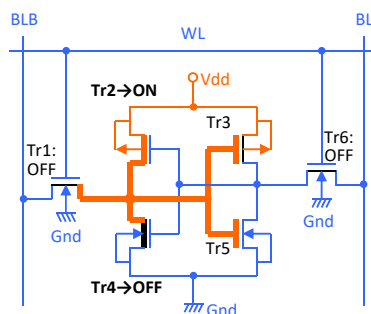


[2]α線がMOSTラン
 ジスタの拡散層付
 近に入射し、電
 子・正孔対が発生。

例えばNMOSの拡
 散層であった場合、
 発生した電子がイン
 バータ出力部に
 拡散していく。



[3]Tr2がOFF→ON、
 Tr4がON→OFFと
 なり、左側のイン
 バータが反転す
 る。



[4]Tr3がON→OFF、Tr5が
 OFF→ONとなり、ビットが反
 転し“0”の状態になる。

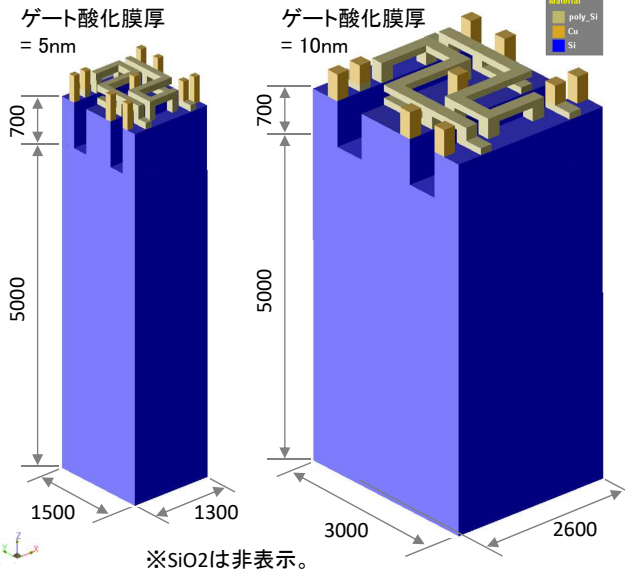
SRAMの解析モデル

ゲート長(L)が100nmと200nmの2種類のサイズのSRAMを対象とする。

モデル俯瞰図

L=100nmモデル

L=200nmモデル



メッシュ分割設定

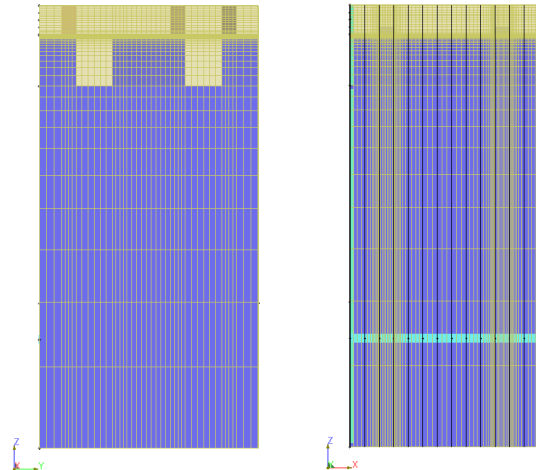
分割数と要素数

L=100nm、200nmモデル共通

| 分割数 | | | 要素数 |
|-----|-----|-----|--------|
| X方向 | Y方向 | Z方向 | |
| 79 | 43 | 48 | 163056 |

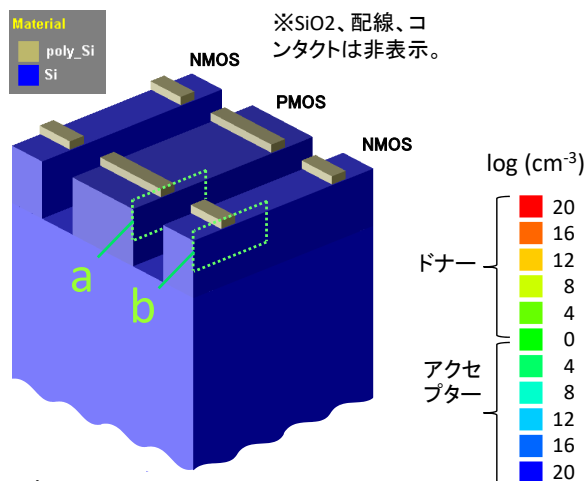
YZ面(L=200nmモデル)

XZ面(L=200nmモデル)



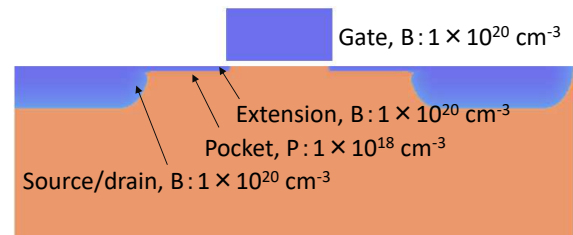
SRAM解析モデルのドーピングプロファイル

(※表示形状はL=200nmモデル)



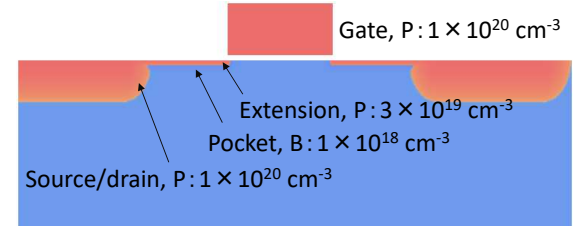
P-substrate
 L=100nmモデル: $B: 2.5 \times 10^{16} \text{ cm}^{-3}$
 L=200nmモデル: $B: 1.0 \times 10^{16} \text{ cm}^{-3}$

断面a: PMOSドーピングプロファイル



N-well, L=100nmモデル: $P: 1.25 \times 10^{17} \text{ cm}^{-3}$
 L=200nmモデル: $P: 5 \times 10^{16} \text{ cm}^{-3}$

断面b: NMOSドーピングプロファイル

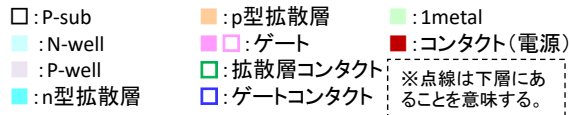
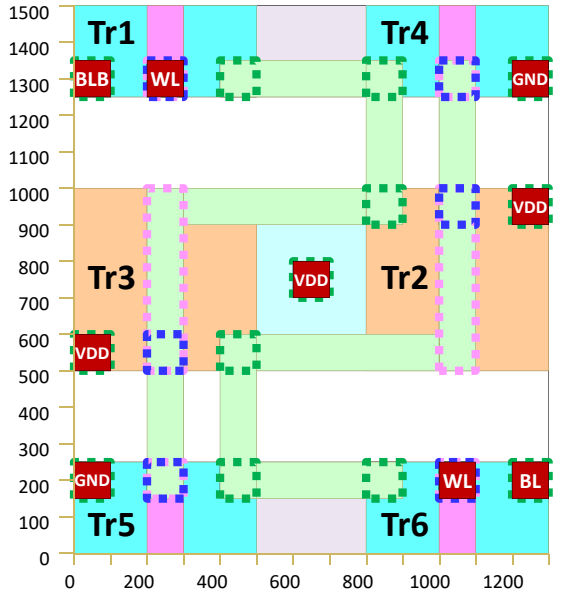


P-well, L=100nmモデル: $B: 1.25 \times 10^{17} \text{ cm}^{-3}$
 L=200nmモデル: $B: 5 \times 10^{16} \text{ cm}^{-3}$

SRAMの解析モデル

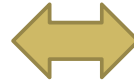
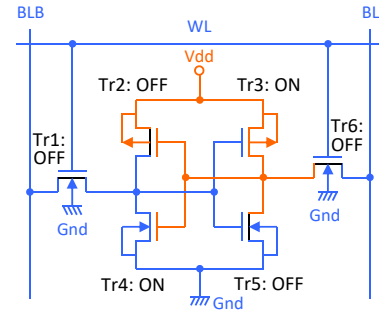
L=100nmモデルのレイアウト

※L=200nmモデルは寸法が2倍



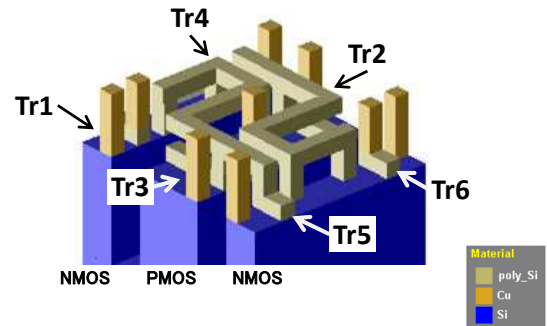
Copyright ©2018 AdvanceSoft Corporation. All rights reserved.

回路図におけるトランジスタ番号 (※ビット“1”の状態)



トランジスタ番号の対応

解析モデルにおけるトランジスタ番号

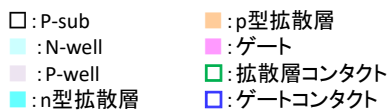
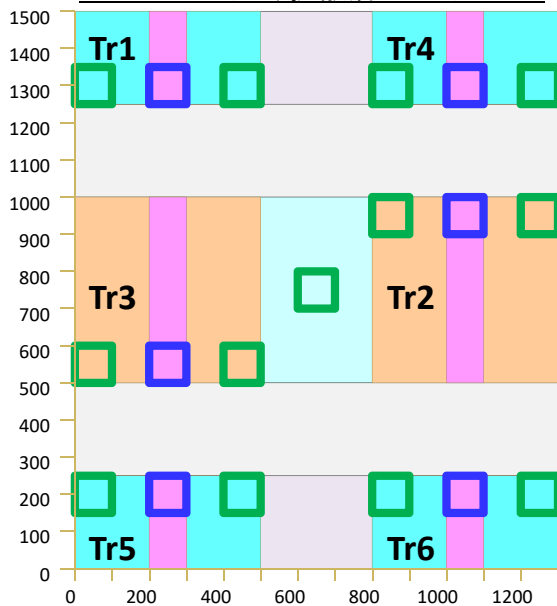


13

SRAMの解析モデル

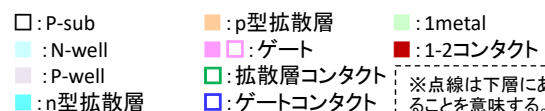
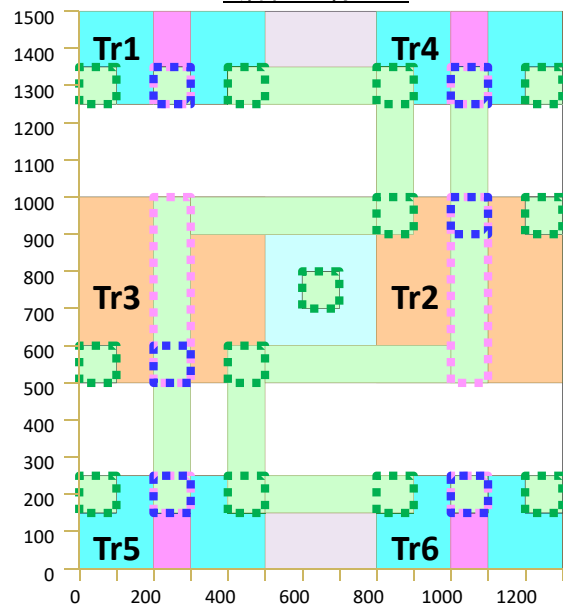
L=100nmモデルのレイアウト下層部

ゲートコンタクト、拡散層コンタクトまで



Copyright ©2018 AdvanceSoft Corporation. All rights reserved.

1層目配線まで

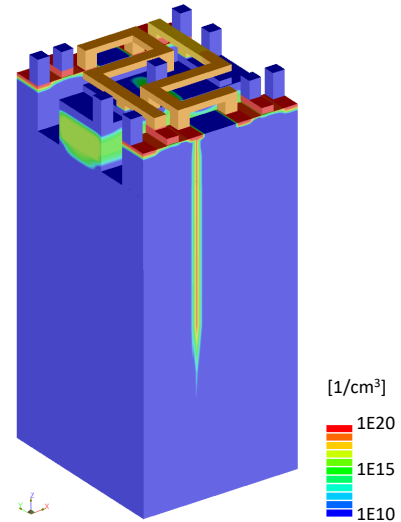


デバイスシミュレーション解析条件

L=100nmと200nmのそれぞれに、2種類のエネルギーのα線が入射すると仮定する。

| 解析条件 | 解析モデル | α線の入射エネルギー [MeV] | 侵入深さ [nm] | 電子・正孔対発生数 |
|------|---------|------------------|-----------|-----------|
| 1 | L=100nm | 0.057 | 274 | 15908 |
| 2 | | 0.696 | 3323 | 193276 |
| 3 | L=200nm | 0.696 | 3323 | 193276 |
| 4 | | 0.865 | 4130 | 240220 |

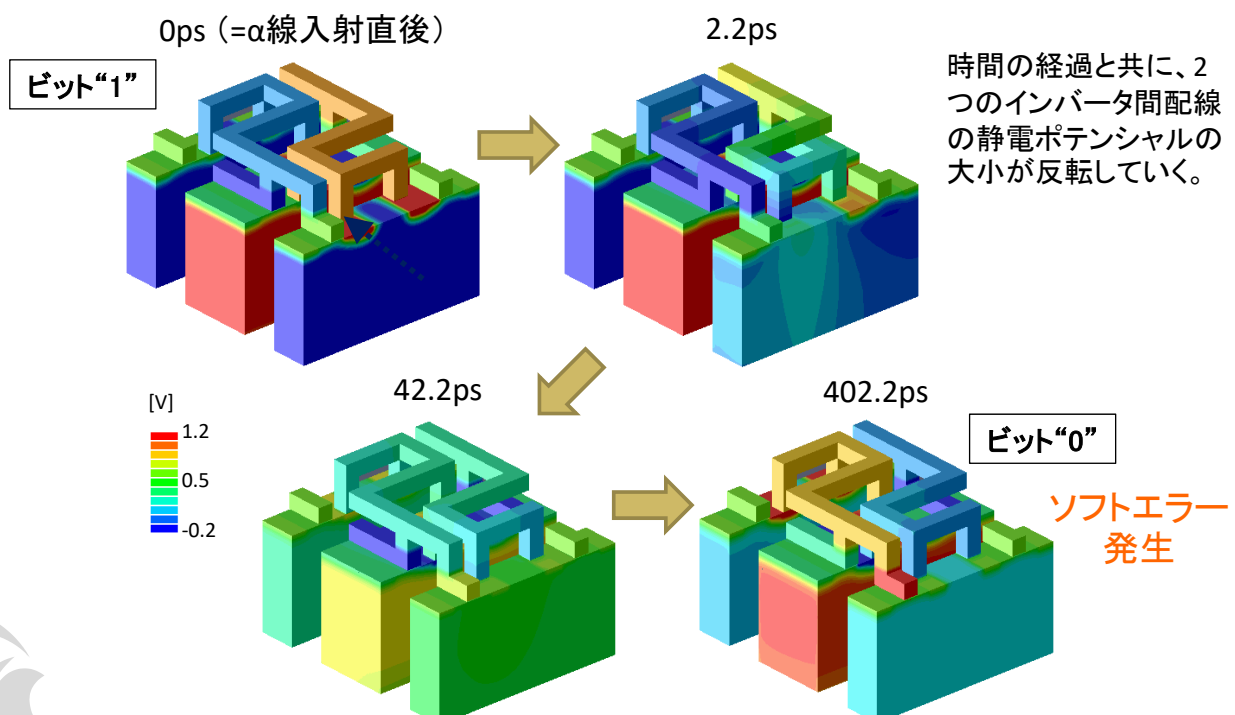
α線入射直後の電子密度分布
(L=200nm, E=0.696MeV)



- α線がTr5のドレイン側拡散層に真上から入射したと仮定し、入射エネルギーに応じて電子・正孔対を配置した。
- 一对の電子・正孔対を発生させるのに3.6eVが必要であるとして発生個数を概算した。
- Siの電子的阻止能を 2.094×10^3 (MeV/cm)として、α線の侵入深さを概算した。

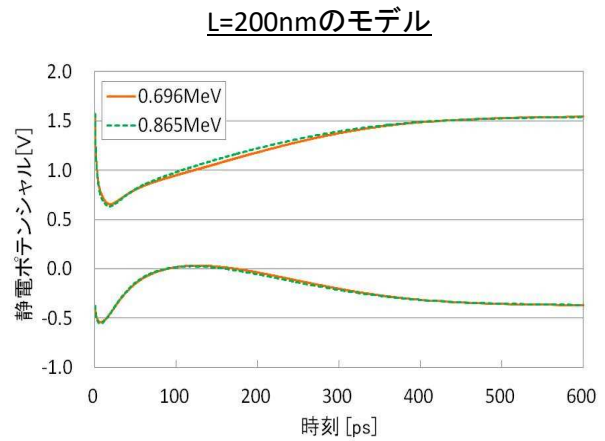
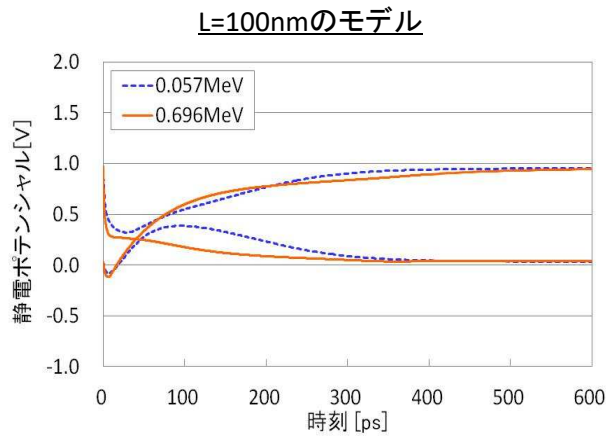
デバイスシミュレーション解析結果

L=100nm, E=0.696MeVの場合の静電ポテンシャル分布の時間変化



デバイスシミュレーション解析結果

α線入射後のインバータ間配線の静電ポテンシャルの時間変化



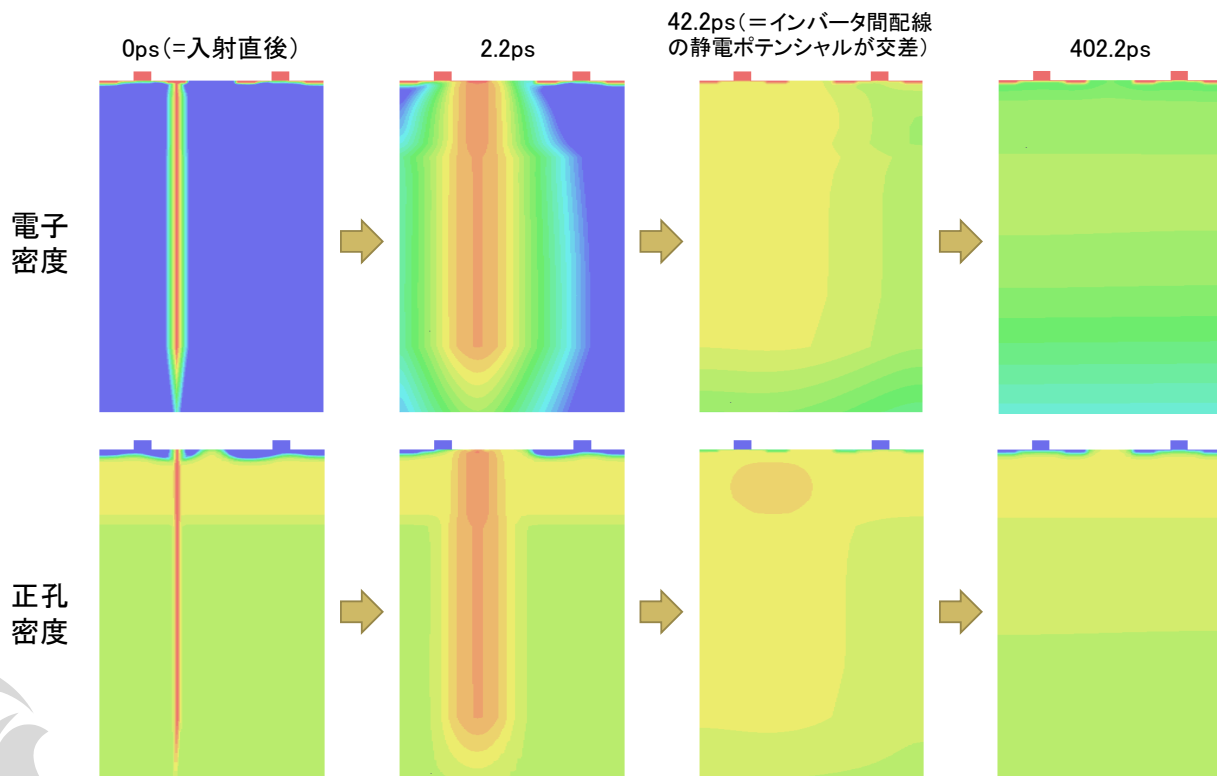
- 高エネルギー (E=0.696MeV) のα線入射の場合には反転し**ソフトエラー**となる。
- 低エネルギー (E=0.057MeV) のα線入射の場合には反転せず元のビット“1”の定常状態に戻る。

L=100nmではビットが反転したエネルギー (E=0.696MeV) およびそれより高いエネルギー (E=0.865MeV) の両方でビットは反転せず元のビット“1”の定常状態に戻る。

デバイスシミュレーション解析結果

L=100nm、E=0.696MeVの場合の電子・正孔密度分布の時間変化

※3700nm深さままでを表示。
※横方向は2倍に拡大表示。



まとめ

- 今回、アドバンスソフト社製Advance/TCADデバイスシミュレータを使用し、 α 線入射によるSRAMのソフトエラー発生過程の3次元デバイス過渡解析を実施した。
- ソフトエラーのセルサイズ依存性や α 線の入射エネルギー依存性を確認することができた。
- また、電子・正孔密度や静電ポテンシャルの3次元分布の時間変化を解析することで、ソフトエラー発生メカニズムへの理解が深まった。

価格および関連サービスのご案内

営業部 佐藤 琴美

半導体デバイス 3次元TCADシステム
Advance/TCAD最新動向セミナー
2018年12月25日（火）
アドバンスソフト株式会社



アドバンスソフトの開発・解析サービス

お客さまのご要望に応じて科学技術計算ソフトウェアの
新規開発、機能追加、受託解析等のサービスをおこないます。



1. 流体・構造・ナノ関連など幅広い分野のソフトウェアを開発し、解析経験がある技術者がお客様のご要望をお伺いいたします。

2. 最適な解析方法をご提案いたします。

3. お客様のご了解が得られましたら、モデリングを行い、解析を実施いたします。

4. 解析結果を可視化し、解析結果の評価や考察を行なって報告書を作成いたします。

お問い合わせ先: 営業部 佐藤まで
TEL:03-6826-3971 FAX:03-5283-6580
E-mail:office@advancesoft.jp





警告

このレポートに収録されている文章および内容については、ご自身のために役立てる用途に限定して無料配布しています。
このレポートを、販売、オークション、その他の目的で利用するには、著作権者の許諾が必要になります。
このレポートに含まれている内容を、その一部でも著作権者の許諾なしに、複製、改変、配布を行うことおよびインターネット上で提供する等により、一般へ送ることは法律によって固く禁止されています。