

解析例題

山田 吉宏* 大倉 康幸*

Analysis exercise

Yoshihiro Yamada* and Yasuyuki Ohkura*

本稿では、Advance/TCAD を用いたパワーデバイス（パワーMOSFET、IGBT）、および微細 MOSFET への適用事例について紹介する。

Key word: パワーデバイス

1. 縦型パワーMOSFET

1.1. 解析対象

計算対象となる n チャネル縦型パワーMOSFET の簡易モデルを図 1 に示す。また、プロセスシミュレータによる縦型パワーMOSFET のプロセスシーケンスを表 1 に示す。Si(100)基板の寸法が、 $13.5\mu\text{m} \times 25\mu\text{m}$ 、n 型に一様ドーピングした状態を初期設定とする。また、左右対称構造であるため、反射境界条件を適用し片側のみの構造で計算することで、計算時間の短縮を行っている。

1.2. プロセスシミュレーション

図 2 にメッシュ分割結果を示す。メッシュ数は 262100、基板表面近傍のメッシュサイズは約 100nm 程度である。イオン注入後の不純物プロファイルが精度良く滑らかに表現できるように、メッシュ密度制御機能を用いている。

表 1 縦型パワーMOSFET のプロセスシーケンス

	プロセス名	プロセス内容
0	初期設定	Si(100), $13.5\mu\text{m} \times 25\mu\text{m}$ P: $1\text{e}20[\text{cm}^{-3}]$
1	ゲート酸化膜堆積	平坦化デポ、 SiO_2 : 100nm
2	ゲート poly-Si 堆積	等方性デポ、poly-Si: 1 μm
3	チャネル形成 イオン注入	300keV, B: $1\text{e}14[\text{cm}^{-2}]$

	プロセス名	プロセス内容
4	拡散	N_2 , 1000°C, 5 時間
5	ソース形成 リソグラフィ	等方性デポ、 SiO_2 : 0.5 μm
6	ソース形成イオン 注入	100keV, As: $5\text{e}15[\text{cm}^{-2}]$
7	拡散	N_2 , 1000°C, 10 分
8	電極形成	等方性デポ、Al

ゲート酸化を行った後、ポリ Si ゲートを堆積する。側壁デポ・側壁エッチを形成した後、イオン注入によりチャネル領域を形成する。次に、ソース領域にイオン注入を行い、1000°C、10 分にて拡散後、Al 電極を堆積する。

図 3 にプロセスシミュレーション結果を示す。イオン注入と拡散が機能していることが分かる。プロセスシミュレーションで生成した縦型パワーMOSFET のモデルに対して、プロセスデバイス連携機能を用いてデータ変換を行った。その結果を図 4 に示す。

1.3. デバイスシミュレーション

次に、デバイスシミュレータでの電気特性の解析作業へ移行する。今回は、ドレイン電流・ドレイン電圧特性の耐圧計算を行った。その計算結果を、図 5 に示しており、縦型パワーMOSFET 特有の高耐圧なブレイクダウン電圧約 270V を示した。

*アドバンスソフト株式会社 第 1 事業部

1st Computational Science and Engineering Group,
AdvanceSoft Corporation

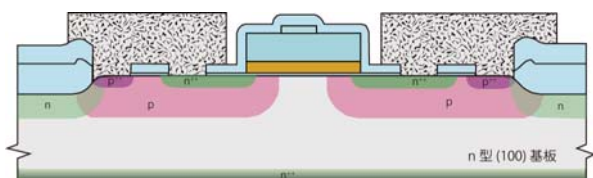


図 1 縦型パワーMOSFET の構造

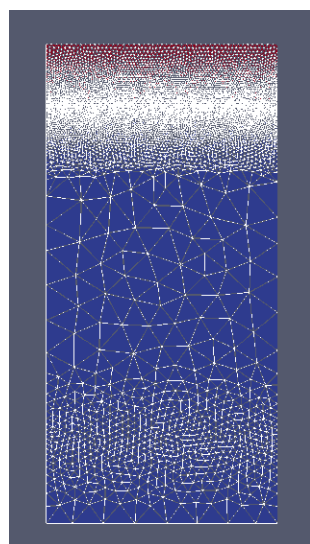


図 2 メッシュ分割

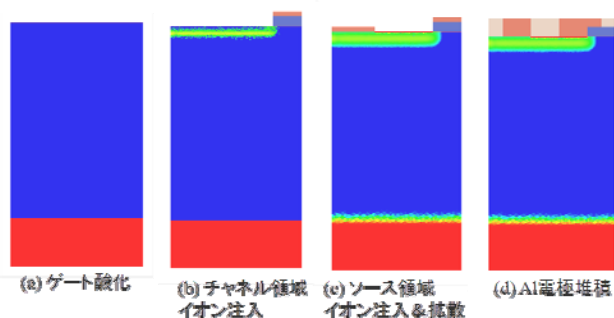


図 3 縦型パワーMOSFET のプロセスフロー

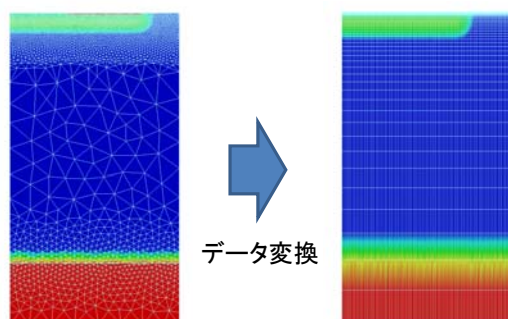


図 4 データ変換

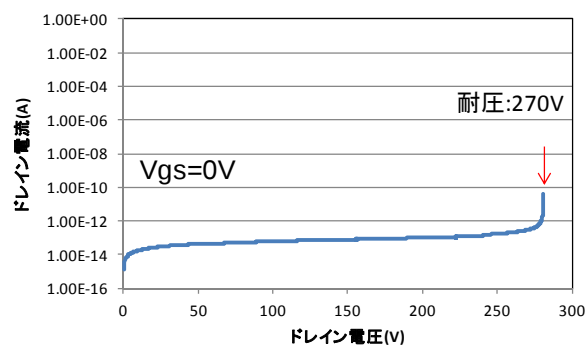


図 5 縦型パワーMOSFET のドレイン電流－ドレイン電圧特性

2. IGBT

2.1. 解析対象

図 6 に IGBT の簡易モデルを示す。また、IGBT のプロセスシーケンスを表 2 に示す。1.1 と同様に、左右対称構造であることを考慮して、反射境界条件を適用し左側半分の構造で解析した。図 7 にメッシュ生成結果を示す。特に、エミッタ領域の不純物分布の精度を高くするために、Si 基板表面のメッシュ密度を高くした。メッシュ数は 438468、表面近傍の四面体要素の一边の長さはおよそ 100nm 程度になっている。

表 2 IGBT のプロセスシーケンス

	プロセス名	プロセス内容
0	初期設定	Si(100), $5\mu\text{m} \times 32\mu\text{m}$, $\text{P:}1\text{e}20[\text{cm}^{-3}]$
1	n 型エピ層堆積	平坦化デポ $\text{Si:}30\mu\text{m}$, $\text{P:}1\text{e}15[\text{cm}^{-3}]$
2	ベース形成イオン注入	100keV , $\text{B:}5\text{e}13[\text{cm}^{-2}]$
3	拡散	N_2 , 1200°C , 1 時間
4	エミッタ形成イオン注入	100keV , $\text{As:}5\text{e}15[\text{cm}^{-2}]$
5	拡散	N_2 , 1000°C , 10 分
6	トレンチエッチ	異方性エッチ、 $5\mu\text{m}$
7	ゲート酸化膜堆積	等方性デポ $\text{SiO}_2:50\text{nm}$
8	ゲート poly-Si 埋め込み	平坦化デポ
9	電極形成	等方性デポ、Al

2.2. プロセスシミュレーション

プロセスシミュレータによる IGBT のプロセスフローを図 8 に示す。最初に、異方性エッチングによってトレンチ領域を形成する。次に、等方性デポジションにより酸化膜を堆積させ、ポリ Si ゲート電極を埋め込む。最後に、酸化膜を堆積し、Al 電極を堆積後、形状整形を行った。

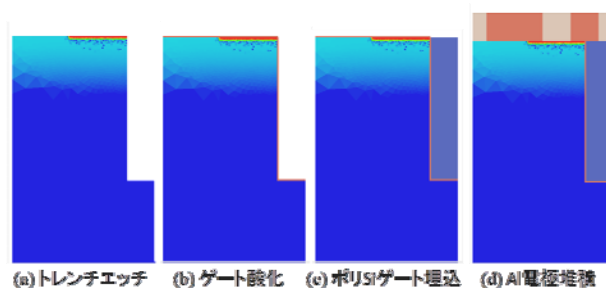


図 8 IGBT のプロセスフロー

2.3. デバイスシミュレーション

プロセスシミュレータにより作成した形状に対して、プロセスデバイス連携機能を用いて、デバイスシミュレーション用の構造に変換する (図 9)。この構造に対して、デバイスシミュレーションによりコレクタ電流-コレクタ電圧特性を計算した結果を図 10 に示す。ブレイクダウン電圧は、約 80V 程度となった。

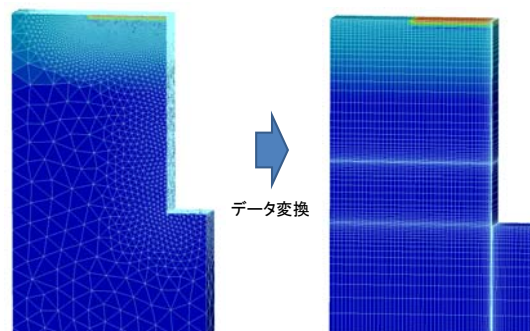


図 9 データ変換

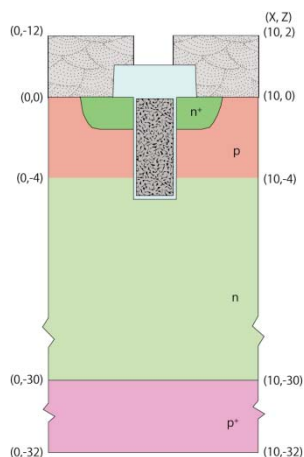


図 6 IGBT の構造

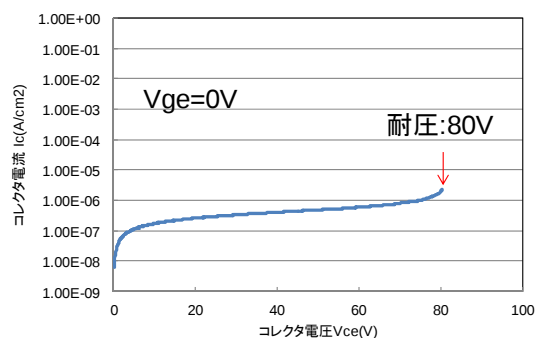


図 10 コレクタ電流-コレクタ電圧特性

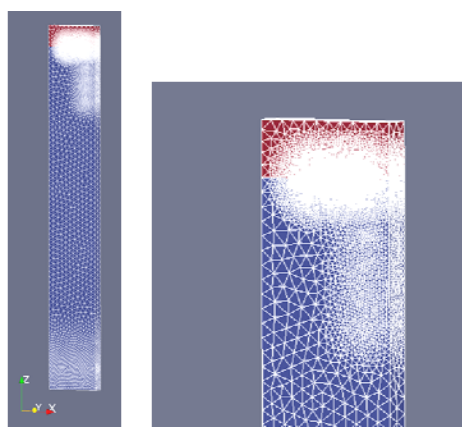


図 7 メッシュ分割

3. 微細 MOSFET

3.1. 解析対象

表 3 に、微細 nMOSFET のプロセスシーケンスを示す。Si(100)基板を、p 型に一様ドーピングした状態からプロセスシミュレーションを開始する。最初に、異方性エッチングによって STI 領域を形成する。次に、5nm 厚の SiO₂ 酸化膜を平坦化デポにより堆積させる。ポリ Si ゲート電極を等方性デポで堆積後、注入エネルギー 4keV、ドーズ量 1e13[cm⁻²]、チルト角 15° での Halo 形成イオン注入を行う。また、Extension 領域のイオン注入も行う。側壁デポ・エッチ後、ソース・ドレイン形成イオン注入を行った。拡散は、1000℃10 秒の

フラッシュアニールとした。最後に、Al 電極の堆積を行い、上面の平坦化処理を行った。

3.2. プロセスシミュレーション

図 11 にプロセスシミュレータで用いる四面体要素分割結果を示している。メッシュ数は、367691 となった。特に、基板－空気層界面においてメッシュ数を細分化しており、イオン注入における不純物分布の計算精度を確保している。基板－空気層界面近傍の四面体要素は約 10nm 程度に調整した。Si(100)基板の寸法は、幅 500nm、奥行 300nm となっている。また、nMOSFET のゲート長は 200nm とした。図 12 にプロセスシミュレーションの計算結果を示す。形状変形処理、イオン注入・拡散が正常に機能していることが分かった。

3.3. デバイスシミュレーション

図 13 に、プロセスシミュレーションから、デバイスシミュレーションへのデータ変換連携作業の様子を示す。四面体メッシュから直交メッシュへの変換、不純物分布のマッピングがなされている。この後、デバイスシミュレーションにより、電気特性の解析を実施する。図 14 にドレイン電流－ドレイン電圧特性を示した。MOSFET の典型的な電気特性が表れていることが分かる。

表 3 nMOSFET のプロセスシーケンス

	プロセス名	プロセス内容
0	初期設定	Si(100), B:5e15[cm-3]
1	STI エッチ	異方性エッチ、0.2um
2	ゲート酸化膜堆積	平坦化デポ、SiO ₂ :5nm
3	ゲート poly-Si 堆積	等方性デポ poly-Si:100nm
4	Halo 形成 イオン注入	4keV, B:1e13[cm-2] tilt=15°
5	Extension 形成 イオン注入	3keV, As:1e14[cm-2]
6	側壁デポ	等方性デポ、50nm
7	側壁エッチ	異方性エッチ、51nm
8	S/D 層形成 イオン注入	10keV, P:5e14[cm-2]
9	拡散	N ₂ , 1000°C, 10 秒
10	電極形成	等方性デポ、Al

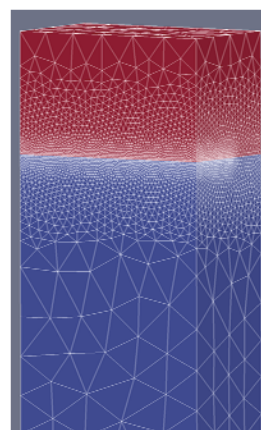


図 11 メッシュ分割

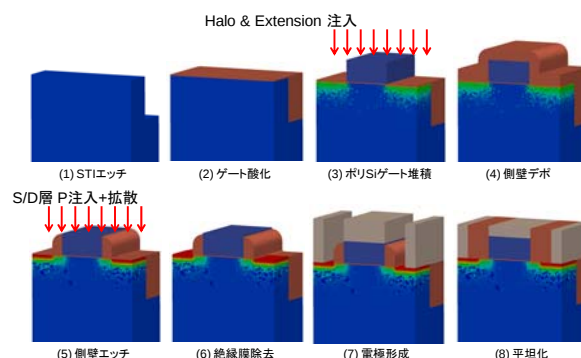


図 12 nMOSFET のプロセスフロー

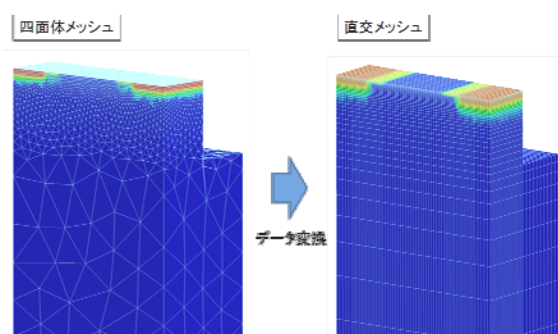


図 13 データ変換の様子

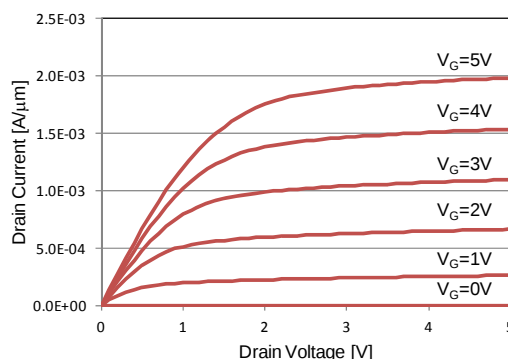


図 14 ドレイン電流－ドレイン電圧特性

※ 技術情報誌アドバンスシミュレーションは、アドバンスソフト株式会社 ホームページのシミュレーション図書館から、PDF ファイル（カラー版）がダウンロードできます。ダウンロードしていただくには、アドバンス/シミュレーションフォーラム会員登録が必要です。