

デバイスシミュレーション

山口 憲* 原田 昌紀** 桑原 匠史** 大倉 康幸**

Device Simulation

Ken Yamaguchi* Masanori Harada** Takuhito Kuwabara** and Yasuyuki Ohkura**

デバイスシミュレーション技術は半導体デバイス開発と並行して発展してきた。1960年代に発表されたガンダイオードの発振現象解析[1]、バイポーラトランジスタの1次元解析[2]にその起源を見ることができる。1970年代に入ると、Si LSIの幕開けと共に2次元デバイス解析技術[3] - [5]が登場、設計現場に浸透してきた。これらの文献はキャリアを連続流体とみなす『流体モデル』と呼ばれるもので、次節で詳述する Boltzmann 方程式に基づく定式化である。

一方、電場の中の電子の移動を荷電粒子の運動として表現するモンテカルロ法モデリング[6]は電子の運動を詳細に解析できることから物理研究に威力を発揮した。ただし、計算時間を長く必要とするため、実用面からは流体モデルが主流となっている。

本章では、流体モデルに基礎をおくデバイスシミュレーション技術を中心に述べる。Boltzmann 方程式は輸送問題における第一原理式といえるものである。これを基礎にデバイスシミュレーションのための定式化を述べる。

Key word: CMOS、インバータ、一括解析、過渡解析、デバイスシミュレーション、パワーデバイス、ショットキー、バイアス粗密調整、高耐圧計算

1. 概要

1.1. Boltzmann 方程式

個体中の電子の運動はランダムであり、速度の速いものから遅いものまで幅広い分布をもっている。このような電子の集団を1つの分布関数 f で表現することを考える。分布関数 f はある時刻 (t) で眺めれば電子の空間位置座標 $\mathbf{r}(x, y, z)$ と速度ベクトル $\mathbf{v}(v_x, v_y, v_z)$ の関数で表現され、

$$\frac{\partial f}{\partial t} + \frac{\partial f}{\partial \mathbf{r}} \frac{d\mathbf{r}}{dt} + \frac{\partial f}{\partial \mathbf{v}} \frac{d\mathbf{v}}{dt} = 0 \quad (1)$$

を得る。上式は時間全微分に対する平衡解を表現したもので、導出に何らの仮定を含まない。分布関数 f はいかなる分布関数でもよく、この意味で第一原理式と呼べるものである。次に

*アドバンスソフト株式会社 総合企画部

General Planning Division, AdvanceSoft Corporation

**アドバンスソフト株式会社 第1事業部

1st Computational Science and Engineering Group,
AdvanceSoft Corporation

$$\frac{d\mathbf{r}}{dt} = \mathbf{v} \quad (2)$$

$$m \frac{d\mathbf{v}}{dt} = \mathbf{F} \quad (3)$$

を考えれば、式(1)は

$$\frac{\partial f}{\partial t} + \mathbf{v} \frac{\partial f}{\partial \mathbf{r}} + \frac{\mathbf{F}}{m} \frac{\partial f}{\partial \mathbf{v}} = 0 \quad (4)$$

と記述される。ここに $\mathbf{F}$ は電子に作用する力である。 $\mathbf{F}$ を駆動力($\mathbf{F}_e$)と緩和力($\mathbf{F}_i$)に分けて考えれば

$$\frac{\partial f}{\partial t} + \mathbf{v} \frac{\partial f}{\partial \mathbf{r}} + \frac{\mathbf{F}_e}{m} \frac{\partial f}{\partial \mathbf{v}} = -\frac{\mathbf{F}_i}{m} \frac{\partial f}{\partial \mathbf{v}} = \left(\frac{\partial f}{\partial t} \right)_{coll} \quad (5)$$

となる。右辺を緩和係数で表現すれば、駆動力に對し、下付き記号($\mathbf{F}_e$)を用いる必要がなくなり

$$\frac{\partial f}{\partial t} + \mathbf{v} \frac{\partial f}{\partial \mathbf{r}} + \frac{\mathbf{F}}{m} \frac{\partial f}{\partial \mathbf{v}} = \left(\frac{\partial f}{\partial t} \right)_{coll} \quad (6)$$

と表記してよい。上式を Boltzmann 方程式と呼んでいる。

式(6)の両辺に速度空間における任意の物理量 Y を乗算し、速度空間で積分を行うと

$$\int_{-\infty}^{\infty} Y \frac{\partial f}{\partial t} dv + \int_{-\infty}^{\infty} Y \mathbf{v} \frac{\partial f}{\partial \mathbf{r}} dv + \int_{-\infty}^{\infty} Y \frac{\mathbf{F}}{m} \frac{\partial f}{\partial \mathbf{v}} dv \quad (7)$$

$$= \int_{-\infty}^{\infty} Y \left(\frac{\partial f}{\partial t} \right)_{coll} dv$$

を得る。一方、実空間における物理量が速度空間における物理量 Y に分布関数を重み関数として乗算した統計的平均値

$$\overline{Y(\mathbf{r}, t)} = \frac{1}{n(\mathbf{r}, t)} \int_{-\infty}^{\infty} Y(\mathbf{r}, \mathbf{v}, t) f(\mathbf{r}, \mathbf{v}, t) dv \quad (8)$$

より求められることを考えると、 Y として該当する物理量を充当することで、電子の輸送問題を解くための物理基本式を得ることが可能となる。なお、式(8)の右辺第1項の分母に密度 n があるのは、分布関数が規格化されていないからである。

Step 1 物質保存則 ($Y=1$ の場合)

式(7)で $Y=1$ とおけば

$$\int_{-\infty}^{\infty} \frac{\partial f}{\partial t} dv + \int_{-\infty}^{\infty} \mathbf{v} \frac{\partial f}{\partial \mathbf{r}} dv + \int_{-\infty}^{\infty} \frac{\mathbf{F}}{m} \frac{\partial f}{\partial \mathbf{v}} dv = \int_{-\infty}^{\infty} \left(\frac{\partial f}{\partial t} \right)_{coll} dv \quad (9)$$

となる。左辺第1項は、時間偏微分と速度空間積分を入替えれば

$$\text{第1項} = \frac{\partial n}{\partial t} \quad (10)$$

であることが分かる。第2項の速度ベクトルについて、熱平衡ならばその平均値は零である。そこで、熱非平衡における速度ベクトルを非零要素と平均値が零となるような熱バラツキ速度へ分解する。すなわち

$$\mathbf{v} = \mathbf{v}_d + \mathbf{u} \quad (11)$$

とする。第2項が平均値を零とするランダム分布を表わす。式(11)のような分解により式(9)の第2項は

$$\text{第2項} = \nabla(n\mathbf{v}_d) \quad (12)$$

となる。第3項は零である。

右辺の緩和項は

$$\int \left(\frac{\partial f}{\partial t} \right)_{coll} dv = \left(\frac{1}{\partial t} \int f dv \right)_{coll} = \left(\frac{\partial n}{\partial t} \right)_{coll} \quad (13)$$

であることから、生成再結合項(Generation: G , Recombination: R , GR 項)であることが分かる。

以上を纏めると式(9)は

$$\frac{\partial n}{\partial t} + \nabla(n\mathbf{v}_d) = G - R \quad (14)$$

となる。良く知られた電流連続式である。

Step 2 運動量保存則 ($Y = m\mathbf{v}$ の場合)

式(7)の第2項に速度の自乗項が出現する。統計的平均値が非零となる要素を抽出すれば、第2項は

$$\nabla_r(\overline{nm\mathbf{v}^2}) = \nabla_r(nm\mathbf{v}_d^2) + \nabla_r(nk_B T) \quad (15)$$

となる。上式の右辺第2項は熱エネルギーを現している。第1, 3項を計算し運動量保存則を導出すると

$$\begin{aligned} \frac{\partial}{\partial t}(nm\mathbf{v}_d) + \nabla(nm\mathbf{v}_d^2) + \nabla(nk_B T) - n\mathbf{F} \\ = \int \left[m\mathbf{v} \left(\frac{\partial f}{\partial t} \right)_{coll} \right] dv \end{aligned} \quad (16)$$

となる。ここでは運動量と密度 n が混在しているので、分離して運動量のみを対象に微分方程式を記述すると

$$\begin{aligned} \frac{\partial}{\partial t}(m\mathbf{v}_d) + \mathbf{v}_d \nabla(m\mathbf{v}_d) + \frac{1}{n} \nabla(nk_B T) - \mathbf{F} \\ = -\frac{m\mathbf{v}_d}{\tau_m(w)} \end{aligned} \quad (17)$$

となる。右辺は運動量の緩和時間をライフタイム(τ_m)で表現したものである。

Step 3 エネルギー保存則 ($Y = \frac{1}{2}m\mathbf{v}^2$ の場合)

式(7)の第2項が速度の3乗となる。統計的平均値が非零となる要素を抽出すれば第2項は

$$\begin{aligned} \nabla \left[n\mathbf{v}_d \frac{1}{2} m(\mathbf{v}_d^2 + \overline{\mathbf{u}^2}) + nm(\mathbf{v}_d \mathbf{u}) \mathbf{u} \right] \\ = \nabla(n\mathbf{v}_d w + n\mathbf{v}_d k_B T) \end{aligned} \quad (18)$$

となる。一方、ランダムな熱運動を行う粒子のエネルギーは1自由度当たり $\frac{1}{2}k_B T$ であるので、電子のエネルギー(w)を

$$w = \frac{1}{2} m\mathbf{v}_d^2 + \frac{3}{2} k_B T \quad (19)$$

と書くことにすると、エネルギー保存則は

$$\begin{aligned} \frac{\partial}{\partial t}(nw) + \nabla[n\mathbf{v}_d(w + k_B T) - \kappa \nabla T] + qn\mathbf{v}_d \mathbf{E} \\ = \int \left[\frac{1}{2} m\mathbf{v}^2 \left(\frac{\partial f}{\partial t} \right)_{coll} \right] dv \end{aligned} \quad (20)$$

となる。ここでもエネルギーと密度 n が混在しているので、分離してエネルギー成分のみを対象に微分方程式を記述すると

$$\begin{aligned} \frac{\partial w}{\partial t} + \mathbf{v}_d \nabla w + \frac{1}{n} \nabla (n \mathbf{v}_d k_B T - \kappa \nabla T) \\ + q \mathbf{v}_d \mathbf{E} = - \frac{w - w_0}{\tau_w(w)} \end{aligned} \quad (21)$$

となる。右辺はエネルギー緩和の時間 $\tau_w(w)$ で表現してある。なお、本章の詳細は文献[7]を参照して欲しい。

1.2. 緩和プロセスとそのモデル化

デバイス動作を記述する基本は電流連続式であり、右辺の GR 項[式(14)]が材料特性を表現する。基本的プロセスは伝導帯と価電子帯の間で発生する『直接遷移型』再結合(図1参照)である。熱平衡では生成量と消滅量が釣り合い($G_{th} = R_{th}$)、 GR 項の大きさは零となる。このプロセスが顕著となるのは GaAs のように伝導帯の底が Γ 谷となる材料である。

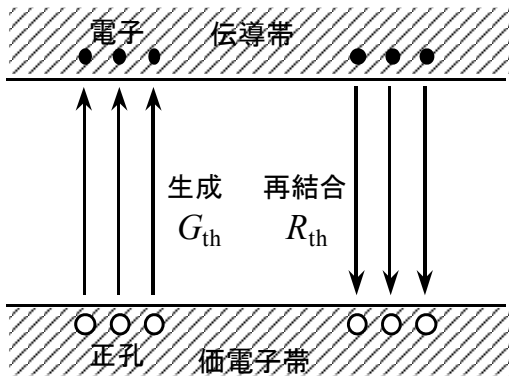


図1 直接再結合過程

Si のように伝導帯の底が Γ 谷とならない場合、図1に示すようなバンドギャップ中の準位を介した『一準位再結合』プロセスがメインとなる。電子(正孔)の遷移確率は 1) 初期状態でのキャリアの存在確率と遷移先の空席確率との積と、2) 図2に示される4つのプロセスの釣り合い条件を現す『レート方程式』により決定される。定常状態であるが、熱非平衡でのキャリア遷移確率を求めたものが、いわゆる SRH [8], [9]モデルと呼ばれるもので、

$$R_{SRH} = \frac{v_{th} \sigma_n \sigma_p (np - n_i p_i)}{\sigma_n (n + n_i) + \sigma_p (p + p_i)} N_T \quad (22)$$

と表現される。ただし、熱速度(v_{th})や捕獲断面積(σ)、準位密度(N_T)を陽に表記せず、ライフタイム(τ)で表現した

$$R_{SRH} = \frac{np - n_i^2}{\tau_p (n + n_i) + \tau_n (p + p_i)} \quad (23)$$

が通常用いられている。

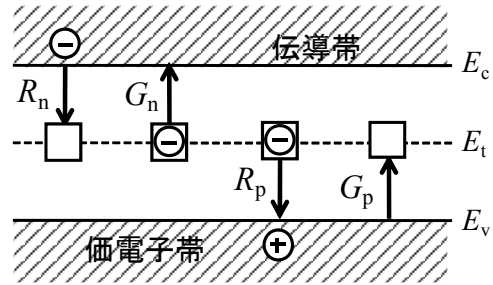


図2 一準位間接型再結合過程

電子と正孔が再結合するとき、放出エネルギーを他の電子または正孔に与えるようなプロセスを Auger 再結合と言い、以下のようなモデル化がなされている。

$$R_{Aug} = (C_n n + C_p p) \times (np - n_0 p_0) \quad (24)$$

デバイス特性へ及ぼす影響として、Si バイポーラトランジスタのエミッター領域で顕著になることが知られている[10]。

再結合の逆となる生成項の内、デバイス特性に大きな影響を及ぼすものとして、雪崩増倍機構がある。高電界中で走行する電子は電界からエネルギーを受け、高エネルギー化する。エネルギーが高くなると価電子帯の電子を伝導帯まで叩き上げ、電子・正孔対を新たに生成するメカニズムである。こうした機構が連続的に起こると電子と正孔が大量に発生し、素子の降伏(Breakdown)が起こる。電子と正孔の動きをみると Auger プロセスと逆の流れになる。電子、正孔を生成する割合(イオン化率: α)は電界強度(E)に強く依存し

$$\alpha = A \exp \left[- \left(\frac{E_0}{E} \right)^m \right] \quad (25)$$

の形式でモデル化できる。係数 A, E_0 は材料固有

のもので、材料ごとにその大きさが知られている。物性値は文献[7]を参照して欲しい。

1.3. キャリア駆動力

半導体内のキャリア駆動である電場(電界)は静電ポテンシャル(Ψ)の勾配(gradient)から決められ、 Ψ はポアソン方程式

$$\nabla(\epsilon\nabla\Psi)=-\rho \quad (26)$$

より決定される。 ρ は空間電荷密度で、不動電荷と可動電荷(電子・正孔)より構成される。電子と正孔の運動方程式とポアソン方程式を連立させることでデバイス動作を解析可能とできる。

1.1 節では電子流における保存則を記載した。正孔流についても同様な結論を得ることができる。電子と正孔を区別し、改めて電流保存則を記載すると

$$\frac{\partial n}{\partial t} - \frac{1}{q} \nabla \cdot \mathbf{J}_n = G - R \quad (27)$$

$$\frac{\partial p}{\partial t} + \frac{1}{q} \nabla \cdot \mathbf{J}_p = G - R \quad (28)$$

となる。式(26)~(28)のセットが流体モデルによるデバイス解析の基礎式となる。

2. 外部因子による生成項

2.1. 計算手法

デバイスシミュレータでは、太陽電池やソフトウェアのように、外部からの電磁場や放射線により電子・正孔対が発生する場合の解析が可能である。これら外部因子による定常的な生成量をメッシュファイルに指定しソルバーで読み込む。読み込まれた値は電子と正孔の電流連続方程式(27)、(28)の生成・消滅項 (GR 項) に反映される。ソフトウェアの過渡解析のように、ある時間だけ電子・生成項が発生するような場合には、その時間だけ生成量を含んだメッシュファイルを使用し、それ以外は生成量を含んでいないメッシュファイルを使用することでシミュレーションが可能となる。

デバイスシミュレータのメッシュファイルには全格子点での電子正孔対の発生量を $\text{cm}^{-3} \cdot \text{s}^{-1}$ 単

位で記述する。放射線が入射しない領域には 0 を指定する。

2.2. 太陽電池デバイスの解析

2.2.1. 生成項計算プログラム

デバイスシミュレータでは、太陽電池の解析用に、太陽光入射による生成項を算出する外部プログラムを備えている。外部プログラムは入射光スペクトル、対象デバイスの屈折率、吸収係数、メッシュファイルを入力として各格子点での電子生成対の生成量を計算しメッシュファイルに追記する。

本プログラムは以下の条件を満たすモデル、もしくは近似的にその条件を満たすモデルを対象としている。

- XY 方向の境界面の影響は考慮しない。つまり電子正孔対発生量は深さ方向のみに依存することになる。
- 入射面の微小スケールの凹凸の影響は、入射面の相対屈折率 n に含まれるとする。
- 光の干渉は考えない。

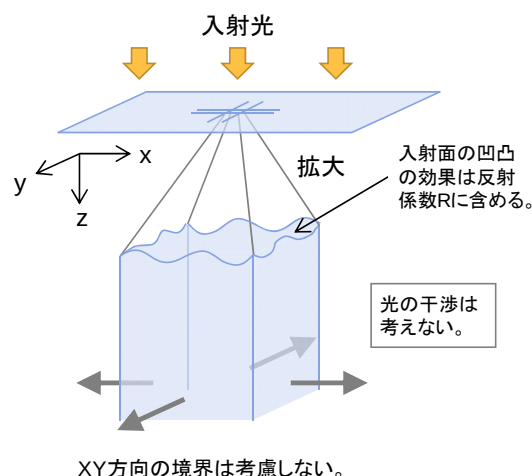


図 3 本プログラムが対象とする太陽電池デバイス模式図

本プログラムのファイル構成を図 4 に示す。本プログラムは Windows OS 上で動作し、GUI 機能も含んだ単一の実行形式ファイルである。太陽光スペクトルデータファイルには波長ごと（単位：nm）の太陽光強度（単位： $\text{W}/\text{m}^2/\text{nm}$ ）が記述されている。入射面（Air-Si 界面）相対屈折率データファイルには入射面における波長ごとの相対屈

折率が記述される。反射面（Si-SiO₂ 界面）相対屈折率データファイルには反射面における波長ごとの相対屈折率が記述される。吸収係数データファイルには波長ごとの Si 基板の吸収係数（単位：1/cm）が記述される。これらのデータファイルにはデフォルト値がテキスト形式で設定されているが、ユーザーが編集することも可能である。上記4種類のデータファイルはGUIから選択可能である。

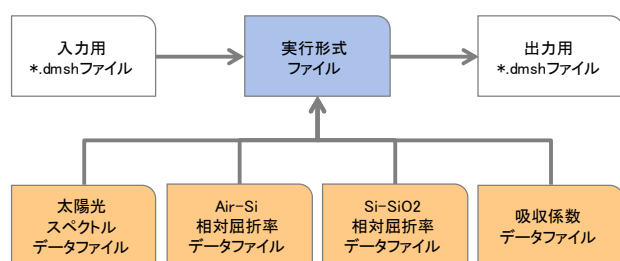


図4 ファイル構成

2.2.2. 生成項計算方法

計算は各波長に対して、以下の手順で実行される。光線の角度、反射係数、屈折率の記号の定義は図5に示す。

- ① 入射光線の強度 I_0 、入射角 θ_0 、入射面の反射係数 $R_{\text{air-Si}}$ から、透過直後の光線の強度 I_1 、角度 θ_1 を求める。
- ② 吸収係数から光線の軌跡における電子正孔対発生量を計算する。吸収係数を α とし、光の進行方向を r とすると、光の強度は $I_r = I_{r=0} \exp(-\alpha r)$ で表される。ここで光の強度とは、進行方向に垂直な平面の単位面積に単位時間あたりに到達する単位波長あたりの光のエネルギーである。これを進行方向の距離 r で微分して符号を入れ替えた $-\frac{\partial I}{\partial r} = \alpha I$ が単位体積あたりの吸収エネルギーであり、電子正孔対の発生に使用される。
- ③ 光線がパッシベーション膜（SiO₂）に達したときには、角度 θ_1 、Si-SiO₂ 界面の反射係数 $R_{\text{Si-SiO}_2}$ から、反射される光線の強度 I_2 を求める。
- ④ さらに入射面に達したときには、角度 θ_1 、

$R_{\text{air-Si}}$ から、反射される光線の強度 I_3 を求める。

- ⑤ 以上のように境界面での反射を繰り返しながら計算を続け、光線の強度がある値以下になったときに、その波長についての計算を終了する。
- ⑥ 上記の手順を設定した全波長域で計算し、電子正孔対発生量の合計を計算する。

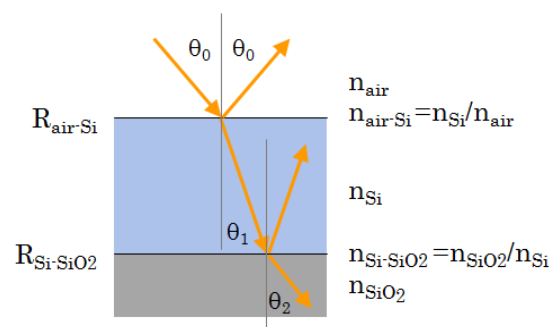


図5 光線の角度、反射係数、相対屈折率の定義

2.3. DRAM ソフトエラーの過渡解析

2.3.1. 計算モデル

デバイスシミュレータを用いて α 線による DRAM のソフトエラーの発生過程を解析した。DRAM にビット 1 が書き込まれた状態、つまりキャパシタが正に帯電した状態を初期状態とする。この状態において図6左の DRAM 回路図に示す位置に α 線が入射する場合を解析する。図6右には計算で使用したモデルと α 線入射位置を示す。 α 線はキャパシタの n+型ドープ領域と Si 基板の p 型ドープ領域の間の空乏層に Si 表面に垂直に入射される。

一般的な α 線のエネルギーを 1~10 MeV 程度とする。保護膜を通過して 0.1 MeV までエネルギーが減衰した α 線が Si 表面に到達すると仮定する。この α 線の入射による電子・正孔対発生量、侵入深さ、発生時間などを以下のように概算した。

- Si での電子・正孔対の生成エネルギーを 3.6 eV 程度であるとし、0.1 MeV のエネルギーが全て生成に使用されたとし、発生量を 28000 個とした。
- 0.1 MeV の α 線に対する Si の電子的阻止能を $2.094 \times 10^3 \text{ MeV/cm}$ とする[11]。侵入深さは入射エネルギーと電子阻止能による単純な除算で近似し $0.478 \mu\text{m}$ とした。

- 0.1 MeV の α 線 の速度を 2.2×10^6 m/s とし、0.478 μm の距離を減速せずに進んだと近似し 22 ps の発生時間とした。
- 電子・正孔対は、深さに関係なく、入射方向に垂直な $10 \times 10 \text{ nm}^2$ の断面で発生すると近似した。

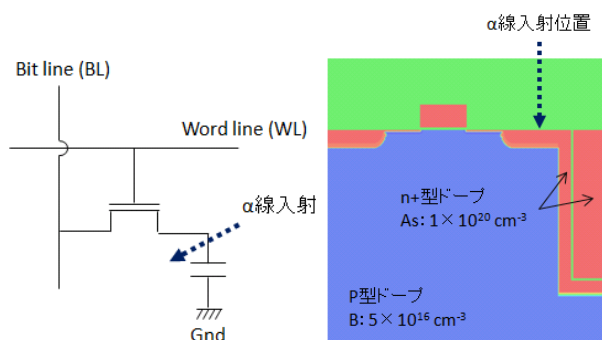


図 6 α 線による DRAM のソフトエラー回路図 (左) とモデル (右)

以上のようにした概算した生成量をメッシュファイル内の $10 \times 10 \times 478 \text{ nm}^3$ の領域に設定し、このメッシュファイルを使用した 22 ps 間の過渡解析を実行し 28000 個の電子・正孔対を発生させた。このときの電子、正孔密度分布と静電ポテンシャル分布を図 7 に示す。

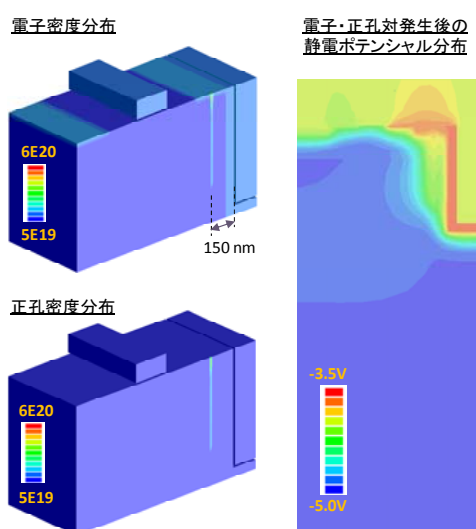


図 7 電子・正孔対発生後の電子、正孔密度と静電ポテンシャル分布

2.3.2. 過渡解析計算結果

次に生成項を含んでいないメッシュファイルに戻し、100 ps の時間での過渡解析を実施した。図 8 に 1、10、100 ps における静電ポテンシャル分布

分布を示す。空乏層に発生した電子-正孔対のうち、電子はキャパシタの n+領域に移動し正孔は p 領域に移動する。1 ps 後では空乏層付近に等電位の薄オレンジ色の領域が広がっていることから、生成時は同じ位置に存在していた電子と正孔が逆方向に移動していることが分かる。キャパシタの n+領域は、 α 線入射前の濃いオレンジ色のままであり、正に帯電した状態が保たれていることを示す。10 ps 後では、キャパシタの n+領域は薄黄緑色に変化しており、電子が n+領域に流入していることを示す。また p 領域では水色の領域が基板電極の方向に拡大しており、正孔が基板電極に向かって移動していることが分かる。100 ps 後では n+領域は濃い黄緑色になっており、発生した電子の大半が n+領域に移動したことで正の帯電が消滅し DRAM がビット 0 の状態に変化したことが分かる。また p 領域は α 線入射前の電位 (青色) に戻っており、発生した正孔の大半が基板電極へ移動したことが分かる。

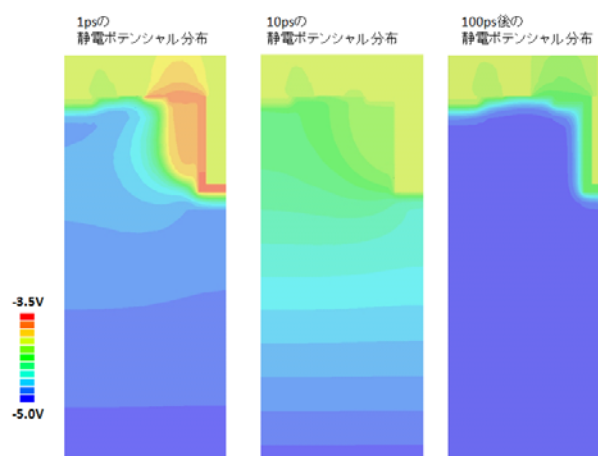


図 8 α 線入射後 1 ps (左)、10 ps (中)、100 ps (右) における静電ポテンシャル分布

3. バリステック輸送

3.1. 一般化移動度モデル

デバイス特性を記述する電流保存則を解くには速度 v_d を知る必要がある。速度は運動量保存則から式(17)のように決められる。定常状態で且 2 次の項を無視すると

$$v_d = -\mu_n(w)E - \frac{D_n(w)}{n} \nabla n - \mu_n(w) \nabla \left(\frac{k_B T_e}{q} \right) \quad (29)$$

を得る。ここに μ と D は

$$\mu_n(w) = \frac{q\tau_{me}(w)}{m_e} \quad (30)$$

$$D_n(w) = \frac{k_B T_e}{q} \mu(w) \quad (31)$$

で与えられ、 μ は移動度と呼ばれる物理量である。ある程度の長さを走行し、散乱を多数回受け統計的平均値を持つと、速度は局所的電界強度(E)の値で決定され

$$v_d(E) = \mu_n E \quad (32)$$

のように表現される。ここではベクトル表現を簡略化してスカラー表現とし、電子の電荷が負であることから、符号を逆転させている。また、不純物をドーピングすると不純物散乱が移動度を大きく左右するため、不純物濃度を N_I と書くことにすると、上式は

$$v_d = v_d(E, N_I) \quad (33)$$

と一般化される。

一方、移動空間が小さく、散乱回数が少ない場合、バリスティック効果が出現する。この効果は局所的電界では一意に決まらず、式(30)に示される如く緩和時間をエネルギーの関数とすることでモデル化できる。ここでエネルギーの関数で表現される非局所的モデルを一般化移動度と呼び、電界の大きさで決めることができる場合を局所モデルと呼ぶことにする。局所モデル、非局所モデルいずれにおいても移動度の大きさを決める因子は運動量緩和時間(τ_m)であり、物理的に言えば散乱対象(不純物散乱、フォノン散乱、プラズモン散乱、等)の物性である。また MOSFET の動作では強いゲート電界(E_G)により電子の存在確率(分布関数)が制御され、散乱事象がバルク中のそれと異なってくるため、MOS 反転層内の移動度は

$$\mu_n = \mu_n(E_D, E_G, N_I) \quad (34)$$

となる。ここに E_D はドレイン方向電界を表わす。

非局所モデルの場合、移動度は

$$\mu_n = \mu_n(w, E_G, N_I) \quad (35)$$

となる。運動量緩和時間に直せば

$$\mu_n(w, E_G, N_I) = \frac{q\tau_{me}(w, E_G, N_I)}{m_e} \quad (36)$$

となる。なお、MOS 反転層内の電流通路はデバイス表面と必ずしも並行ではないので、電界成分の分離は以下に行う[12]。

$$E_D = (\mathbf{E} \cdot \mathbf{J}) / |\mathbf{J}| \quad (37)$$

$$E_G = |\mathbf{E} \times \mathbf{J}| / |\mathbf{J}| \quad (38)$$

上式の物理的意味は、式(20)または(21)に示される如く、ベクトルの内積成分はエネルギー授受を意味し、外積成分はエネルギー授受に関与しないことに相当する。バリスティック輸送のモデル化は式(36)の右辺にある緩和時間を3変数関数として陽に表現することに帰着される。

3.2. 緩和係数モデル

シミュレーションを実用的レベルとするには、式(36)あるいは(34)に示されるような3変数関数表を互いの依存性を考慮した上、同時に適性にセットすることが必要となる。しかし、理論的、実験的いずれのアプローチを採用するにせよ、3変数同時アジャストメントは困難である。この課題に対して、Boltzmann 方程式に基礎をおき、変数間の依存性を詳細に調べた Thornber [13] のスケーリング則が助けとなる。スケーリング則に従えば、3変数関数を精度良く1次元変数の集合体に分離可能となる[14]。

スケーリング則の主なる結論は

1) 散乱確率が定数倍(Γ)変化の場合

不純物散乱が支配的要因の場合で、低エネルギー(低電界)状態がこれに相当する。座標と時刻に関する一定比率変換

$$\mathbf{r}_\Gamma = \frac{\mathbf{r}}{\Gamma}, t_\Gamma = \frac{t}{\Gamma} \quad (39)$$

を考えれば、速度は Γ 変換を受けず一定($\mathbf{v}_\Gamma = \mathbf{v}$)となる。電場はその逆数変換

$$\mathbf{F}_\Gamma = \Gamma \mathbf{F} \quad (40)$$

を受け、速度－電界特性に直せば

$$\mathbf{v}_\Gamma(\mathbf{E}) = \mathbf{v}(\mathbf{E} / \Gamma) \quad (41)$$

$$\mu_\Gamma = \frac{\mu}{\Gamma} \quad (42)$$

となる。移動度が定数倍(Γ)変換される。

2) 運動量スケーリング(γ)の場合

運動量はベクトルであるので、スケーリング則が複雑となる。ここでは結果のみ記すと

$$\mathbf{v}_A(\mathbf{E}) = A\mathbf{v}(A^{-1}\mathbf{E}) \quad (43)$$

$$\mu_A = A\mu A^{-1} \quad (44)$$

$$\mathbf{v}_{sA}(\overline{\mathbf{E}}) = A\mathbf{v}_s(\overline{A^{-1}\mathbf{E}}) \quad (45)$$

となる。 A の単純ケースとして $A = \gamma I$ (I : 単位行列)を考えてみると

$$\mathbf{v}_\gamma = \gamma\mathbf{v}(\mathbf{E}/\gamma) \quad (46)$$

$$\mu_\gamma = \mu \quad (47)$$

となる。移動度に変化がなく、速度は $\mathbf{v}$ - E 空間にて同比率変更を受けることになる。

3) 混在スケーリング則

項番 1), 2)を同時に考えるスケーリング則は

$$\mathbf{v}_{\Gamma A}(\mathbf{E}) = A\mathbf{v}(A^{-1}\mathbf{E}/\Gamma) \quad (48)$$

$$\mu_{\Gamma A} = A\mu A^{-1} \quad (49)$$

$$\mathbf{v}_{s\Gamma A}(\overline{\mathbf{E}}) = A\mathbf{v}_s(\overline{A^{-1}\mathbf{E}}) \quad (50)$$

となる。

緩和時間の逆数を緩和レートまたは緩和係数と呼ぶ。散乱確率に相当するので、以後の考察では緩和係数を対象に考えることにする。

MOSFET の動作は反転層内の電子の運動とドレイン近辺でのバルクの運動により構成されている。この 2 つの運動機構は結果指標であり、シミュレーションを実行するには内部での自動判定を必要とする。前者の緩和係数を f_{inv} 、後者のそれを f_{bulk} と書くことにすると、全緩和係数(r)は

$$r(w, E_G, N_I) = \max.[f_{\text{inv}}(w, E_G, N_I), f_{\text{bulk}}(w, N_I)] \quad (51)$$

とモデル化できる。モデル化の主旨は、①電子の反転層内の運動領域とバルクの運動の領域は異なるものであるから、独立事象である。②数値計算モデルとしては値の大きい方で見分けることが可能と言うものである。

ゲート電界(E_G)の存在により電子は反転層内へ閉じ込められ、2次元電子ガス状態(2DEG)を形成する。このため、2次元電子ガスは基板不純物濃度による散乱効果を受けなくなり

$$f_{\text{inv}}(w, E_G, N_I) \approx f_{\text{inv}}(w, E_G) \quad (52)$$

と近似可能となる。式(51)、(52)をみると緩和係数 r は 2 変数関数へ変換できたことが分かる。さらに、ゲート電界は電子の閉じ込め効果をもたらす、輸送に関与しないことを考えるとスケーリング則から

$$f_{\text{inv}}(w, E_G) \approx \alpha(E_G) \times f_{\text{inv}}(w) \quad (53)$$

と表現可能なことを理解できる。即ち、1次元関数の組合せが可能となった。

f_{bulk} についてもスケーリング則を用いると 2 変数関数の分離が可能となる。低濃度における緩和係数を $\phi(w)$ 、濃度依存を $\gamma(N_I)$ と表現すると

$$f_{\text{bulk}}(w, N_I) = \gamma(N_I) \times \Delta\phi(w) + \phi(w) \quad (54)$$

となる。式(53)、(54)の具体的値を決定するにはモンテカルロシミュレーションを必要とする。ここでは省略する。なお、電子のエネルギー(w)を知る必要があり、これはエネルギー保存則から決める。

3.3. 超微細 MOSFET への適用

運動量はベクトルであるため、保存則もベクトルである。このため、電流連続式(スカラー量)を数値解析することに比べ、1桁以上多くの計算負荷となる。一方、一般化移動度は緩和係数と言うスカラー量でモデル化されるという利点がある。運動量ベクトルの保存則を数値解析することに比べ圧倒的に少ない計算負荷で済む。

微細 pMOSFET に対し一般化移動度を用いたバリステック伝導解析と古典的 Drift-Diffusion (DD)モデルを用いた場合の計算時間の比較を図9に示す[15]。バイアススケジュールは次の3ステップ; 1) ゲートバイアスは零でドレイン昇圧(step A)、2) ゲート電圧昇圧(step B)、3) ドレイン電圧を零に向かって変化(step C)、からなる一筆書きコースである。

バリステック効果が顕著になる電流が On となる領域 (step B の後半から step C の前半)において一般化移動度モデルでの計算速度が DD モデルのそれと比較し、相対的に高速化することが分かる。逆に、step A や step C のドレイン零バイアス付近 (電流 Off 領域) におけるバリステック

効果が期待できない領域では、一般化移動度モデルの計算速度が低下する。総合すると、バリスティック効果が顕著となる領域で一般化移動度モデルが有効性となり、実用性を理解できる。

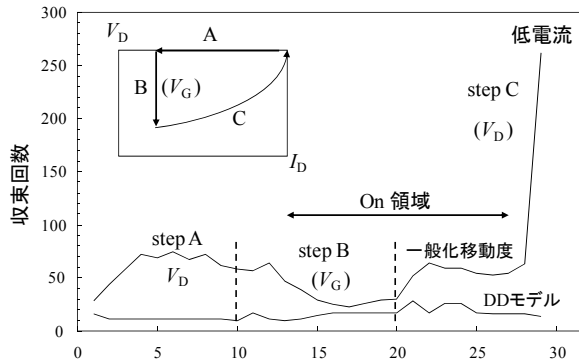


図 9 一般化移動度と DD モデルによる計算時間

4. 二準位モデル

4.1. ダイオード逆方向電流の根源

ダイオードに逆バイアスを印加すれば空乏層が広がり、空乏層内では

$$np \ll n_i^2 \quad (55)$$

の状態が発生し、式(23)は

$$R_{SRH} \approx -\frac{n_i^2}{\tau_p n_1 + \tau_n p_1} \approx -\frac{n_i}{\tau_g} \quad (56)$$

となる。再結合率が負(生成項)となり、 τ_g は生成時におけるライフタイムとなる。上式から分かるように逆方向電流は真性キャリア密度に比例し、ライフタイムに反比例[16]することになる。

ハイパワー応用に用いられるワイドギャップ半導体、例えば SiC の場合、真性キャリア密度は 10^9 cm^{-3} のオーダーとなる。Si のそれが 10^{10} cm^{-3} であることと比べると 20 桁近い差が存在する。真性キャリア密度の差を考えると、SiC ダイオードの逆方向電流は Si のそれと比較して 10 桁以上小さくなるはずであり、物理的不可測量となる。しかし、現実には Si ダイオードと同程度の逆方向電流が観測されている。この矛盾を克服するべく 2 つの準位を介した生成過程を次の節で述べる。

4.2. 二準位間遷移モデル

シリコンでは 1 つの準位が介在する間接型[8]、[9]がメインであるため、式(23)のような再結合モ

デルが提案された。しかし、4H-SiC のようにバンドギャップが 3 eV に達すると、準位を 1 つ考えた場合、価電子帯の電子は 1.5 eV ずつの遷移を行い伝導帯へ叩き上げられる必要がある。1.5 eV は Si のバンドギャップよりも大きな値であり、このような遷移は容易には起こらない。一方、ダイオード順方向電流-電圧特性に関する k 値の異常を説明する理論として 2 つの準位を介した間接型モデル[17]の提案がある。しかし、SiC のようなワイドギャップ半導体(~ 3 eV)では 2 つの準位を介しても 1 eV のエネルギー差の遷移を起こす必要があり、単純な二準位モデルでは逆方向電流の見積りは困難である。

逆バイアスでは空乏層内に強電場が印加される。熱平衡では異なる 2 つの異なる準位(E_{t1} , E_{t2})が強電場中では、図 10 に示すようにほぼ同一レベルになる可能性がある[18]。同一レベルに至った 2 つの準位の空間的距離(d)が小さければホッピング伝導またはトンネル効果による電子遷移が可能となる。

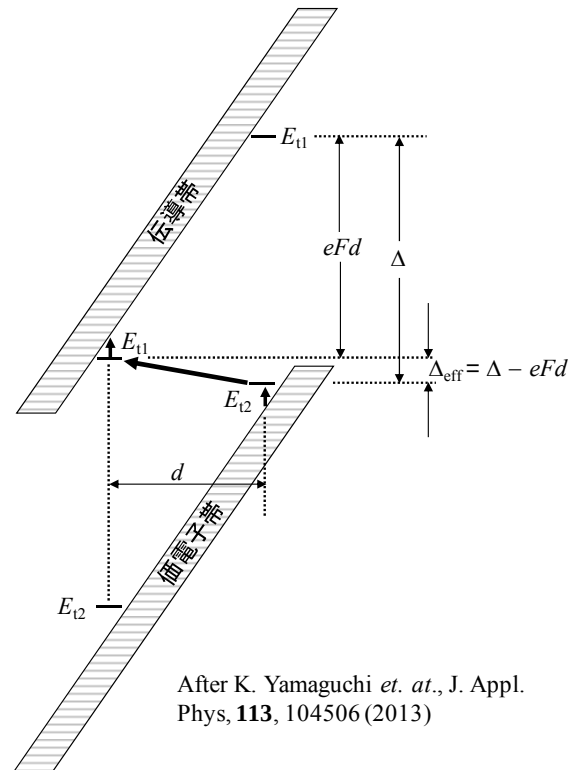


図 10 強逆電場中の二準位間遷移モデル

ホッピング伝導またはトンネル効果による遷移確率を ω とするとき、2 つの準位を介した生成再結合確率はレート方程式を解くと

$$R_{\omega} = \omega \times f(\Delta_{eff}) \frac{N_{t1} v_e \sigma_e N_{t2} v_p \sigma_p}{X_1 X_2 + \eta \omega \times f(\Delta_{eff})} \quad (57)$$

$$\times [np - n_i^2 e^{\beta \Delta}]$$

となる[17]。ここに、 Δ は熱平衡時における2つの準位のエネルギー差、 Δ_{eff} は非平衡時における実効的エネルギー差を表わす(図10参照)。また、 f は実効的エネルギー差(Δ_{eff})が零からズレた場合の遷移確率の変化をガウス関数で近似した

$$f(\Delta_{eff}) = \exp\left(-\frac{\Delta_{eff}^2}{2\sigma_{ER}^2}\right) \quad (58)$$

で与えられる。なお、 β はボルツマン電圧の逆数である。

4.3. 二準位モデルによるダイオード特性解析

SiC ダイオードにおける逆バイアス特性解析を行った例を図11に示す。一準位モデル、いわゆるSRHモデルから予測される逆方向飽和電流値は 10^{-20} A/cm²のレベルとなり、実測される電流値と10桁も値が異なるものである。

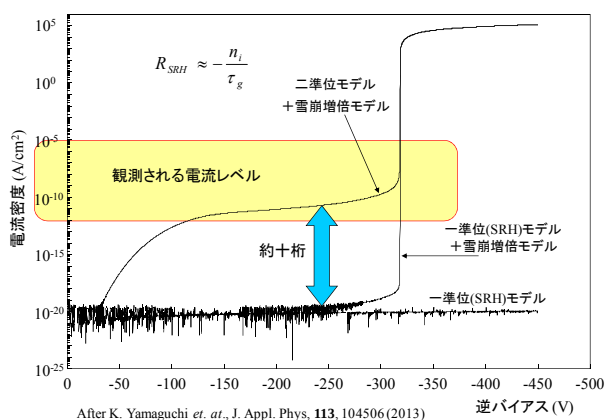


図11 図4.5 SiC ダイオード特性解析

これに対し、二準位モデルに基づく計算値は観測される電流レベルを予測可能としている。二準位モデルの有効性を示すものと考えている。

逆バイアス印加における微弱電流値を精度良く予測可能とすることにより、パワーデバイス特有のガードリング構造、電氣的浮遊領域付き構造の解析を可能とすることが期待できる。次節では浮遊問題について述べる。

4.4. フローティング輸送解析

4.3章で、ワイドギャップ半導体を用いた計算時に発生する逆方向飽和電流が著しく減少する問題を解決する二準位モデルが示された。ここでは、二準位モデルを用いて、電位を固定しない領域を内在させる「ガードリング」と呼ばれる構造を持つものを数値解析した結果を以下に示す。また、二準位モデルを用いても、計算初期において収束性が低いために計算時間がかかってしまうため、それを解決するために仮想ライフタイム法を導入した。

4.4.1. 仮想ライフタイム法

ダイオードに逆バイアスを印加した場合、ゼロバイアス近辺の低電圧領域における電流値は極端に低い。このため、電流値が数値計算精度の保証域以下になることがあり、収束性が悪化する。逆耐圧を求める解析を考えた場合、低電圧領域における暗電流計算に計算時間を多用するのは本来の目的から逸脱する。そこで、計算初期において計算の収束性を高めるために、電圧上昇に伴うダンピング領域を設け、電子、正孔のLife-timeに掛ける係数を徐々に変更していく手法を開発した。以下に、仮想ライフタイム法において用いる電子、正孔のライフタイムの式を示す。

$$\tau_{\text{calculation}} = \alpha \tau_{\text{true}} \quad (59)$$

式の左辺は、計算中に用いる電子、正孔のライフタイムを示し右辺には係数 α と本来用いるべき電子、正孔のライフタイムを示している。計算初期に係数 α を変化させることにより、バイアスステップ初期で電流が殆ど流れない状況において計算の収束性を高め、ある程度バイアスステップが進んだ後に α を1にして計算中に用いる電子、正孔のライフタイムを本来の値に戻す。

次図は、仮想ライフタイム法を用いた場合のバイアスステップ初期におけるライフタイムの変化を示している。バイアスステップが進み電極への印加電圧の変化に伴い、ライフタイムが徐々に変化することにより計算の収束性を高めながら計算を進め、ある程度計算が安定した頃にライフ

タイムを本来の値に戻し、その後は本来の値を用いるためにライフタイムは一定となる。

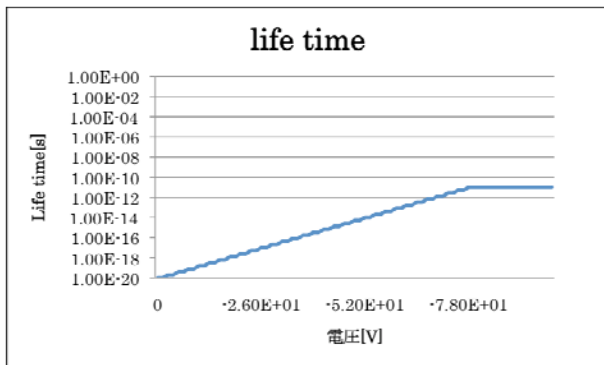


図 12 仮想ライフタイム法を用いた場合のバイアスステップ初期におけるライフタイムの変化

4.4.2. フローティング領域を伴うデバイス解析

下図に示すような、電位を固定しない領域（浮遊領域）を内在させる「ガードリング」と呼ばれる構造を持つものを数値解析した結果を以下に示す。

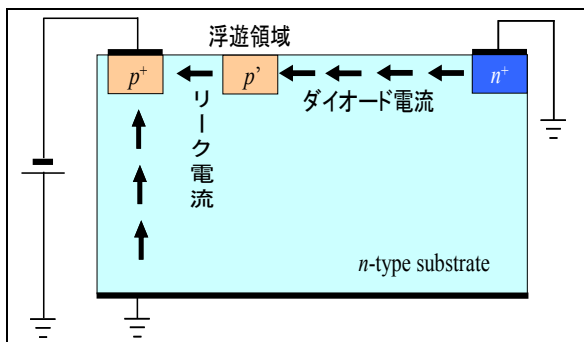


図 13 フローティング領域を伴うデバイスの模式図

計算に用いた不純物分布は以下に示すようなものを用いた。基盤全体に Sb（アンチモン）を濃度 10^{16} cm^{-3} で注入し n 領域を形成、右側の領域に同じく Sb（アンチモン）を濃度 10^{20} cm^{-3} で注入し n+領域を形成、そして左側とガードリングに（浮遊領域）に B（ボロン）を濃度 10^{20} cm^{-3} 、 10^{18} cm^{-3} で注入し p+領域と p'領域を形成している。

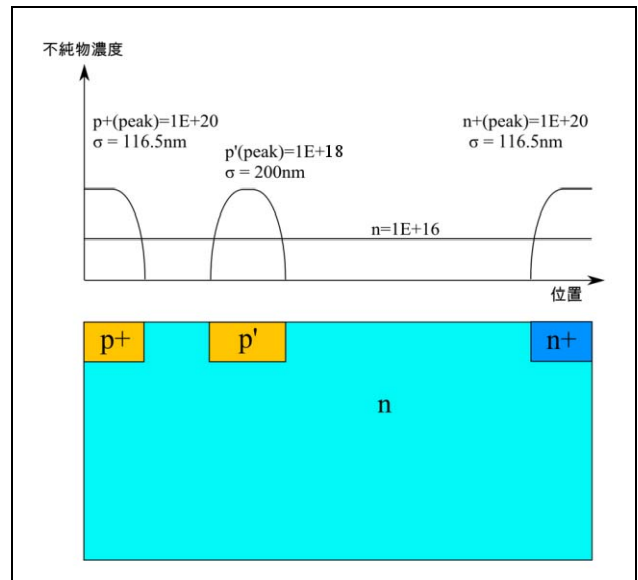


図 14 不純物分布の模式図

不純物分布作成後に得られる実際の分布を下図に示す。基板材質にはワイドギャップ半導体である SiC を採用し、その上層には SiO₂ 層を堆積させ、左右に Al 電極を形成しており、SiC 層に n、n+、p+、p'領域が形成されている。

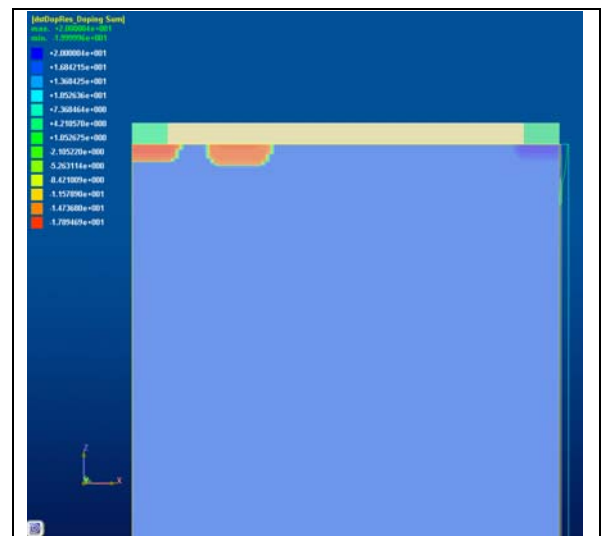


図 15 デバイスの全体図と、不純物濃度分布

次に、作成した計算格子を以下に示す。ここでは、計算精度が必要な「ガードリング」と p+領域周辺では格子密度を高く、それ以外の領域では格子密度を低くして計算全体を効率的に行い、計算時間を短縮させている。計算格子のサイズは、ノード数 16202、要素数 8268 となっている。

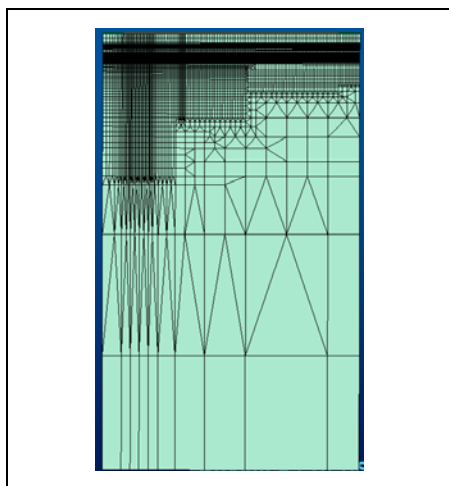


図 16 計算格子

ここまで作成した、不純物分布と計算格子を用いて逆バイアス計算を行った結果を以下に示す。計算においては、SiC 基板に 3C-SiC、4H-SiC、6H-SiC の3種類の材質を用いて耐圧特性の比較を行った。また、計算技術として、先に述べた仮想ライフタイム法と 4.3 章で述べた二準位モデルを用いている。下図は、計算により得られた I-V 特性を示している。結果は、材質によりブレイクダウン電圧に大きな違いが現れるものとなっており、仮定したイオン化率に即して耐圧に違いが生じていると考えられる。

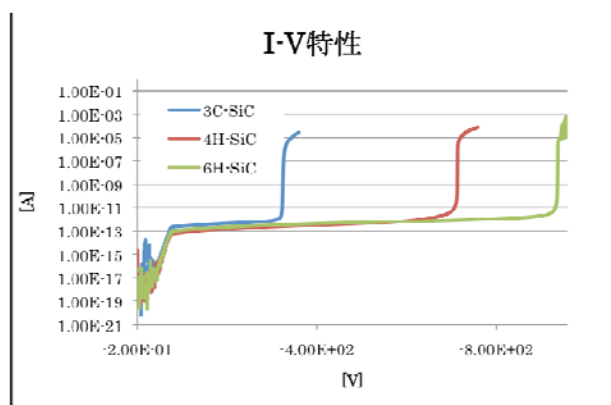


図 17 フローティング領域を伴うデバイスの模式図

ブレイクダウンの直前と直後でどのようなことが起きているのかを調べるために、4H-SiC を用いた場合の計算におけるブレイクダウン電圧近傍の電子密度分布を以下に示す。

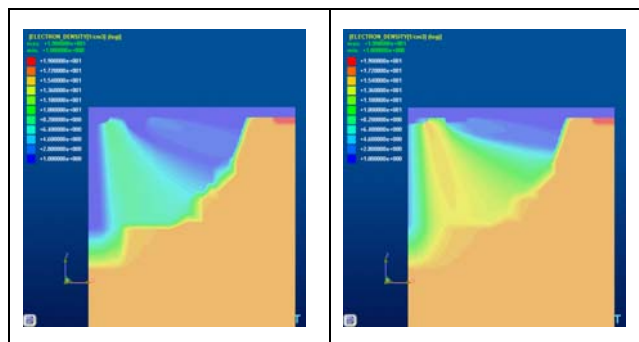


図 18 4H-SiC の計算の印加電圧が-720V (左図) と-722V (右図) の電子密度分布

上図 (左) は、ブレイクダウン直前の電子密度分布を示している。p+と p'領域を取り囲むように電子密度の高い領域が分布しており、そこから p+領域へと若干密度の高い領域が接続している。一方、上図 (右) は、ブレイクダウン直後の電子密度分布を示している。ブレイクダウン直前よりも、p+と p'領域を取り囲む高密度領域と p+領域との間を接続している領域の密度が上がり、電流が流れて始めブレイクダウンが発生したことが確認できる。ここで行った逆バイアス計算に要した計算時間を以下に示す。用いた材質より計算時間が異なるのは、ブレイクダウン電圧が異なるためである。

表 1 材質ごとの計算時間 (使用 CPU: Intel Xeon E31225@3.1Ghz)

材質	計算時間[sec]
3C-SiC	25445.06
4H-SiC	29364.83
6H-SiC	30486.37

4.4.3. まとめ

ワイドギャップ半導体 (SiC) における浮遊電位解析を安定的に実施可能な手法の開発を行い、その計算結果を示した。3 種類のワイドギャップ半導体、3C-SiC、4H-SiC、6H-SiC を用いた逆バイアス計算により、仮定したイオン化率に即して耐圧に違いが生じる結果を得た。また、ブレイクダウンの発生近傍では、印加電圧のわずかな違いで、電子の密度分布が大きく変化する結果を計算結果の描画によりそれを確認することができた。計

算時間については、4.7 章で示すバイアスの粗密調整機能を利用することにより、表 1 で示した時間よりさらに 1/2 程度の短縮が可能となっている。

5. パワーデバイス用の解析機能

5.1. はじめに

デバイスシミュレータでは、パワーデバイスの解析に必要な機能を開発してきた。本稿では、そのうち、ショットキー電極モデル、バイアスの粗密調整機能、高耐圧計算用の機能について説明する。

5.2. ショットキー電極モデル

5.2.1. 電極モデル

デバイスシミュレータでは、電極金属と半導体の接合のモデルとして、オーミック接合、n 型ショットキー接合、p 型ショットキー接合の 3 種類のモデルが選択可能である。この 3 種類の接合を説明するため、電極金属に n 型と p 型の半導体が接合する場合を考える。接合前の金属の仕事関数と半導体のフェルミレベルは図 19 に示す高低関係にあるとする。

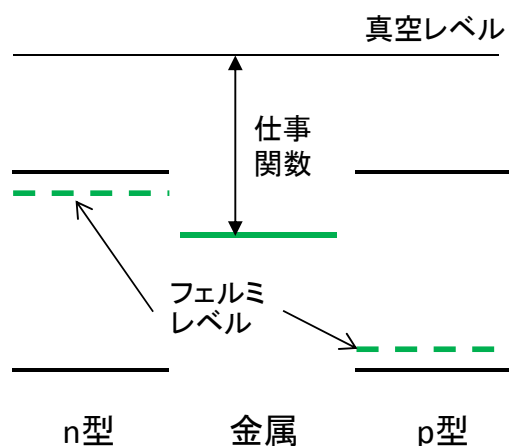


図 19 接触前の電極金属仕事関数と n、p 型半導体のフェルミレベルの高低関係

オーミック接合モデルを選択した場合には、図 20 に示すように n、p 型の両半導体のバンドは曲がることなく金属に接合する。またフェルミレベルのバンドに対する相対高さは接合前と変化しない。

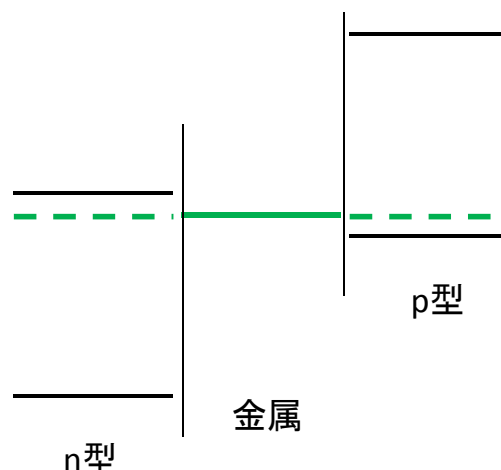


図 20 オーミック接合モデルにおけるバンド図

n 型ショットキー接合モデルを選択した場合には、図 21 に示すように、n 型半導体はショットキー接合となり、p 型半導体はオーミック接合となる。

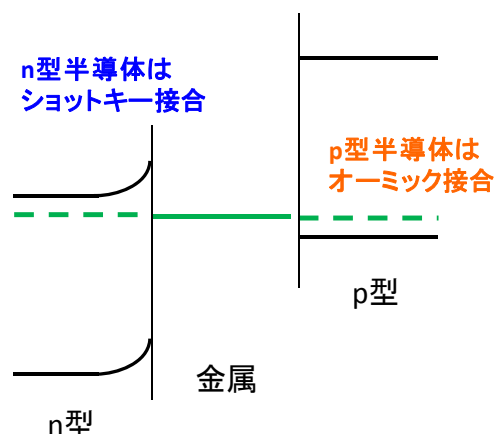


図 21 n 型ショットキー接合モデルにおけるバンド図

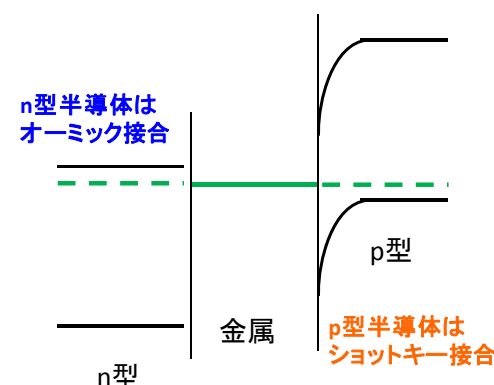


図 22 p 型ショットキー接合モデルにおけるバンド図

p 型ショットキー接合モデルを選択した場合には

は、図 22 に示すように、p 型半導体はショットキー接合となり、n 型半導体はオーミック接合となる。

5.2.2. ショットキー電極モデル

デバイスシミュレータでは、ショットキー接合電極におけるトンネル電流と熱電子放出のモデルが使用可能である。

トンネル電流モデルには式(60)に示す Fowler-Nordheim (F-N) モデルを採用した。

$$J_{FN} = AE^n \exp\left(-\frac{B}{E}\right) \quad (60)$$

$$B = \frac{4\sqrt{2m}}{3q\hbar} (q\phi_B - q\kappa)^{3/2}$$

ここで A、n、m、 κ はユーザーによる入力パラメータとしている。 ϕ_B はバンド障壁の高さであり、電極金属の仕事関数と半導体の電子親和力から計算される。また κ はバンドの障壁低下量を表す。

熱電子放出モデルには式(61)のモデルを採用した。 A_R はリチャードソン定数 ($= 120 \text{ A/cm}^2/\text{K}^2$) である。

$$J_{TE} = J_{ST} \left[\exp\left(\frac{qV}{k_B T}\right) - 1 \right] \quad (61)$$

$$J_{ST} = A_R T^2 \exp\left(-\frac{q\phi_B}{k_B T}\right)$$

ショットキー電極モデルの検証計算として、図 23 に示す簡易モデルで逆バイアスでの電流特性を取得した。

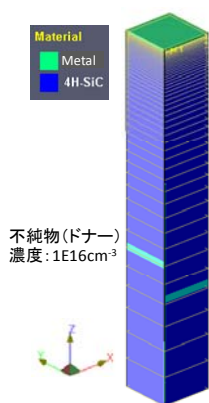


図 23 ショットキーモデル検証用計算

モデルは 4H-SiC の上部に金属電極がショットキ

ー接続しており、サイズは $1 \mu\text{m} \times 1 \mu\text{m} \times 7 \mu\text{m}$ である。 $1 \times 10^{16} \text{ cm}^{-3}$ のドナーがドーピングされている。障壁高さが 0.8 eV となるように、電極の仕事関数を 4.92 eV 、4H-SiC の電子親和力を 4.12 eV とした。また F-N モデルパラメータとして以下の値を使用した。

- $A = 2 \times 10^{-6} \text{ A/V}^2$
- $n = 2$
- $m = m_0$ (電子の静止質量)
- $\kappa = 0.2 \text{ eV}$

0~1500 V までの逆バイアスを印加したときの電界強度とリーク電流密度の計算結果を図 24 に示す。

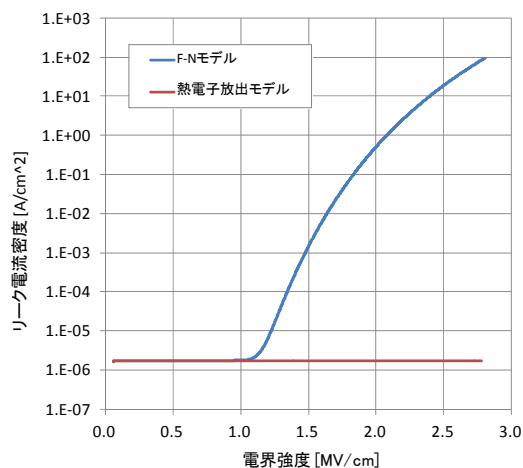


図 24 ショットキー電極リーク電流モデルの電界強度依存性

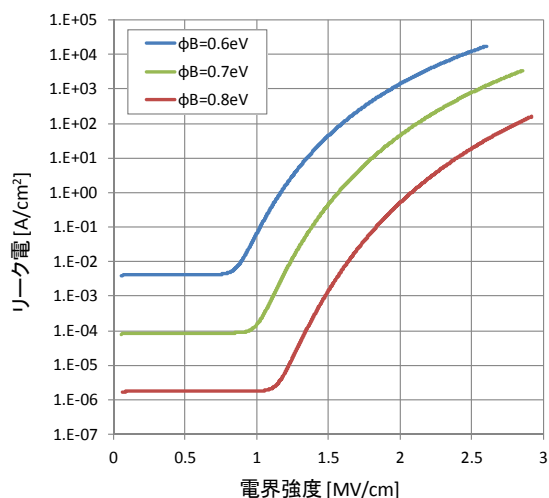


図 25 F-N モデルの障壁高さ依存性

次に F-N モデルのショットキー障壁高さへの依

存性を確認するため、障壁高さ ϕ_B が 0.6、0.7 eV となるように金属の仕事関数を変化させた。計算結果を図 25 に示す。

次に障壁高さ $\phi_B = 0.8$ eV で、障壁低下 κ を変化させたときの結果を図 26 に示す。

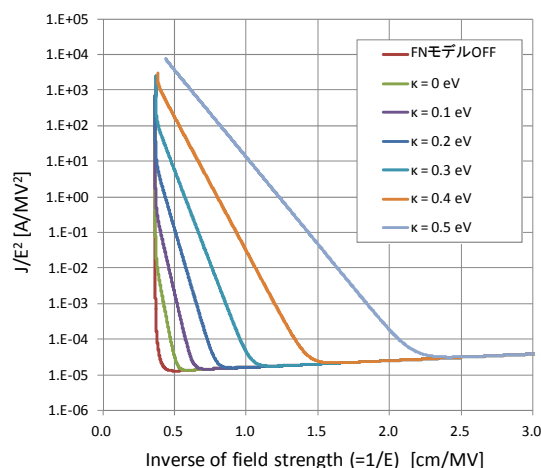


図 26 F-N モデルの障壁低下量依存性

5.2.3. 角のある電極の解析事例

(1) 計算モデル

ショットキー電極モデルの解析事例として、図 27 に示すような 4H-SiC に角のある電極が接続している場合の解析結果を示す。

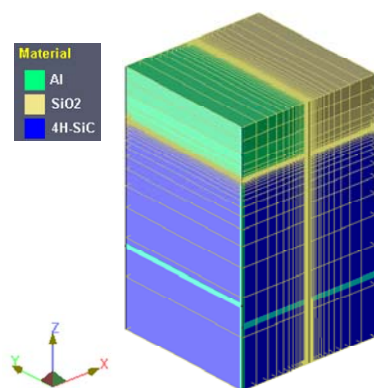


図 27 角のある電極のモデル

モデルは 4H-SiC の上部に $1.5 \mu\text{m} \times 3 \mu\text{m} \times 1 \mu\text{m}$ の金属電極が接続している。4H-SiC のサイズは $3 \mu\text{m} \times 3 \mu\text{m} \times 4 \mu\text{m}$ である。4H-SiC のドーピングプロファイルを図 28 に示す。 $3 \times 10^{15} \text{cm}^{-3}$ のドナーをドーピングし、電極角部には電界緩和用に $1 \times$

10^{15}cm^{-3} のアクセプターをドーピングした。

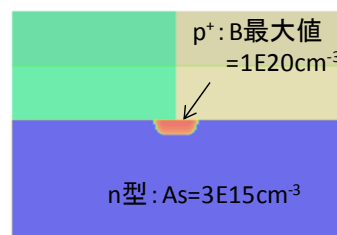


図 28 ドーピングプロファイル

電極モデルは n 型ショットキー接合モデルを選択した。これにより n 型領域とはショットキー接合、電極角部の p+ 領域とはオーミック接合することになる。ショットキー接合の障壁高が 0.8 eV となるように、電極の仕事関数と 4H-SiC の電子親和力を設定した。また F-N モデルパラメータとして以下の値を使用した。

- $A = 2 \times 10^{-6} \text{ A/V}^2$
- $n = 2$
- $m = m_0$ (電子の静止質量)
- $\kappa = 0 \sim 0.5 \text{ eV}$

(2) 計算結果

0～600 V までの逆バイアスを印加したときの障壁低下量 κ のリーク電流値への依存性を図 29 に示す。障壁低下 κ が大きいほどリーク電流の耐圧が小さくなる。 $\kappa = 0.5 \text{ eV}$ では 130 V の逆バイアスでリーク電流が増大し始める。なお、 $\kappa = 0.1 \text{ eV}$ 以下では電流プロファイルは一致し、逆バイアスが 480 V で電流が増大している。この 480 V のリーク電流は F-N 電流によるものではなく、アバランシェ降伏による電流である。

次に電極角部の p+ ドーピングによる電界緩和の影響を確認するため、これまでのモデルをモデル 1 とし、p+ をドーピングしない場合と電極が全面を覆っていて角がないモデルをそれぞれモデル 2、3 として、 $\kappa = 0 \text{ V}$ での耐圧を比較した。0～1000 V までの逆バイアスを印加したときの印加バイアスとリーク電流の計算結果を図 30 に示す。

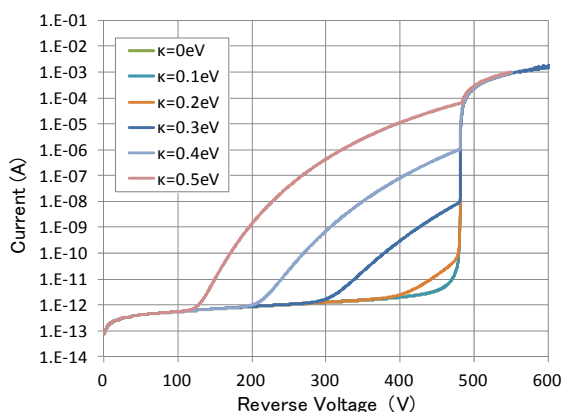


図 29 障壁低下量 κ のリーク電流依存性

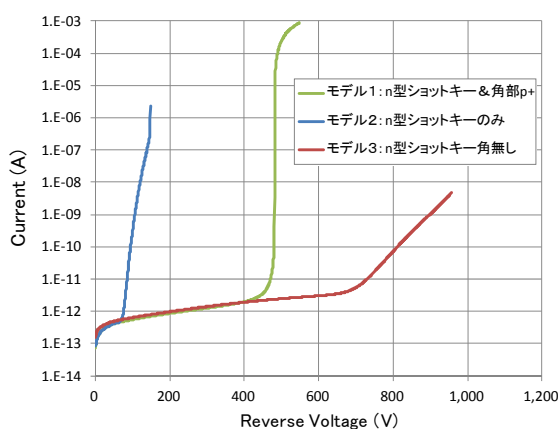


図 30 逆バイアス電流特性

リーク電流に対する耐圧は、モデル 2、モデル 1、モデル 3 の順となった。電極角部に p+領域のないモデル 2 では 80 V を超えたあたりから電流が増加するのに対し、モデル 1 は 400 V までは角のないモデル 3 と同じ量のリーク電流しか流れない。これはモデル 2 の電極角部の p+領域が電界を緩和したためである。

5.2.4. まとめ

本稿では、デバイスシミュレータが有するパワーデバイスの解析に必要な機能のうち、ショットキー電極モデル、バイアスの粗密調整機能、高耐圧計算用の機能について説明した。

5.3. バイアスの粗密調整

バイアス粗密調整とは、デバイスシミュレーション実行における高速化手法の 1 つである。下図

に示すように、通常は電極電圧の昇圧を複数のステップに分けて徐々に行う。その際、各ステップの計算時に、方程式を行列の緩和法を用いて解くことによりポテンシャル分布と、電子、正孔の密度を求めている。一方で、ユーザーが各ステップごとに計算結果を必要とする場面はそれ程多くなく、結果が必要なステップにおいて正確な値が得られれば十分な場合が多く存在する。そこで、全てのバイアスステップにおいて指定の残差になるまで解を求めるのは止めて、結果が必要なバイアスステップにおいてのみ指定の残差になるまで解を求めれば、計算速度の向上に繋がる。言い換えれば、正確な結果が必要なバイアスステップ以外の計算で、暫定的に、正確な結果が必要なバイアスステップにおける初期値を求めることにより全体の計算時間を省くことになる。ここで必要となるのは、正確な結果を必要とするバイアスステップの間隔と、それ以外のステップにおける収束判定残差をどの程度に設定すれば最も高速化の効率が良いかを調査することである。ここでは、バイアスステップの間隔は数 10 倍程度に設定しておき、基本的なダイオードの耐圧計算において、正確な結果を必要とするステップ以外における収束判定残差の値による計算速度の違いを測定する。また、そこで得られた結果を参考に、4.4.2 節で示したフローティング領域を伴うデバイス解析で行った計算におけるバイアス粗密調整の効果を示す。

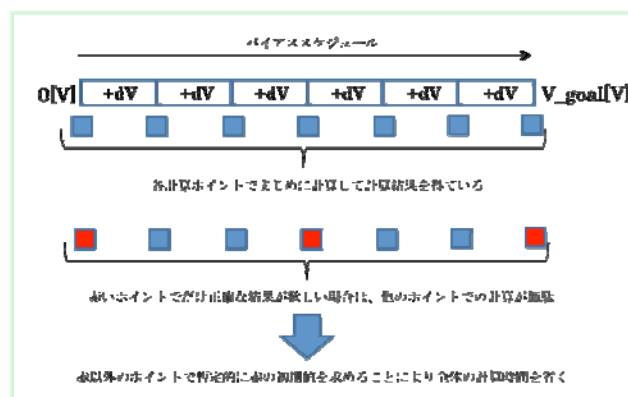


図 31 バイアス粗密調整の説明図

5.3.1. ダイオード計算におけるバイアス粗密調整の効果

ここでは、簡単な例として、pn 接合ダイオードの耐圧計算を行った場合の計算時間について、バイアス粗密調整の機能を off にした場合、正確な値を必要とするバイアスステップとそれ以外のステップにおける収束判定値に対する割合 ratio が 10 の場合と 100 の場合の比較を行った結果を示す。また、半導体材料については、3C-SiC、4H-SiC、6H-SiC を用いた結果をそれぞれ示す。

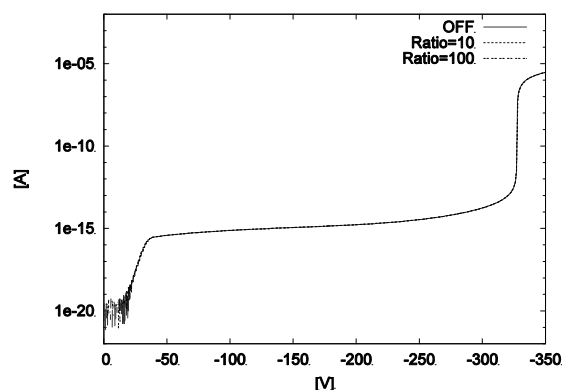


図 35 ratio 値による I-V 特性の比較 (4H-SiC)

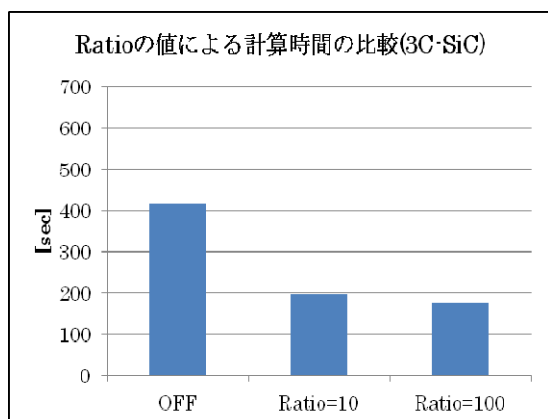


図 32 ratio 値による計算時間の比較 (3C-SiC)

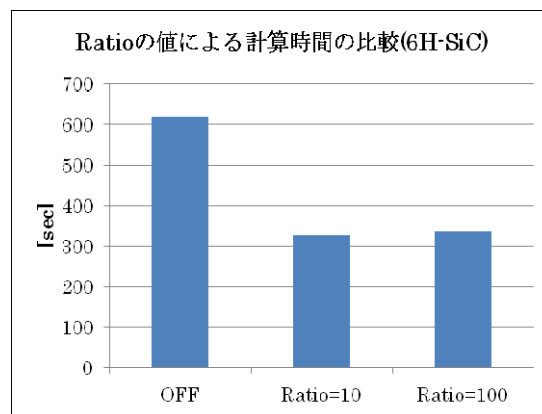


図 36 ratio 値による計算時間の比較 (6H-SiC)

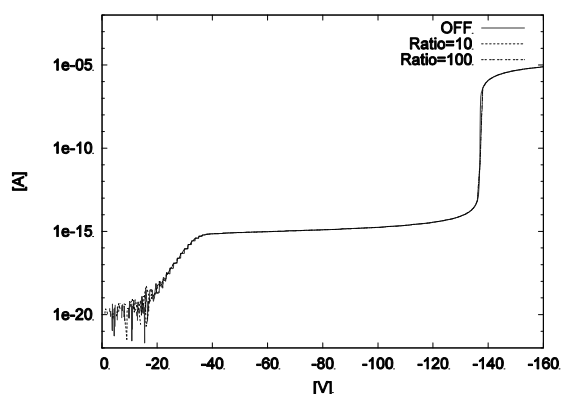


図 33 ratio 値による I-V 特性の比較 (3C-SiC)

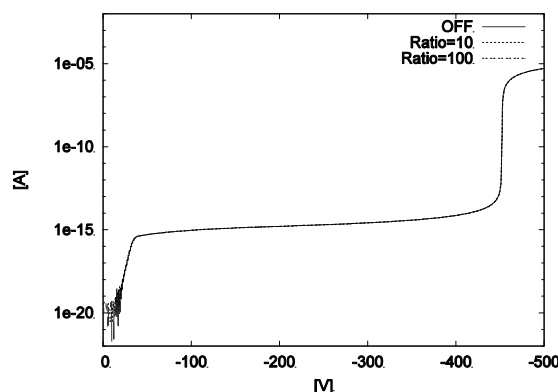


図 37 ratio 値による I-V 特性の比較 (6H-SiC)

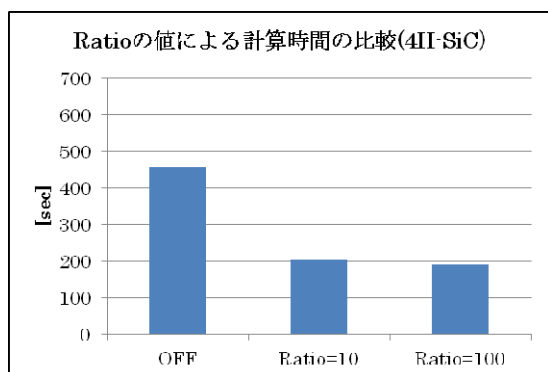


図 34 ratio 値による計算時間の比較 (4H-SiC)

各半導体材料における ratio 値による計算時間の比較を示した図 32、図 34、図 36 より、半導体材料に関わらず、ratio=10 の場合にはバイアス粗密調整を off にした場合の約半分程度の計算時間で結果が得られていることが分かる。ratio=100 の場合については、どの材料においても ratio=10 の場合とほぼ同じ計算時間となっており、ratio=10 の場合と同等の効率アップとなっている。バイアス粗密調整を行った場合の計算結果については、

図 33、図 35、図 37 に示した I-V 特性において、半導体材料に関わらずバイアス粗密調整を off にした場合の結果と ratio=10、ratio=100 の両結果共に遜色ない結果が得られている。ここまでの結果から、計算対象にもよるが、ratio の値は 10 以下に抑えておくと、高い高速化効率が得られると考えられる。ここで用いたバイアス粗密調整のステップ間隔は 20 となっている。

5.3.2. Floating 領域を含む計算におけるバイアス粗密調整の効果

簡単な pn 接合ダイオードを用いた耐圧計算で行ったバイアス粗密調整の計算結果から、正確な値を必要とするバイアスステップとそれ以外のステップにおける収束判定値に対する割合 ratio が 10 近辺で高い高速化効率が得られることが分かった。その結果を踏まえ、4.4.2 節で行ったフローティング領域を伴うデバイス解析について、バイアス粗密調整を off にした場合と ratio=10 にして計算した場合の計算時間の比較を行った結果を示す。基板材質についての違いもダイオード計算時と同様に比較するため、3C-SiC、4H-SiC、6H-SiC について計算を行った。

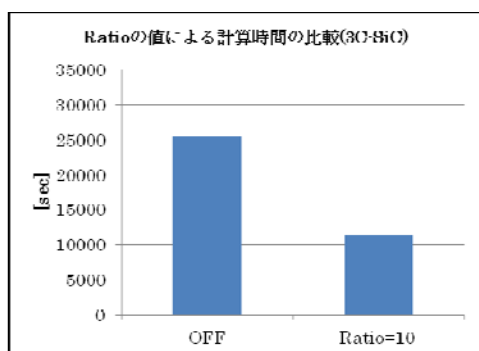


図 38 ratio 値による計算時間の比較 (3C-SiC)

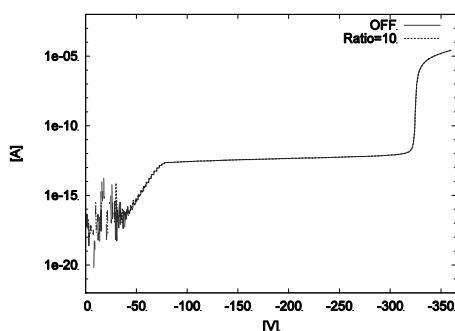


図 39 ratio 値による I-V 特性の比較 (3C-SiC)

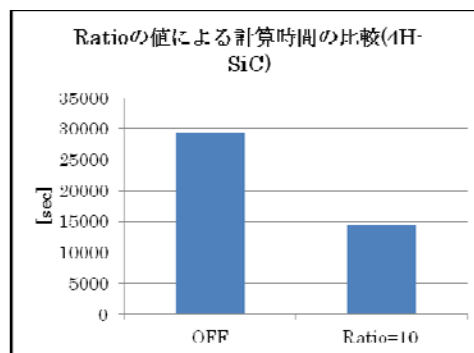


図 40 ratio 値による計算時間の比較 (4H-SiC)

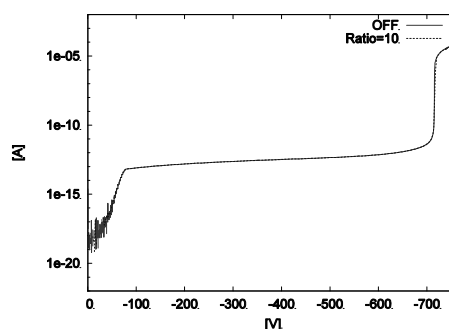


図 41 ratio 値による I-V 特性の比較 (4H-SiC)

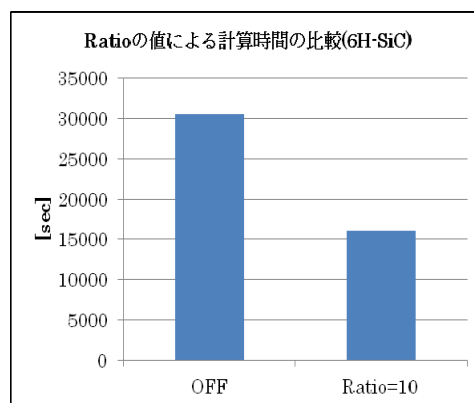


図 42 ratio 値による計算時間の比較 (6H-SiC)

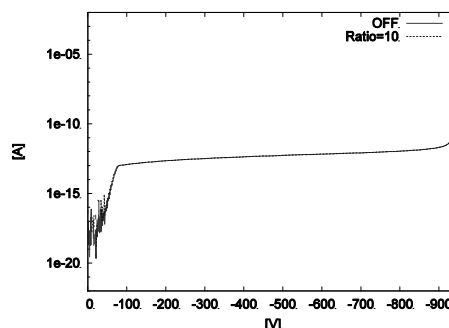


図 43 ratio 値による I-V 特性の比較 (6H-SiC)

図 38、図 40、図 42 より、簡単な pn 接合ダイオードの耐圧計算で得られた結果と同様に、基板材料が 3C-SiC、4H-SiC、6H-SiC について、バイアス粗密調整が off の場合に対して、ratio=10 でバ

バイアス粗密調整を行った場合で約2倍の計算時間の高速化を達成しており、どの材料においてもバイアス粗密調整機能により計算速度が上がる結果を得た。計算結果については、図 39、図 41、図 43 において、3 つの基板材料について、バイアス粗密調整を off の場合と、ratio=10 で on にして計算した場合に得られた I-V 特性を比較している。基板材料が 3C-SiC、4H-SiC、6H-SiC それぞれにおいて、グラフは殆ど重なっており、バイアス粗密調整を off にした場合と on にした場合とで、殆ど違いがないことが確認できる。以上のことから、バイアス粗密調整機能により結果は変わらずに約2倍早く計算結果を得られるという結果が得られた。ここで用いたバイアス粗密調整のステップ間隔は 20 となっている。

5.3.3. まとめ

ここで示したバイアス粗密調整機能を用いることにより、機能を off にした場合に比べて約2倍の計算時間の高速化が可能となることを示した。また、機能を on にした場合でも、得られる計算結果に違いはないことも確認を行った。ここでは、計算例として、簡単な pn 接合ダイオードと Floating 領域を含む計算について得られた効果について示したが、これ以外の計算対象においても、同様に高速化の効果が期待できると考えている。

5.4. 高耐圧計算

5.4.1. 4H-SiC を用いたダイオードの耐圧計算

パワー半導体のデバイス解析においては、高耐圧計算が必要となる場面が、微細デバイスの解析時よりも多くなると予想される。そこで、今回開発したデバイスシミュレータの高耐圧計算性能の調査を兼ねて、耐圧が 100[V]級、1000[V]級、10000[V]級のもの、3 つのダイオードの計算を行い、得られた I-V 特性を以下に示す。計算には、半導体材料として 4H-SiC を用い、ダイオードの長さは 100[V]級が 0.4[μm]、1000[V]級が 4[μm]、10000[V]級が 80[μm]と、耐圧を上げるために役 10 倍程度ずつ長くしている。結果は、どの計算に

おいてもブレイクダウンまで計算が可能であり、開発したデバイスシミュレータが、広バイアスレンジに対応していることを同時に示している。

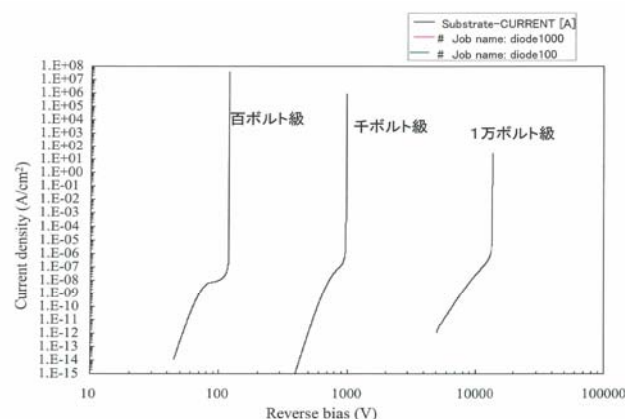


図 44 4H-SiC を用いたダイオードの耐圧計算

5.4.2. まとめ

ここで得られた結果は、我々が開発したデバイスシミュレータが、高耐圧であるとして期待されている SiC 系の半導体材料を用いた、広バイアスレンジの耐圧シミュレーションが可能であることを示している。これにより、今回開発したシミュレータが、パワー半導体を用いた計算により多く利用されるように活動を行っていく。

6. 複数トランジスタの一括解析

6.1. はじめに

複数のトランジスタとその間の配線を一括してデバイスシミュレーションすることにより、従来の手法であるミックスモードシミュレーションでは容易に解析できなかった、寄生抵抗や寄生容量の影響を簡単に解析することが可能となった。ここでは、一括解析に必要な計算手法を紹介すると共に寄生容量の影響が顕著に現れるインバータチェーンの遅延動作の解析事例を紹介する。

大規模集積回路 (LSI) は 1965 年にゴードン・ムーアが提唱した予測[19]に従いながら、今日まで高集積化と高密度化を続けてきた。2014 年にはインテルが 14nm のデザインルールのプロセスを発表するまでに微細化が進んでいる。

微細化が進むにつれ、MOS トランジスタ間の電気的な相互作用を無視することはできない。シミ

ュレーションにおいても同様であり、複数のデバイス部品（トランジスタやダイオードなど）からなる系については、部品単体の特性だけでなく、それらを接続する配線は接続部の寄生抵抗や、配線やデバイス間の寄生容量の影響も考慮する必要がある。

通常の複数デバイスの解析では、個々のデバイス部品を回路接続するミックスモードシミュレーション[20]が用いられている。相互作用の解析精度はユーザーがあらかじめ設定する寄生抵抗や寄生容量に依存し、寄生容量を高精度に求めるには構造3次元の容量解析を事前実行する負担がユーザーに課せられていた[21][22]。

今回、複数のトランジスタとそれらを接続する配線からなる系を一括してデバイスシミュレーションできる手法を開発した。寄生抵抗や寄生容量はデバイスシミュレーションで計算されるため、ユーザーが事前に値を準備しておく必要はない。本手法をデバイスシミュレータに取り込みインバータチェーンの過渡解析を実施した。

6.2. 計算手法

6.2.1. 内部配線モデル

デバイス間の配線をデバイスシミュレーションの方程式の枠組みの中で扱う手法を新たに開発し取り込んだ。

デバイスシミュレーションはポアソン方程式（過渡解析の場合にはその時間微分式）、電子と正孔の2つの電流連続方程式を解き、静電ポテンシャル ϕ 、電子密度 n と正孔密度 p を解として得る。金属は電極として ϕ 、 n 、 p のディリクレ境界条件として現れるのみである。金属の電気伝導を表すオームの法則 $J=\sigma E$ をこの解法の枠組みの中に取り込むことは容易ではない。

そこで、金属を狭いバンドギャップの半導体とみなすことでモデル化した。

6.2.2. 過渡解析

遅延特性を解析するために過渡解析を実施した。デバイスシミュレータの過渡解析は、ポアソン方程式の時間微分式と電子および正孔それぞ

れの電流連続方程式からなる三式の連立方程式を構成式とする。これら三式を完全陰解法により反復計算することにより静電ポテンシャル、電子および正孔密度を得る。過渡解析の詳細については別稿にて説明する。

$$\frac{\partial}{\partial t}[-\nabla \cdot (\epsilon_s \nabla \psi)] + \frac{q}{\epsilon_0}(\nabla \cdot J_n + \nabla \cdot J_p) = 0 \quad (62)$$

$$\frac{\partial n}{\partial t} = \frac{1}{q} \nabla \cdot J_n - R \quad (63)$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \nabla \cdot J_p - R \quad (64)$$

6.3. 計算事例

6.3.1. E/D NMOS インバータチェーンの解析

これまでに実施した複数トランジスタ一括解析の適用例の1つ目として、enhancement/depletion (E/D) NMOS インバータチェーンの一括過渡解析について紹介する。

(1) E/D NMOS インバータチェーン

解析対象となる3段のE/D NMOS インバータチェーンの回路図を図45に示す。以降の説明の便宜上、各段の上下のNMOS間の配線上の点をA、B、Cとする。上段の3つのトランジスタはデプレッション型NMOSであり、ゲートソース間の電位差 V_{gs} が0Vであってもトランジスタがオン状態となる（ノーマリーオン）。図45に示すようにE/Dインバータのデプレッション型NMOSのゲートはソースと結線されており、常にオン状態となる。下段の3つのトランジスタはエンハンスメント型NMOSであり、 V_{gs} が0Vではオフ状態（ノーマリーオフ）となっているが、 $V_{gs} > 0V$ でトランジスタがオンする。 V_{gs} の大小でオン抵抗が変化する。

V_{in} が0V (= V_{gnd}) の時には、1段目のエンハンスメント型NMOSはオフ状態となる。デプレッション型NMOSはノーマリーオン状態であるため点Aの電位は V_{dd} となる。点Aを含む配線は2段目のエンハンスメント型NMOSのゲートに結線されており、このNMOSがオン状態となる。ドーピングを調整することで、エンハンスメント型

NMOS のオン抵抗がデプレッション型 NMOS のオン抵抗よりも大きくすることで点 B の電位は V_{gnd} となる。点 B を含む配線は 3 段目のエンハンスメント型 NMOS のゲートに結線されている。3 段目の動作は 1 段目と同様である。

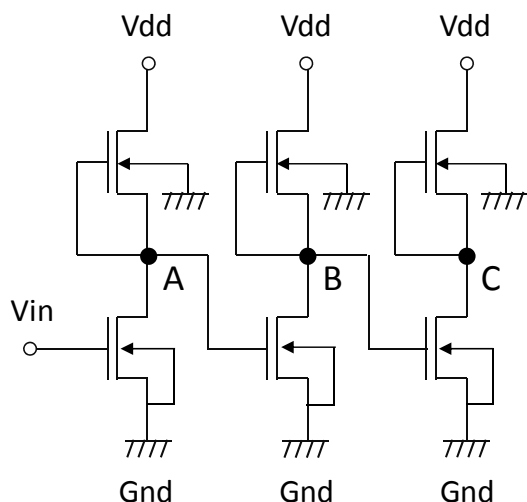


図 45 3 段 E/D NMOS インバータチェーン回路図

(2) 計算モデルと解析条件

デバイスシミュレータ用の計算モデルを図 46 に示す。便宜上、ゲート酸化膜と配線間酸化膜は非表示とした。点線で囲まれた領域 a と b は、それぞれ 1 段目のデプレッション型 NMOS (図 45 の左上の NMOS) とエンハンスメント型 NMOS (図 45 の左下の NMOS) の断面を示している。ゲート長は 200 nm、ゲート酸化膜厚は 10 nm とした。ゲート幅は 1 段目と 3 段目が 250 nm、2 段目は 500 nm とした。図 45 の A、B、C に対応する点を図 46 にも示したが、以降の計算結果における計算値はこの点において取得した。

エンハンスメント型 NMOS (図 46 の断面 b) とデプレッション型 NMOS (図 46 の断面 a) のドーピングプロファイルを図 47 の上と下に示す。デプレッション型 NMOS はエンハンスメント型 NMOS のドーピングに加えて、ゲート直下にヒ素を $1 \times 10^{19} \text{ cm}^{-3}$ の濃度で注入することによりノーマリーオン状態となる。この濃度ではオン抵抗がエンハンスメント型 NMOS のオン抵抗より小さくなる。

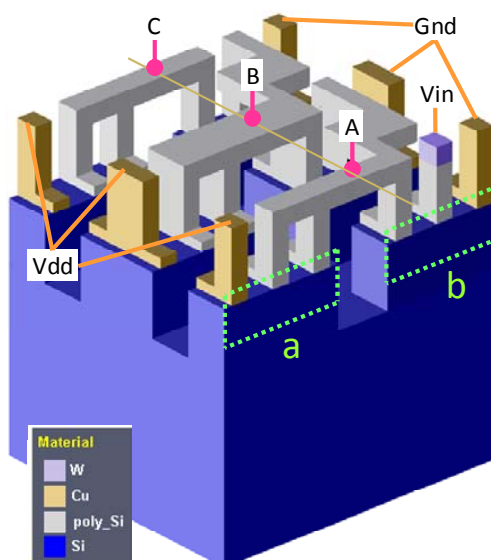


図 46 3 段 E/D NMOS インバータチェーンの計算モデル (※酸化膜は非表示)

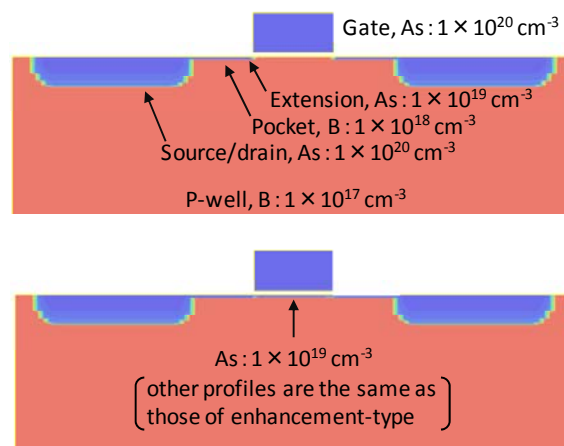


図 47 エンハンスメント型 NMOS (上) と下デプレッション型 NMOS (下) のドーピングプロファイル

解析はまず $V_{in} = 0 \text{ V}$ 、 $V_{dd} = 2 \text{ V}$ 、 $G_{nd} = 0 \text{ V}$ の状態を定常状態計算で求める。次に、時刻 $t = 0$ 秒において V_{in} に 2 V をステップ状に印加し、それ以降の時刻における過渡解析を実施した。

(3) 計算結果

図 48 にインバータの出力である A、B、C 点における静電ポテンシャルの時間変化を示す。なお各データについて 0~10 ps ではパルス上のピークが見られたため非表示とした。このピークは V_{in} へのステップ状のバイアス印加、つまり $t = 0$ 秒で瞬間的に $V \rightarrow 2 \text{ V}$ に昇圧したことによる。現実的には瞬間的に昇圧することは不可能であり、以

降の議論において関係ないため非表示とした。

A、B、C の順で静電ポテンシャルが反転している。点 A では V_{in} へのバイアス印加後 10 ps の時点で静電ポテンシャルが 2 V から下がり始めている (反転し始めている)。80 ps では点 B が、120 ps では点 C が反転を開始する。点 A と点 C では反転開始後およそ 200 ps の時間で変化しているのに対し、点 B では 400 ps 以上の時間を要している。2 段目の NMOS のゲート幅が 1、3 段目よりも 2 倍の大きさであることから寄生容量も同様に大きくなることで時定数が大きくなったためである。

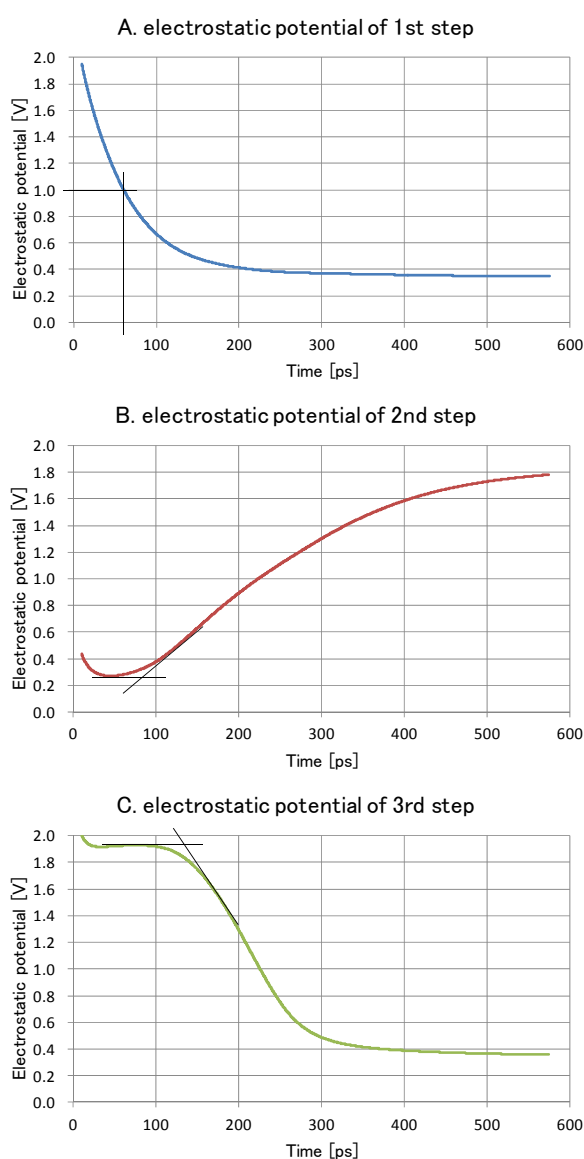


図 48 A、B、C 点における静電ポテンシャルの時間変化

参考データとして、1 段目のインバータのみを取り出したモデルでの静電ポテンシャルの時間

変化を図 49 に示す。静電ポテンシャルが 1 V に達するまでの時間を比較すると、図 48 の A では 60 ps であるのに対し、図 49 では 25 ps である。これは 2 段目、3 段目のインバータによる寄生抵抗や寄生容量の影響の有無の差である。このように一括解析では寄生抵抗や寄生容量の影響を簡単に再現することが可能となる。

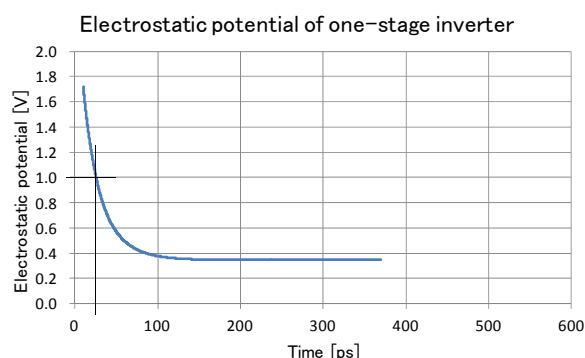


図 49 A、B、C 点における静電ポテンシャルの時間変化

6.3.2. CMOS インバータチェーンの解析

複数トランジスタ一括解析の適用例の 2 つ目として、CMOS インバータの一括過渡解析について紹介する。

(1) CMOS インバータチェーン

解析対象となる 3 段の CMOS インバータチェーンの回路図を図 50 に示す。上段の 3 つのトランジスタはエンハンスメント型で PMOS であり、下段の 3 つのトランジスタはエンハンスメント型で NMOS である。PMOS は $V_{in} = V_{dd}$ のときにオフ状態であり $V_{in} < V_{dd}$ でオン状態に移行し、NMOS は V_{in} が 0 V (= V_{gnd}) のときにはオフ状態であり $V_{in} > 0$ V でオン状態に移行する。

V_{in} が 0 V (= V_{gnd}) の時には、1 段目の PMOS はオン状態、NMOS はオフ状態であるためインバータの出力となる NMOS-PMOS 配線の電位はおよそ V_{dd} となる。これが 2 段目のインバータの入力となり、2 段目の PMOS がオフ状態、NMOS はオン状態となり出力はおよそ V_{gnd} となる。これを入力とする 3 段目の動作は 1 段目と同様である。

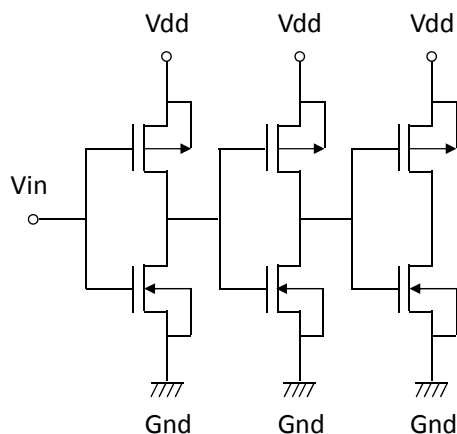


図 50 3 段 CMOS インバータチェーン回路図

(2) 計算モデルと解析条件

デバイスシミュレータ用の計算モデルの俯瞰図を図 51 に示す。便宜上、ゲート酸化膜と配線間酸化膜は非表示とした。左から 1、2、3 段の順で CMOS インバータが配置されている。手前の 3 つのトランジスタが NMOS であり奥側の 3 つのトランジスタが PMOS である。図 54 には代表的な寸法を示す。PMOS のゲート幅を NMOS のゲート幅の 2 倍とした。

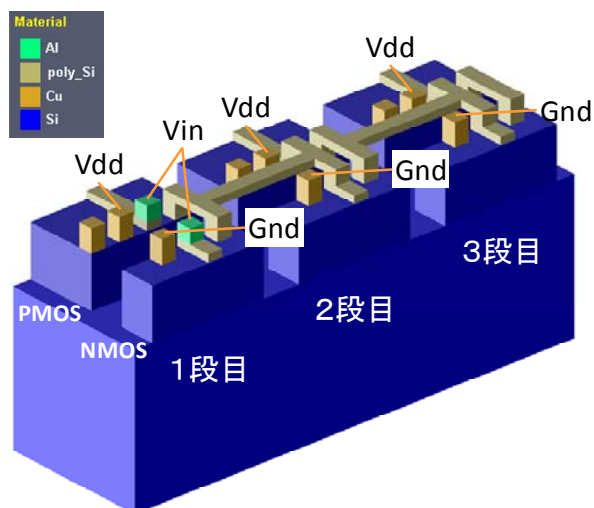


図 51 3 段 CMOS インバータチェーンの計算モデル俯瞰図（※酸化膜は非表示）

$1 \times 10^{16} \text{ cm}^{-3}$ のボロンで一様にドーピングした P 型基板上に N-well、P-well 層を設け PMOS と NMOS を形成した。ドーピングプロファイルを図 52 に示す。PMOS と NMOS のデバイス特性を反

対称に近づけるため、Extension の濃度を調整した。PMOS の Extension にはボロンを $1 \times 10^{20} \text{ cm}^{-3}$ でドーピングし、NMOS の Extension にはアンチモンを $3 \times 10^{19} \text{ cm}^{-3}$ でドーピングした。

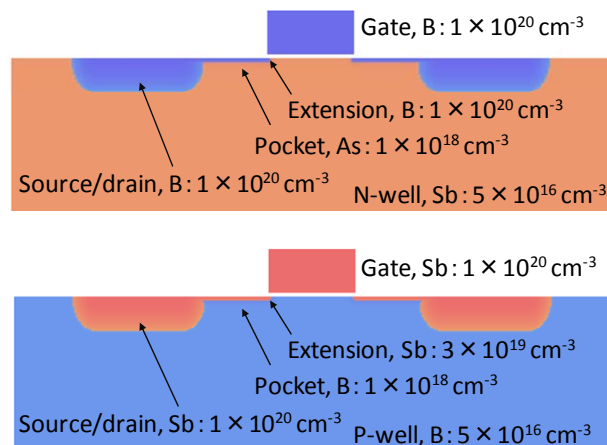


図 52 PMOS (上) と NMOS (下) のドーピングプロファイル

解析はまず時刻 $t = 0$ 秒において Vdd に 2 V をステップ状に印加し、2.1 ns 間の過渡解析を実施し定常状態を得る。次に 2.1ns において Vin に 2 V をステップ状に印加する。これ以降 0.6ns 間の過渡解析を実施した。

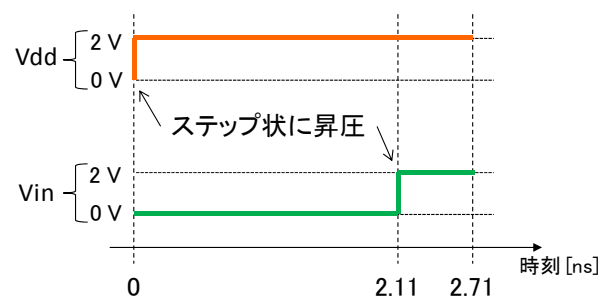


図 53 過渡解析バイアス印加方法

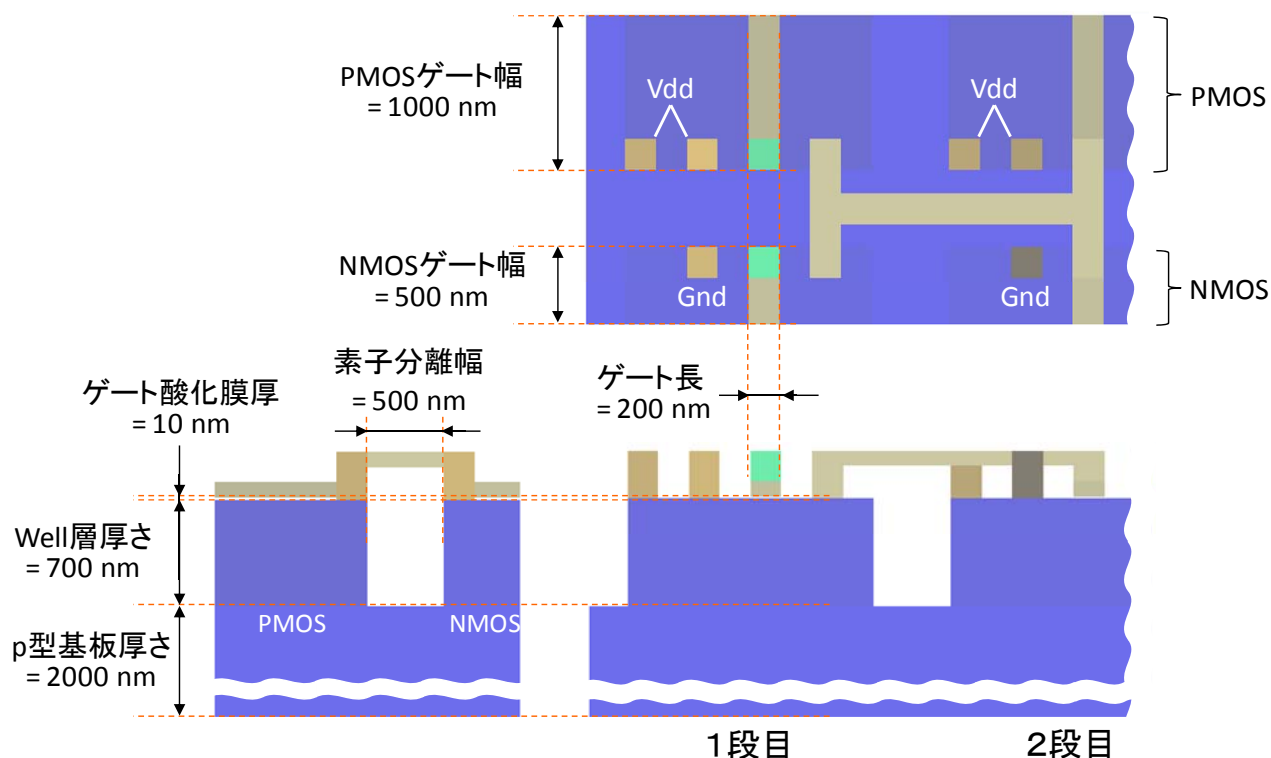


図 54 3 段 CMOS インバータチェーンの計算モデル平面図 (※酸化膜は非表示)

(3) 計算結果

図 55 に V_{in} 印加後の静電ポテンシャルの時間変化を示す。 V_{in} 印加直後にパルス状の変化が 1 段目に顕著にみられるが、これは $t = 2.11$ ns で瞬間的に $0\text{ V} \rightarrow 2\text{ V}$ に昇圧したことによる。

1、2、3 段目の順で静電ポテンシャルが反転している。1 段目は V_{in} へのバイアス印加後すぐに (0.01 ns のオーダーで) 静電ポテンシャルが 2 V から下がり始めているのに対し、2 段目は 0.3 ns 後から、3 段目は 0.6 ns 後から下がり始める。

なお、E/D NMOS インバータのモデルと異なり、各段の NMOS のサイズを同一にしているため、反転終了までの時間が段ごとに大きく異なることはなかった。

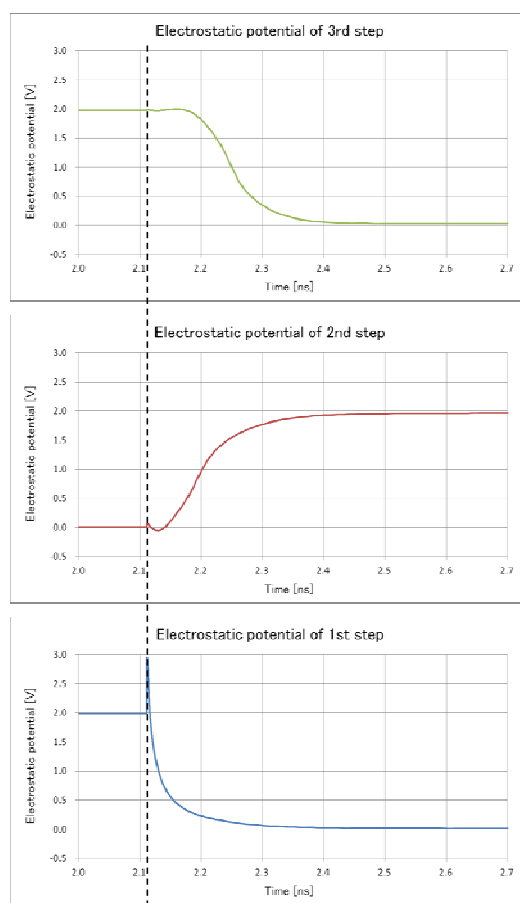


図 55 V_{in} 印加後 0.6 ns 間 ($t = 2.11 \sim 2.71$ ns) の各段の静電ポテンシャルの時間変化

6.4. 今後の課題

今回開発した内部配線モデルは、半導体の物性値を変えることで金属としてみなしたモデルである。実際の金属の抵抗値や金属と半導体の接触抵抗などの値と定量的に一致させるためには、金属ごとにパラメータの合わせ込みが必要である。合わせ込むべきパラメータの選択やその方法については今後の課題である。

またデバイスシミュレータでは大規模で高速な計算を目的とした開発も進めており、これらを使用してさらに大規模で長いタイムスケールでの計算も行う予定である。

6.5. まとめ

本稿では、デバイスシミュレーションによる複数トランジスタ一括解析について、その手法と解析事例について示した。本手法はデバイス間の寄生抵抗や寄生容量による影響を簡単にかつ高精度で取り込み、高集積化、高密度化を続ける LSI のデバイス特性に有効な手法である。

7. 並列計算

7.1. 並列計算手法

デバイスシミュレータと、プロセスシミュレータの拡散計算部分の並列化を行った際に採用した手法を以下に示す。まず、並列計算のために計算領域の分割を行うと、分割した領域の端の部分を各 CPU コアで保持し、計算中に相互にこの部分の情報を通信を行い補完し合う必要が出て来る。そこで、この重複部分の値を保持する 1 次元配列を各 CPU コア上に用意し、計算中に必要なときにこの配列から値を呼び出すようにした。ここで、重複部分について一般的には、各 CPU コアで大きさが異なるため、1 次元配列のサイズも各 CPU コアで異なる。また、この 1 次元配列のインデックスは、1 から始まるようにしているため、情報は本来の節点番号を失った形で保持されることになる (図 56)。よって、重複部分のローカルな番号と本来の節点の番号を結びつける情報を保持する配列が必要となるため、これを用意した。

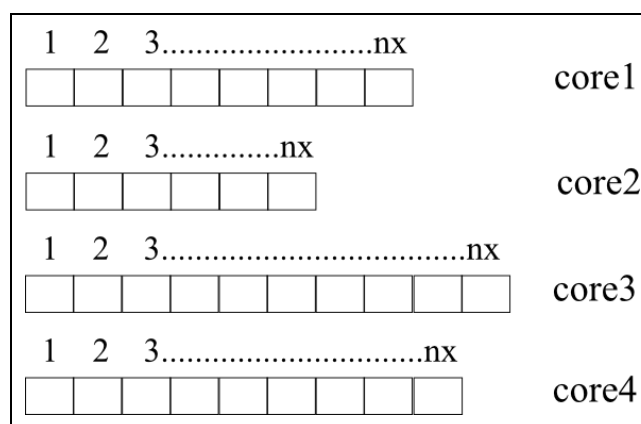


図 56 各 CPU コアにおける重複部分の格納配列のイメージ (4 コアの場合)

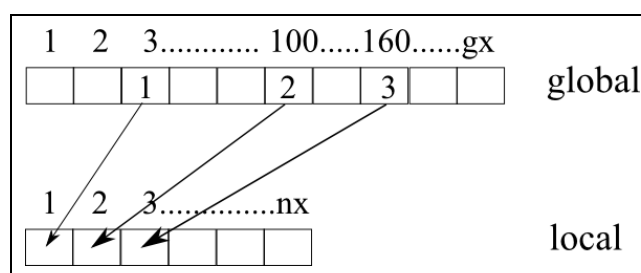


図 57 グローバルな節点番号とローカルな番号の関連づけ

図 57 は、例として、計算中に節点番号 3、100、160 が必要なときにローカルな番号の配列の情報を読みに行く仕組みを示している。まず、各 CPU コアが担当している領域に属する節点番号や計算に必要な節点番号の global 配列には"-1"などの値を入れておき、それ以外の重複領域の節点番号の global 配列にはローカルな番号を入れておく。プログラム中で計算に必要な節点番号、かつ各 CPU コアの担当外の節点番号が現れたら global 配列から節点番号の配列に格納されているローカルな番号を取り出し、ローカル配列に格納されている物理量を取り出す。このような仕組みを用意することで、領域分割により必要となる重複領域の情報の保持と計算中における値の取得をスムーズに行うことを可能にしている。一方、行列部分の計算については、デバイスシミュレータでは、行列ソルバーライブラリ PETSc[23]を採用しており、プロセスシミュレータでは、行列ソルバーライブラリ Lis[24]を採用している。2つのシミュレータで異なるライブラリを採用した背景には、デバイスシミュレータにおける電流連続方程

式の並列計算時における収束性の問題が関係している。以下に、デバイスシミュレータ、プロセスシミュレータ（拡散計算）における非並列計算の結果と、並列計算の結果の比較を示す。まず、デバイスシミュレータにおいては、例題として MOSFET についての計算を行い、得られたポテンシャル分布を図 58 に示している。左図は非並列計算の結果を示し、右図は並列計算（4CPU コア）の結果を示している。どちらも同じカラーコンターのレンジを用いて表示しており、全く同じ結果が得られている。続いて、プロセスシミュレータにおける不純物拡散計算の結果として得られた不純物分布を図 59 に示している。左図は非並列計算の結果を示し、右図は並列計算（4CPU コア）の結果を示しており、デバイスシミュレータの結果と同様に全く同じ結果が得られている。以上より、上述した並列計算手法を用いて正しく結果が得られることを確認した。

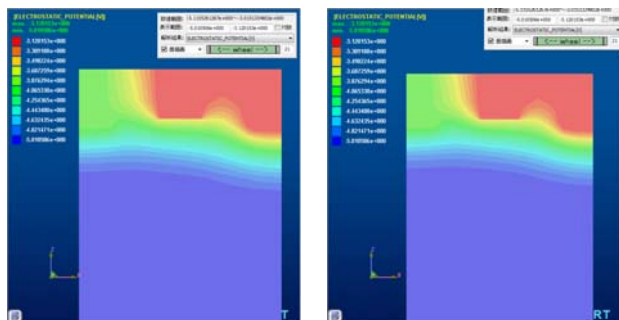


図 58 1CPU コアによる計算結果(左図)と 4CPU コアによる計算結果 (右図)

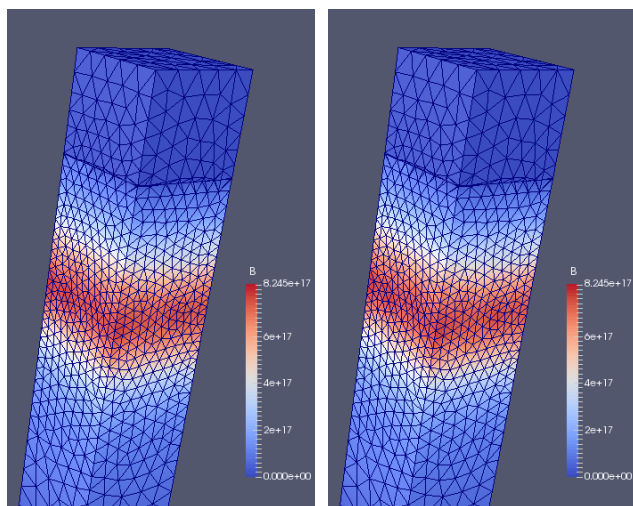


図 59 1CPU コアによる計算結果(左図)と 4CPU コアによる計算結果 (右図)

7.2. 並列計算効率

デバイスシミュレータにおける並列計算時に、CPU コア数を増加させていくと電流連続方程式の行列計算の収束回数が著しく増加していき、並列計算の効率が悪化する問題に直面した。以下に、図 58 で示した MOSFET 計算の中で、一回行列を解くのに要する計算時間と収束回数 (iteration) の CPU コア数依存性を、ポアソン方程式の求解時 (表 2)、電流方程式の求解時 (表 3) について示す。

表 2 ポアソン方程式ソルバーの CPU コア数に対する計算時間と収束回数

CPU コア数	計算時間[sec]	iteration
1	2.255657	42
2	2.044689	76
4	1.061839	74
8	0.642902	73
12	0.737887	94

表 3 電流連続方程式ソルバーの CPU コア数に対する計算時間と収束回数

CPU コア数	計算時間	iteration
1	44.68221	896
2	24.04335	997
4	12.42711	986
8	17.47534	2122
12	34.28479	4942

表 3 に示す通り、CPU コア数を増加させていくと、電流連続方程式の収束回数が極端に増加して計算の高速化を妨げている。この結果を踏まえ、非並列計算時の計算速度だけではなく、並列計算時には収束回数の増加をある程度抑え、計算効率が高くなる前処理と行列解法の調査、さらにパラメータ調整を行い得られた結果を以下に示す。

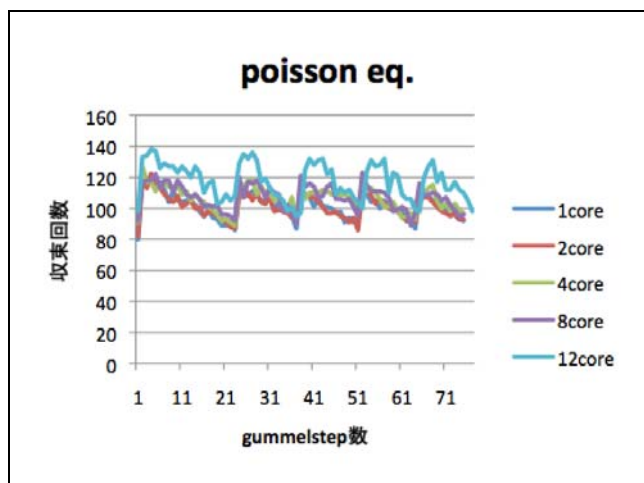


図 60 ポアソン方程式ソルバーの gummel step 数に対する収束回数の CPU コア数依存性

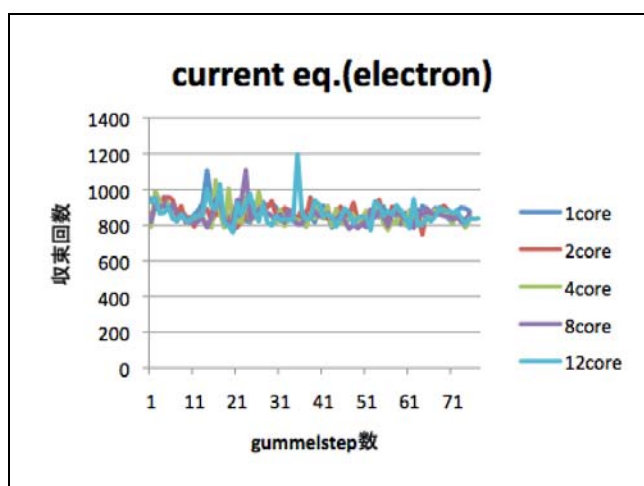


図 61 電流連続方程式ソルバーの gummel step 数に対する収束回数の CPU コア数依存性

図 60、図 61 は、修正を行った後のポアソン方程式ソルバーと電流連続方程式ソルバーの gummel step 数に対する収束回数の CPU コア数依存性を示している。修正により、CPU コア数が増加しても収束回数の増加を抑えることに成功している。特に電流連続方程式ソルバーにおいて劇的な効果が得られている。

ここまでの作業を踏まえた上で、以下に示すテスト例題を用いて並列化効率の評価を行う。

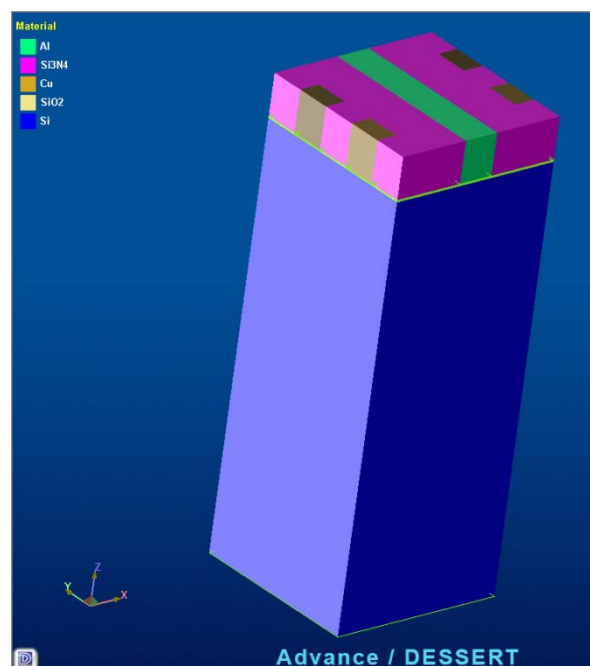


図 62 テスト例題に用いた CMOS 構造

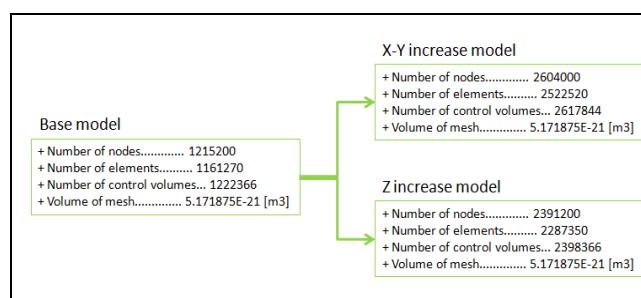


図 63 基本モデルとそこから作成した2つのモデル

評価に際して、基本となる節点数 100 万程度のモデルを用意し、そこから、並列計算時に最もデータ転送量が少なくなるように格子を分割した 250 万節点程度のモデル (z increase model) と、最もデータデータ転送量が多くなるように格子を分割した 250 万節点程度のモデル(x-y increase model)を作成し、2 つのモデルについて並列化効率を取得した (図 64)。これにより、並列計算時のデータ転送量による効率の違いを比較することが可能となる。それぞれのモデルについて取得した、非並列計算時 (1CPU コア) での計算時間と並列計算時の計算時間に対する割合の CPU コア数依存性を図 64 に示した。ここで、縦軸の値の逆数が並列化効率を示している。結果は、4CPU コアを超えたあたりから並列化効率に違いが現れ、z increase model の方が、x-y increase model よりも高い並列化効率が出ているものとなった。こ

の2つのモデルの差がデータ転送量の違いによる並列化効率の差となっている。ここでは、36CPUコア使用時に、z increase model で約 10 倍、x-y increase model で約 7 倍の並列化効率となっている。

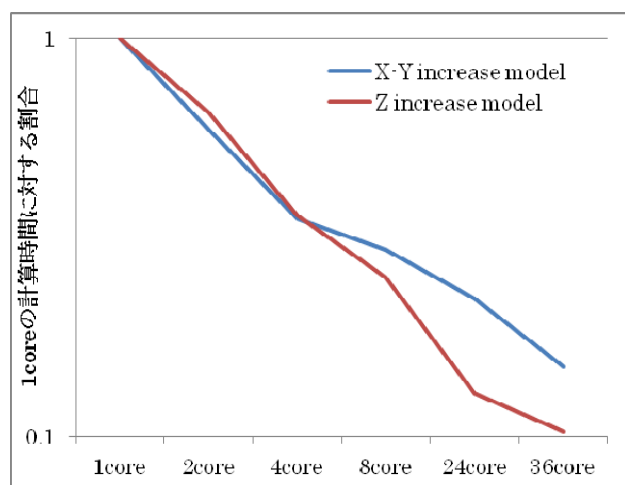


図 64 1CPU コアによる計算時間に対する使用 CPU コア数を増加させていった場合の計算時間の割合（両対数グラフ）



図 65 1CPU コアによる計算時間に対する使用 CPU コア数を増加させていった場合の計算時間の割合（両対数グラフ）

次に、プロセスシミュレータの拡散計算における並列化効率の取得について述べる。まず、データ取得のための計算は、図 59 に示したモデルで行った。プロセスシミュレータが使用している格子は、非構造格子の 4 面体となっているため、構造格子を採用しているデバイスシミュレータで用意したようなテスト例題を準備することは難しいため、1 つの例題についてのデータ取得を行っている。拡散 full model を用いて計算を行って

いるため、計算規模は 16109 要素×10 方程式=160 万規模となっている。得られた結果を図 65 に示す。

デバイスシミュレータと同様に、CPU コア数を増やしていくと計算時間は短くなり、グラフの値は小さくなっていく。8CPU コア使用時には約 5 倍、36CPU コア使用時には約 9 倍の並列化効率が得られている。

ここまでのデータ取得で使用した環境は弊社の PC クラスタ環境となっており、データ通信速度は、本格的な並列計算システムと比較すると十分ではない可能性がある。そこで、海洋研究開発機構が所有する UV2000 において取得した並列化効率を以下に示す。これによると、図 64 に比べて高い並列化効率を少ない CPU コア数で実現していることが分かる。16CPU コアで約 9 倍 32CPU コアで約 16 倍の並列化効率を達成している。この違いは、上述した使用環境におけるデータ通信速度が由来となっていると考えられる。

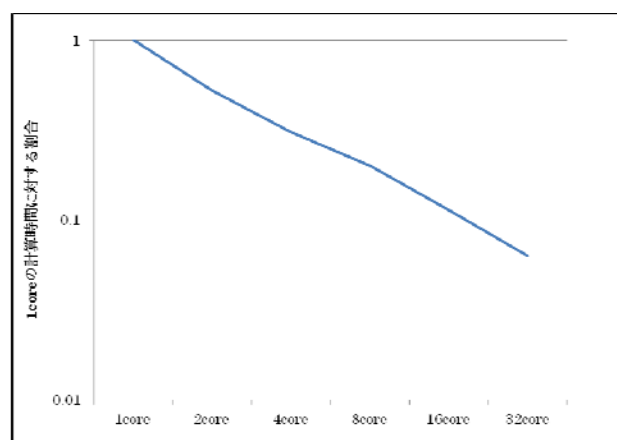


図 66 1CPU コアによる計算時間に対する使用 CPU コア数を増加させていった場合の計算時間の割合（両対数グラフ）：UV2000 におけるデータ

7.3. まとめ

今回採用した並列計算手法と行列計算ライブラリを用いることにより、デバイスシミュレータにおいて 16CPU コア使用時に約 9 倍、32CPU コア使用時に約 16 倍、一方、プロセスシミュレータの不純物拡散計算において 8CPU コア使用時に約 5 倍、36CPU コア使用時に約 9 倍の並列化効率を得ることが可能であることを示した。この並列

化した TCAD プログラムを用いることにより、大規模な TCAD 計算を手軽に実行可能とすることができる。

8. ニュートン法による計算

8.1. はじめに

ポアソン方程式、電子電流連続式、正孔電流連続式は変数が絡み合った非線形方程式であり、それぞれの式を線形化して反復的に解く必要がある。

反復的に解く方法のうち、3 方程式をカップルさせて解く Newton 法はヤコビ行列の考え方に基づくもので、k 回目の反復値が解に近いときは Taylor 展開した式

$$\begin{pmatrix} f_1(\psi_{k+1}, n_{k+1}, p_{k+1}) \\ f_2(\psi_{k+1}, n_{k+1}, p_{k+1}) \\ f_3(\psi_{k+1}, n_{k+1}, p_{k+1}) \end{pmatrix} = \begin{pmatrix} f_1(\psi_k, n_k, p_k) \\ f_2(\psi_k, n_k, p_k) \\ f_3(\psi_k, n_k, p_k) \end{pmatrix} + \begin{pmatrix} df_{k1}/d\psi & df_{k1}/dn & df_{k1}/dp \\ df_{k2}/d\psi & df_{k2}/dn & df_{k2}/dp \\ df_{k3}/d\psi & df_{k3}/dn & df_{k3}/dp \end{pmatrix} \begin{pmatrix} \psi_{k+1} - \psi_k \\ n_{k+1} - n_k \\ p_{k+1} - p_k \end{pmatrix} + \dots \quad (65)$$

に基づくもので ($df_{ki} = f_i(\psi_k, n_k, p_k)$)、1 次の項より、

$$\begin{pmatrix} df_{k1}/d\psi & df_{k1}/dn & df_{k1}/dp \\ df_{k2}/d\psi & df_{k2}/dn & df_{k2}/dp \\ df_{k3}/d\psi & df_{k3}/dn & df_{k3}/dp \end{pmatrix} \begin{pmatrix} \delta\psi \\ \delta n \\ \delta p \end{pmatrix} = - \begin{pmatrix} f_1(\psi_k, n_k, p_k) \\ f_2(\psi_k, n_k, p_k) \\ f_3(\psi_k, n_k, p_k) \end{pmatrix} \quad (66)$$

を解くものである。

Gummel 法とも呼ばれる 3 組の方程式を逐次的に解く方法[2]に対して、それぞれの方程式のポテンシャルおよびキャリア密度の微分項を左辺の係数として作成する必要がある。Gummel による反復法では、

$$f(x) = Ax - b \quad (67)$$

のうち、 b のみが右辺であったのが、

$$-f(x_k) = -(Ax_k - b) \quad (68)$$

が右辺に現れるため Ax_k を計算する必要がある。解に近づくと、右辺および解とも絶対値が小さくなる。Gummel 法では、電極に接する節点では境界条件として固定値が b にはいるが、Newton 法では Ax_k に相殺されて 0 に近づく形になる。

Gummel 法は創始者が Gummel であるが、Newton 法は多くの分野でも一般的に用いられており、デバイスシミュレーションが始まった比較的初期から用いられていたため、デバイスシミュレーションの式に誰が初めに用いたかは不詳であるが、現在 Gummel 法も Newton 法の両方が共存して用いられている。

8.2. ポアソン方程式での離散式

ポアソン方程式

$$-\nabla \cdot (\epsilon_s \nabla \psi) = \frac{q}{\epsilon_0} (-n + p + N_D - N_A) \quad (69)$$

は、深い準位を考えない場合。

$$-\nabla \cdot (\epsilon_s \nabla \delta\psi) + \frac{q}{\epsilon_0} \delta n - \frac{q}{\epsilon_0} \delta p = \nabla \cdot (\epsilon_s \nabla \psi) + \frac{q}{\epsilon_0} (-n + p + N_D - N_A) \quad (70)$$

となる。ポテンシャルは Gummel 法での Gummel 項を除いた係数が流用できる。

キャリア密度は差分式のうち対角成分の係数のみが現れる。

トラップ準位を考慮した場合、Fermi 統計による縮退を考える場合、キャリア密度に依存した補正項が加わる形で実装されているが、本報では詳細は省略する。

8.3. 電流連続式での離散式

電子、正孔の濃度および電流密度をそれぞれ n , p および J_n , J_p とすると、式(27)、(28)の電流連続方程式が成り立つ。

また R , G は、それぞれ再結合・生成率である。ドリフト拡散モデルの場合、電流密度はドリフト

成分と拡散成分の和で表わされる。

$$J_n = -qn\mu_n \nabla \psi + qD_n \nabla n \quad (71)$$

$$J_p = -qp\mu_p \nabla \psi - qD_p \nabla p \quad (72)$$

ここで、 D_n 、 D_p および μ_n 、 μ_p はそれぞれ電子と正孔に対する拡散係数と移動度である。

式(27)、(28)に式(71)、(72)を代入すると

$$\frac{\partial n}{\partial t} = \nabla \cdot (-n\mu_n \nabla \psi + D_n \nabla n) - R + G \quad (73)$$

$$\frac{\partial p}{\partial t} = \nabla \cdot (p\mu_p \nabla \psi + D_p \nabla p) - R + G \quad (74)$$

式(73)の $(-n\mu_n \nabla \psi + D_n \nabla n)$ の項について Scharfetter-Gummel の方法[25]により Bernoulli 関数を導入して差分が表現されている。

$$\frac{k_B T}{q} \frac{A_{ij}}{d_{ij}} \left(\frac{\mu_{n,i} + \mu_{n,j}}{2} \right) (B(U_{ij})n_i - B(U_{ji})n_j) \quad (75)$$

$$B(x) = \frac{x}{e^x - 1} \quad (76)$$

$$U_{ij} = \frac{q}{k_B T} \left[(\psi_i + \delta\psi_{QM,i} + \delta\psi_{Fermi,n,i}) - (\psi_j + \delta\psi_{QM,j} + \delta\psi_{Fermi,n,j}) \right] \quad (77)$$

ただし、量子補正モデルの項 $\delta\psi_{QM}$ 、Fermi 統計の項 $\delta\psi_{Fermi,n}$ はユーザーが選択した場合のみはいる。Advance/TCAD の量子補正モデルの項は、界面での障壁高さと位置から決まりポテンシャルやキャリア密度の関数ではない。

8.4. GR 項での離散式

微分項の導出は可能なものは微分するが、電界密度や電流密度のように微分が非常に複雑なものはない。すなわち、移動度、インパクトイオン化項は微分しないものを実装してある。この場合、電界密度や電流密度の微分がないため、差分式のうち当該節点の対角ブロック行列要素のみに加わる。本報では詳細は省略する。

8.5. 例題適用

Newton 法は、一度に 3 組の方程式を解くため、反復回数は一般に減るが、Gummel 法の反復 1 回当たりの計算時間が長かつメモリを多く要する。そのため Gummel 法で安定に解ける場合は有利といえない。

Newton 法が有利なのは、高注入状態である。高注入状態では、ポテンシャルとキャリア密度のカップリングが強く別々に解くと解が振動する場合がある。特にダイオードの順方向特性で効果があることを確認した。また MOSFET のオン電流計算でも、Newton 法が速い場合が多い。

一方電流が低い逆方向特性で Gummel 反復法の収束が悪い例題に関しては、Newton 法は必ずしも有利ではなく例題によって速かったり遅かったりする。そのため、市販シミュレータでも Gummel 法と Newton 法の選択はユーザーに委ねており、Advance/TCAD でも同様にユーザーの選択に委ねる形にしている。

参考文献

- [1] D. E. McCumber and A. G. Chynoweth, "Theory of negative-conductance amplification and of Gunn instabilities in "two-valley" semiconductors" IEEE Transactions on Electron Devices, vol. ED-13, no. 1, pp. 4 - 21, 1966
- [2] H. K. Gummel, "A self-consistent iterative scheme for one-dimensional steady state transistor calculations" IEEE Trans. Electron Devices, vol. ED-11, no. 10, pp. 455 - 465, 1964
- [3] D. Vandope, "An accurate two-dimensional numerical analysis of the MOS transistor", Solid State Electron., vol. 15, pp. 547 - 557, 1972
- [4] D. P. Kennedy and P. C. Murley, "Steady state mathematical theory for the insulated gate field effect transistor", IBM J. Res. Develop., vol. 17, pp. 2- 12, 1973
- [5] M. S. Mock, "A two-dimensional mathematical model of the insulated-gate field-effect transistor", Solid State Electron., vol. 16, pp. 601 - 609, 1973

- [6] R.W. Hockney; R.A. Warriner; and M. Reiser, "Two-dimensional particle models in semiconductor-device analysis", *Electronics Letters*, Volume 10, Issue 23, 14 November 1974, pp.. 484 – 486
- [7] 山口 憲、富澤 一隆、"非平衡電子輸送論", アドバンスソフト出版事業部
- [8] W. Shockley and W. T. Read, "Statistics of recombinations of holes and electrons", *Phys. Rev.*, vol. 87, no. 5, pp. 835-842, Sept. 1952
- [9] R. N. Hall, "Electron-hole recombination in germanium", *Phys. Rev.*, vol. 87, p. 387, July 1952
- [10] E. J. Mcgrath and D. H Navon, "Factors limiting current gain in power transistors", *IEEE Trans. Electron devices*, vol. ED-24, no. 10, pp. 1255 – 1259, 1977
- [11] <http://physics.nist.gov/PhysRefData/Star/Text/AS TAR.html>
- [12] K. Yamaguchi, "Field-Dependent Mobility Model for Two-Dimensional Numerical Analysis of MOSFET's", *IEEE Trans. Electron Devices*, vol. ED-26, no. 7, pp. 1068 - 1074, July 1979
- [13] K. K. Thornber, "Relation of drift velocity to low-field mobility and high-field saturation velocity," *J. Appl. phys.*, vol. 51, no. 4, pp. 2127-2136, Apr. 1980
- [14] K. Yamaguchi, S. Sakurai and K. Tomizawa, "An accurate and simplified modeling of energy and momentum relaxation rates for metal-oxide-semiconductor device simulation", *Japan. J. Appl. Phys.*, vol. 49, (2010) 024303
- [15] 山口、桑原、小池、"次世代 TCAD (4) 準バリスティックモデルの高精度・高速計算法" 第 60 回応用物理学会春季学術講演会、講演番号 28p-G7-4、2013 年 3 月 28 日 神奈川工科大学、2013 年(平成 25 年)春季
- [16] 山口 憲、"パワーデバイス用シミュレータの技術課題" *アドバンスシミュレーション*, vol. 8, pp. 59 - 66, 2011
- [17] A. Schenk and U. Krumbein, "Coupled defectlevel recombination: Theory and application to anomalous diode characteristics" *J. Appl. phys.*, vol. 78, pp. 3185 - 3192, 1995
- [18] K. Yamaguchi, T. Kuwabara, and T. Uda, " A generation/recombination model assisted with two trap centers in wide band-gap semiconductors" *J. Appl. Phys*, 113, 104506 (2013)
- [19] G. E. Moore. *Electronics*, "Cramming more components onto integrated circuits", *Electronics*, Vol. 38, No. 8. (19 April 1965), pp. 114-117
- [20] J. Gregory Rollins and John Choma, Jr., "Mixed-Mode PISCES-SPICE Coupled Circuit and Device Solver", *IEEE Trans. Computer-Aided Design*, vol. 7, no. 8, pp. 862 - 867, August 1988
- [21] Y. Takemura, K. Osada, M. Yagyu, K. Yamaguchi, J. Ushio and T. Maruizumi, "Three-dimensional capacitance analysis in an SRAM cell", 2000 International Conference on Solid State Devices and Materials, August 380 - 381, 2000, Sendai, Japan
- [22] Y. Takemura, K. Osada, M. Yagyu, K. Yamaguchi, J. Ushio and T. Maruizumi, "Three-dimensional effects obtained from capacitance analysis of an SRAM cell", *Technical Proc. Of the 4th Int. Conf. On Modeling and Simulation of Microsystems (MSM2001)*, p. 394, SC., USA
- [23] <http://www.mcs.anl.gov/petsc/>
- [24] <http://www.ssisc.org/lis/>
- [25] D. L. Scharfetter and H. K. Gummel, "Large signal analysis of a silicon Read diode," *IEEE Trans. Electron. Dev.*, vol. 16, pp. 64-77 (1969).
- ※ 技術情報誌アドバンスシミュレーションは、アドバンスソフト株式会社 ホームページのシミュレーション図書館から、PDF ファイル (カラー版) がダウンロードできます。ダウンロードしていただくには、アドバンス/シミュレーションフォーラム会員登録が必要です。